

国外电子与通信教材系列

PEARSON

英文版

CMOS 超大规模 集成电路设计 (第四版)

Integrated Circuit Design
Fourth Edition

[美] Neil H. E. Weste 著
David Money Harris



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

国外电子与通信教材系列

CMOS 超大规模集成电路设计

(第四版) (英文版)

Integrated Circuit Design

Fourth Edition

[美]

Neil H. E. Weste
David Money Harris



电子工业出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 简 介

本书是本经典教材,该版本反映了近年来集成电路设计领域面貌的迅速变化,突出了延时、功耗、互连和鲁棒性等关键因素的影响。内容涵盖了从系统级到电路级的CMOS VLSI设计方法,介绍了CMOS集成电路的基本原理,设计的基本问题,基本电路和子系统的设计,以及CMOS系统的设计实例(包括一系列当前设计方法和CMOS的特有问题,以及测试、可测性设计和调试等技术)。全书加强了对业界积累的许多宝贵设计经验的介绍。

本书可作为高等院校电子科学与技术、微电子学与固体电子学、集成电路工程、计算机科学与技术、自动化、汽车电子以及精密仪器制造等专业的本科生和研究生在CMOS集成电路设计方面的教科书,并可作为从事集成电路设计领域研究和技术工作的工程技术人员和高等院校教师的常备参考书。

Original edition, entitled Integrated Circuit Design, Fourth Edition, 9780321696946 by Neil H. E. Weste and David Money Harris, published by Pearson Education, Inc., publishing as Addison-Wesley, Copyright © 2011 Pearson Education, Inc. All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

China edition published by PEARSON EDUCATION ASIA LTD., and PUBLISHING HOUSE OF ELECTRONICS INDUSTRY copyright © 2011.

This edition is manufactured in the People's Republic of China, and is authorized for sale and distribution in the People's Republic of China exclusively(except Taiwan, Hong Kong SAR and Macau SAR).

本书英文影印版专有出版权由Pearson Education(培生教育出版集团)授予电子工业出版社。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

本书在中国大陆地区出版,仅限在中国大陆发行。

本书贴有Pearson Education(培生教育出版集团)激光防伪标签,无标签者不得销售。

版权贸易合同登记号 图字:01-2011-3686

图书在版编目(CIP)数据

CMOS超大规模集成电路设计:第4版:英文/(美)韦斯特(Weste, N. H. E.), (美)哈里斯(Harris, D. M.)著.
北京:电子工业出版社,2011.8

(国外电子与通信教材系列)

书名原文: Integrated Circuit Design, Fourth Edition

ISBN 978-7-121-14144-7

I. ①I… II. ①韦… ②哈… III. ①CMOS电路:超大规模集成电路-电路设计-高等学校-教材-英文
IV. ①TN432.02

中国版本图书馆CIP数据核字(2011)第146646号

策划编辑:马 岚

责任编辑:马 岚

印 刷:北京市顺义兴华印刷厂

装 订:三河市双峰印刷装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编:100036

开 本:787×980 1/16 印张:48.5 字数:1412千字

印 次:2011年8月第1次印刷

定 价:89.00元

凡所购买电子工业出版社的图书有缺损问题,请向购买书店调换;若书店售缺,请与本社发行部联系。联系及邮购电话:(010)88254888。

质量投诉请发邮件至zlts@phei.com.cn,盗版侵权举报请发邮件至dbqq@phei.com.cn。

服务热线:(010)88258888。

序

2001年7月间,电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师,商量引进国外教材问题。与会同志对出版社提出的计划十分赞同,大家认为,这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材,意味着开设了一门好的课程,甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书,对近代电子学科、特别是对雷达技术的推动作用,就是一个很好的例子。

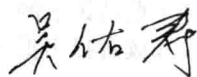
我国领导部门对教材建设一直非常重视。20世纪80年代,在原教委教材编审委员会的领导下,汇集了高等院校几百位富有教学经验的专家,编写、出版了一大批教材;很多院校还根据学校的特点和需要,陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来,随着教学改革不断深入和科学技术的飞速进步,有的教材内容已比较陈旧、落后,难以适应教学的要求,特别是在电子学和通信技术发展神速、可以讲是日新月异的今天,如何适应这种情况,更是一个必须认真考虑的问题。解决这个问题,除了依靠高校的老师 and 专家撰写新的符合要求的教科书外,引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,是会有好处的。

一年多来,电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组,选派了富有经验的业务骨干负责有关工作,收集了230余种通信教材和参考书的详细资料,调来了100余种原版教材样书,依靠由20余位专家组成的出版委员会,从中精选了40多种,内容丰富,覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面,既可作为通信专业本科生和研究生的教学用书,也可作为有关专业人员的参考材料。此外,这批教材,有的翻译为中文,还有部分教材直接影印出版,以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里,我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度,充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步,对高校教学工作会不断提出新的要求和希望。我想,无论如何,要做好引进国外教材的工作,一定要联系我国的实际。教材和学术专著不同,既要注意科学性、学术性,也要重视可读性,要深入浅出,便于读者自学;引进的教材要适应高校教学改革的需要,针对目前一些教材内容较为陈旧的问题,有目的地引进一些先进的和正在发展中的交叉学科的参考书;要与国内出版的教材相配套,安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求,希望它们能放在学生们的课桌上,发挥一定的作用。

最后,预祝“国外电子与通信教材系列”项目取得成功,为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题,提出意见和建议,以便再版时更正。



中国工程院院士、清华大学教授
“国外电子与通信教材系列”出版委员会主任

出版说明

进入21世纪以来,我国信息产业在生产和科研方面都大大加快了发展速度,并已成为国民经济发展的支柱产业之一。但是,与世界上其他信息产业发达的国家相比,我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天,我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社,我们始终关注着全球电子信息技术的发展方向,始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间,我社先后从世界著名出版公司引进出版了40余种教材,形成了一套“国外计算机科学教材系列”,在全国高校以及科研部门中受到了欢迎和好评,得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,将有助于我国信息产业培养具有国际竞争能力的技术人才,也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见,我们决定引进“国外电子与通信教材系列”,并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商,其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等,其中既有本科专业课程教材,也有研究生课程教材,以适应不同院系、不同专业、不同层次的师生对教材的需求,广大师生可自由选择和自由组合使用。我们还将与国外出版商一起,陆续推出一些教材的教学支持资料,为授课教师提供帮助。

此外,“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助,其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核,并得到教育部高等教育司的批准,纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作,我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望,具有丰富的教学经验,他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外,对于编辑的选择,我们达到了专业对口;对于从英文原书中发现的错误,我们通过作者联络、从网上下载勘误表等方式,逐一进行了修订;同时,我们对审校、排版、印制质量进行了严格把关。

今后,我们将进一步加强同各高校教师的密切关系,努力引进更多的国外优秀教材和教学参考书,为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足,在选题、翻译、出版等方面的工作中还有许多需要改进的地方,恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

主 任	吴佑寿	中国工程院院士、清华大学教授
副主任	林金桐	北京邮电大学校长、教授、博士生导师
	杨千里	总参通信部副部长, 中国电子学会会士、副理事长 中国通信学会常务理事、博士生导师
委 员	林孝康	清华大学教授、博士生导师、电子工程系副主任、通信与微波研究所所长 教育部电子信息科学与工程类专业教学指导分委员会委员 清华大学深圳研究生院副院长
	徐安士	北京大学教授、博士生导师、电子学系主任
	樊昌信	西安电子科技大学教授、博士生导师 中国通信学会理事、IEEE 会士
	程时昕	东南大学教授、博士生导师
	郁道银	天津大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会委员
	阮秋琦	北京交通大学教授、博士生导师 计算机与信息技术学院院长、信息科学研究所所长 国务院学位委员会学科评议组成员
	张晓林	北京航空航天大学教授、博士生导师、电子信息工程学院院长 教育部电子信息科学与电气信息类基础课程教学指导分委员会副主任委员 中国电子学会常务理事
	郑宝玉	南京邮电大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会副主任委员
	朱世华	西安交通大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会副主任委员
	彭启琮	电子科技大学教授、博士生导师
	毛军发	上海交通大学教授、博士生导师、电子信息与电气工程学院副院长 教育部电子信息与电气学科教学指导委员会委员
	赵尔沅	北京邮电大学教授、《中国邮电高校学报(英文版)》编委会主任
	钟允若	原邮电科学研究院副院长、总工程师
	刘 彩	中国通信学会副理事长兼秘书长, 教授级高工 信息产业部通信科技委副主任
	杜振民	电子工业出版社原副社长
	王志功	东南大学教授、博士生导师、射频与光电集成电路研究所所长 教育部高等学校电子电气基础课程教学指导分委员会主任委员
	张中兆	哈尔滨工业大学教授、博士生导师、电子与信息技术研究院院长
	范平志	西南交通大学教授、博士生导师、信息科学与技术学院院长

导 读

集成电路的飞速发展是20世纪70年代以来人类历史上的一个奇迹,它是计算机和通信领域的支柱,并且已经成为其他科学和工程技术的基础。现在VLSI的设计和应用已经渗透到每一工程技术和日常生活领域,几乎每一工程学科的学生和工程技术人员都需要了解VLSI方面的知识。随着深亚微米和纳米集成电路时代的到来,当代最先进芯片的晶体管数目已达到了 $10^9 \sim 10^{10}$ 个,时钟频率也已提高到 10^9 Hz。人类社会的任何其他发明都未曾获得过如此长时间的高速发展,但与此同时集成电路的设计领域也正面临着新的挑战,CMOS工艺特征尺寸的持续缩小,使延时、功耗、互连、扰动和鲁棒性等关键因素成为当前芯片设计的主要考虑因素,集成电路的高层次设计和物理设计之间的相互影响和互动反馈也达到了前所未有的水平。为了充分反映近年来CMOS集成电路设计领域的迅速变化,电子工业出版社影印出版了本书(其美国版图书名为*CMOS VLSI Design: A Circuits and Systems Perspective, Fourth Edition*,两者在编排结构上稍有差异)^①,这无疑使国内从事这一领域的广大读者能先睹为快,并在尽快掌握当代最先进的CMOS集成电路设计技术方面受益匪浅。

本书两位作者长期在美国等地的世界知名公司和大学从事研究和设计工作,有着在工业界工程实践和在大学从事教学的丰富经验,并长期跟踪CMOS集成电路设计领域的最新动态。本书涵盖了从系统级到电路级的CMOS VLSI设计方法。第1章概述集成电路的简史,MOS晶体管、CMOS逻辑和CMOS的制造和版图,并以一个简单的MIPS微处理器为例介绍了CMOS集成电路的设计、验证、制造、封装和测试等方面的基本概念;第2章分析CMOS器件的电流和电容,它们对于估计电路延时和功耗非常重要。第3章介绍为提高集成电路的速度,设计者所需考虑的基本问题,开发了可用来估计电路延时的简化模型。第4章分析功耗,因为对芯片功耗进行估计并在功耗和性能之间找到平衡点至关重要,同时低功耗对于采用电池操作的移动系统来说也非常关键。第5章讨论连线,它在现代CMOS集成电路设计中对芯片整体性能与功耗的影响甚至超过了晶体管的重要性。第6章研究如何设计成品率高和可靠性好的电路。第7章介绍SPICE电路模拟器及其模拟方法,讨论如何通过模拟更精确地预测电路性能和功耗,并讨论如何验证电路和逻辑的正确性。第8章讨论逻辑门及组合电路设计,将介绍现有的整套电路系列,它们在速度、功耗、复杂性和鲁棒性方面各有优缺点。第9章讨论时序电路设计,包括时钟和锁存技术。接下来的三章研究CMOS子系统。第10章分类介绍各种数据通路的设计,包括加法器、移位器、乘法器和计数器。第11章按类似的分类方式描述存储器,包括SRAM、DRAM、CAM、ROM和PLA。第12章介绍专用子系统,包括封装、电源分布、时钟和I/O。再接下来的两章介绍CMOS系统设计,其中第13章重点介绍当前的一系列设计方法,并指明CMOS集成电路设计所特有的一些问题。第14章讨论测试、可测性设计(design-for-test)和调试技术。最后,第15章详细介绍CMOS制造的工艺技术和版图设计规则。本书各章都附有习题可供学生练习,并可作为其他读者的思考题。书

^① 登录华信教育资源网(www.hxedu.com.cn)可下载本书与美国版的差异的对比文档以及彩图等信息。

末还列出了大量文献,这些文献不仅有助于学生进一步理解本书的内容和深入研究各个专题,而且也为集成电路的专业设计人员提供了丰富的参考资料。此外,本书在着重介绍工业界应用的最佳实现方法的同时,也为读者指明了设计过程中易犯的错误和谬见。本书还尽可能提供足够多的插图和范例来启发读者的思路,以帮助读者进行分析和思考。

本书具有以下显著新特点:

- 深刻阐述低功耗设计
- 详细介绍扰动的来源和影响
- 以 65 nm 工艺为例,介绍纳米工艺下的集成电路设计
- 介绍 PLL 和 DLL 等高速 I/O 电路
- 介绍现代最先进存储器的设计经验
- 修订了有关数据通路的内容

本书内容丰富,读者可根据需要从书中选读感兴趣的内容。一些章节的标题旁标注有“选读”(OPTIONAL)图标,表明这些章节的内容也许不是为理解后续章节所必需的,或者所介绍的是某个专题细节或一些特殊问题,因此读者可以在第一遍阅读时先跳过这些内容,等以后需要时或在阅读与其密切相关的其他内容时再回过头来阅读它们。此外本书还有一本配套教材 *Digital VLSI Chip Design with Cadence and Synopsys CAD Tools*,书中详细介绍了使用先进的工业界 CAD 工具设计芯片的实际过程^①。

本书涵盖了比任何一门在一学期内完成的课程更宽、更深的内容。它可供本科生 VLSI 引论课程使用,但内容又十分详尽,足以满足研究生高级课程的需要,对于从事实际工作的工程师来说,它也是一本非常有益的参考书。作为本科生在一个学期内完成的课程,教学内容可以覆盖如下章节:

- 第 1 章的 1.1 节~1.6 节;
- 第 2 章;
- 第 3 章的 3.1 节~3.5 节;
- 第 4 章的 4.1 节~4.3 节及 4.5 节;
- 第 5 章;
- 第 6 章的 6.1 节~6.4 节;
- 第 7 章;
- 第 8 章的 8.1 节, 8.2.1 节~8.2.3 节, 8.2.4.1 节~8.2.4.4 节, 8.2.5.1 节和 8.2.5.2 节, 8.3 节;
- 第 9 章的 9.1 节~9.3 节, 9.5.1 节和 9.5.2 节;
- 第 10 章的 10.1 节, 10.2.1 节, 10.2.2.1 节~10.2.2.6 节, 10.2.3 节, 10.3 节~10.6 节, 10.8 节, 10.9.1 节和 10.9.2 节, 10.9.3.1 节, 10.9.4.1 节, 10.9.5 节;
- 第 11 章的 11.1 节, 11.2.1 节~11.2.3 节, 11.3 节~11.8 节;
- 第 12 章的 12.1 节~12.3 节, 12.4.1 节~12.4.5 节, 12.4.6.1 节;
- 第 13 章的 13.1 节~13.5 节;

^① 该书也已由电子工业出版社出版(《数字 VLSI 芯片设计——使用 Cadence 和 Synopsys CAD 工具》,中文版书号 978-7-121-09607-5,英文版书号 978-7-121-09159-9)。——编者注

● 第14章的14.1节~14.5节;

● 第15章的15.1节~15.3节。

其中选读部分可以根据情况选讲或安排自学;第7章(SPICE)、第13章(方法学)、第14章(测试)及第15章(制造)的内容经选择后可以在布置课程设计时由教师或助教集中讲述。

本书内容经适当安排,也可以作为集成电路专业本科生两个学期课程的教学内容。例如可以将第1章的1.7节~1.12节,第7章(SPICE)、第13章(方法学)、第14章(测试)及第15章(制造)的内容再加上一个大型课程设计或多个小型课程设计,作为在第一学期上完VLSI引论课程后在第二学期开设的一门新课程(例如集成电路课程设计)的教学内容。

对于研究生的高级课程,除了重点复习或讲述上述列出的适合本科生教学内容的章节外,可以增加如下章节:

● 第1章的1.7节~1.12节;

● 第3章的3.6节;

● 第4章的4.4节;

● 第6章的6.5节和6.6节;

● 第8章的8.2.4.5节~8.2.4.7节,8.2.5.3节和8.2.5.4节,8.4节和8.5节;

● 第9章的9.4节,9.5.3节~9.5.6节,9.6节;

● 第10章的10.2.2.7节~10.2.2.11节,10.2.4节和10.2.5节,10.7节,10.9.3.2节,10.9.4.2节和10.9.4.3节,10.9.6节和10.9.7节,10.10节;

● 第11章的11.2.4节~11.2.7节;

● 第12章的12.4.6.2节,12.4.7节,12.5节~12.8节;

● 第13章的13.6节;

● 第14章的14.6节~14.8节。

● 第15章的15.4节~15.6节。

另外,还可增加书中选读部分的内容和书末提供的文献,供教师讲解或学生自学。当然,作为研究生课程,强化的课程设计训练环节是必不可少的。

本人在多年采用本书进行教学(并翻译本书美国版第四版)的基础上有如上体会。希望更多的读者受益于本书!

周润德

前言

自本书第一版出版以来的25年间,CMOS工艺已在现代电子系统的设计领域确立了自己的优势地位,它使无线通信、互联网和PC机得到了广泛的应用。人类的任何其他发明都未曾获得过如此长时间的高速发展,当代最先进芯片的晶体管数目和时钟频率都已增长了好几个数量级。

	第一版	第二版	第三版	第四版
年份(年)	1985	1993	2004	2010
晶体管数目(个)	$10^5 \sim 10^6$	$10^6 \sim 10^7$	$10^8 \sim 10^9$	$10^9 \sim 10^{10}$
时钟频率(Hz)	10^7	10^8	10^9	10^9
全球销售额(美元)	250 亿	600 亿	1700 亿	2500 亿

本书这一版对上一版进行了许多重大修改,以反映过去6年间集成电路设计领域面貌的迅速变化。虽然基本原理仍大部分相同,但功耗和扰动已成为芯片设计的主要考虑因素,为此本书重新组织了内容,以突出以下几个关键因素:延时、功耗、互连和稳定性。其余各章也已根据我们使用这本教材的顺序重新进行了编排。

如何使用本书

本书意欲涵盖比任何一门在一学期内完成的课程更宽、更深的内容。它可供本科生VLSI引论课程使用,但内容又十分详尽,足以满足研究生高级课程的需要。对于从事实际工作的工程师来说,它还是一本非常有益的参考书。作者鼓励读者根据需要选读感兴趣的内容。本书第1章概述了整个VLSI领域,而其余各章则详述各自的专题。如果某些章节的内容不是为理解后续章节所必需的,那么就会在它们的标题旁标注一个OPTIONAL(选读)图标(如本段左侧图标所示)。读者可以在第一遍阅读时先跳过这部分,等以后需要时再回过头来阅读它们。



作者尽可能提供足够多的插图来启发读者的思路(因为“一图胜千言”),也希望读者在看本书中的范例时先进行思考,然后再看答案。作者也为那些需要对本书介绍的各个专题进行深入研究的读者们提供丰富的参考资料。本书着重介绍了工业界应用的最佳实现方法,也预先为读者指明易犯的错误和谬见。虽然作者对于各类电路优缺点的评判也许会随工艺和运用的变化而变得不准确,但我们相信尽力提炼出最贴切的信息是任何一个著作者应尽的责任。

教辅资料

读者可以从本书相应的网站www.cmosvlsi.com获取大量的教辅资料。其中帮助学生学习这门课程的资料包括:

- 指导包括第1章中设计一个8位微处理器练习的实验手册
- 一组可用来获取VLSI设计资源（包括开源CAD工具和工艺参数）的网站链接
- 学生用的习题答案手册，但只含奇数编号习题的解答

帮助教师讲授这门课程的教辅资料包括：

- 教学大纲范例
- VLSI引论类课程的讲课幻灯片
- 教师用的习题答案手册

这些资料专为采用本书授课的教授们准备。发送电子邮件至 computing@aw.com 可查询如何得到这些资料（详见本书末尾的“教学支持说明”）。

致谢

作者衷心感谢许多评阅本书、提供建议和参加技术研讨的人们。他们是：Bharadwaj “Birdy” Amrutur、Mark Anders、Adnan Aziz、Jacob Baker、Kaustav Banerjee、Steve Bibyk、David Blaauw、Erik Brunvand、Neil Burgess、Wayne Burleson、Robert Drost、Jo Ebergen、Sarah Harris、Jacob Herbold、Ron Ho、David Hopkins、Mark Horowitz、Steven Hsu、Tanay Karnik、Omid Kaveh、Matthew Keeter、Ben Keller、Ali Keshavarzi、Bruce Khailany、Jaeha Kim、Volkan Kursun、Simon Knowles、Ram Krishnamurthy、Austin Lee、Ana Sonia Leon、Shih-Lien Lu、Sanu Mathew、Aleksandar Milenkovic、Sam Naffziger、Braden Phillips、Stefan Rusu、Justin Schauer、James Stine、Jason Stinson、Aaron Stratton、Ivan Sutherland、Jim Tschanz、Alice Wang、Gu-Yeon Wei 和 Peiyi Zhao。作者预先向所有帮助过我们但未能在里提及的人致歉。

MOSIS公司和IBM公司非常友好地允许我们在许多例子中使用他们的纳米SPICE模型。Nathaniel Pinckney 花费了一个夏天的时间帮助修订了实验室训练内容并更新了模拟实验。Jaeha Kim 为本书第13章新写了有关锁相环和高速I/O的章节。本书作者之一David也希望在这里感谢印度理工学院的Bharadwaj Amrutur 和澳大利亚阿德莱德大学的Braden Phillips，是他们在他们富有写作成果的那两个夏天里热情接待了他。

Addison-Wesley出版社以他们紧张的编辑和出版努力完成了令人赞叹的工作。作者要特别感谢本书编辑Matt Goldstein，以及本书排版Gillian Hall。

当David还是一个被Sally Harris抱在膝上的婴儿时，Sally Harris就已经在编辑家庭笔记了。她以惊人的仔细和耐心阅读了本书的校样并发现了其中的几百处错误。

最后，没有我们家庭的支持，本书是不可能与读者见面的。David尤其希望感谢他的妻子Jennifer及儿子Abraham和Samuel能宽容他因写本书而有两个夏天未能和家人在一起，并希望感谢来自我们其他亲属的巨大帮助。

我们已认识到在一本出版的书中很容易不经意地出错并对此深感棘手。本书第三版的许多读者已报告了书中的许多瑕疵，现已得到改正。尽管我们全力检查，但相信这一版中仍会引入同样数目的新错误。请在网址 www.cmosvlsi.com/errata.pdf 上查看本书的勘误表，看看是否已经报告了这些错误，并将你的报告发送至 bugs@cmosvlsi.com。

Contents

Chapter 1 Welcome to VLSI	1
1.1 A Brief History	1
1.2 Preview	6
1.3 MOS Transistors	6
1.4 CMOS Logic	9
1.4.1 The Inverter	9
1.4.2 The NAND Gate	9
1.4.3 CMOS Logic Gates	9
1.4.4 The NOR Gate	11
1.4.5 Compound Gates	11
1.4.6 Pass Transistors and Transmission Gates	12
1.4.7 Tristates	14
1.4.8 Multiplexers	15
1.4.9 Sequential Circuits	16
1.5 CMOS Fabrication and Layout	19
1.5.1 Inverter Cross-Section	19
1.5.2 Fabrication Process	20
1.5.3 Layout Design Rules	24
1.5.4 Gate Layouts	27
1.5.5 Stick Diagrams	28
1.6 Design Partitioning	29
1.6.1 Design Abstractions	30
1.6.2 Structured Design	31
1.6.3 Behavioral, Structural, and Physical Domains	31
1.7 Example: A Simple MIPS Microprocessor	33
1.7.1 MIPS Architecture	33
1.7.2 Multicycle MIPS Microarchitecture	34
1.8 Logic Design	38
1.8.1 Top-Level Interfaces	38
1.8.2 Block Diagrams	38
1.8.3 Hierarchy	40
1.8.4 Hardware Description Languages	40
1.9 Circuit Design	42
1.10 Physical Design	45
1.10.1 Floorplanning	45
1.10.2 Standard Cells	48
1.10.3 Pitch Matching	50
1.10.4 Slice Plans	50

1.10.5	Arrays	51
1.10.6	Area Estimation	51
1.11	Design Verification	53
1.12	Fabrication, Packaging, and Testing	54
	Summary and a Look Ahead	55
	Exercises	57
Chapter 2	Devices	61
2.1	Introduction	61
2.2	Long-Channel I-V Characteristics	64
2.3	C-V Characteristics	68
2.3.1	Simple MOS Capacitance Models	68
2.3.2	Detailed MOS Gate Capacitance Model	70
2.3.3	Detailed MOS Diffusion Capacitance Model	72
2.4	Nonideal I-V Effects	74
2.4.1	Mobility Degradation and Velocity Saturation	75
2.4.2	Channel Length Modulation	78
2.4.3	Threshold Voltage Effects	79
2.4.4	Leakage	80
2.4.5	Temperature Dependence	85
2.4.6	Geometry Dependence	86
2.4.7	Summary	86
2.5	DC Transfer Characteristics	87
2.5.1	Static CMOS Inverter DC Characteristics	88
2.5.2	Beta Ratio Effects	90
2.5.3	Noise Margin	91
2.5.4	Pass Transistor DC Characteristics	92
2.6	Pitfalls and Fallacies	93
	Summary	94
	Exercises	95
Chapter 3	Speed	99
3.1	Introduction	99
3.1.1	Definitions	99
3.1.2	Timing Optimization	100
3.2	Transient Response	101
3.3	RC Delay Model	104
3.3.1	Effective Resistance	104
3.3.2	Gate and Diffusion Capacitance	105
3.3.3	Equivalent RC Circuits	105
3.3.4	Transient Response	106
3.3.5	Elmore Delay	108
3.3.6	Layout Dependence of Capacitance	111
3.3.7	Determining Effective Resistance	112
3.4	Linear Delay Model	113
3.4.1	Logical Effort	114

3.4.2	Parasitic Delay	114
3.4.3	Delay in a Logic Gate	116
3.4.4	Drive	117
3.4.5	Extracting Logical Effort from Datasheets	117
3.4.6	Limitations to the Linear Delay Model	118
3.5	Logical Effort of Paths	121
3.5.1	Delay in Multistage Logic Networks	121
3.5.2	Choosing the Best Number of Stages	124
3.5.3	Example	126
3.5.4	Summary and Observations	127
3.5.5	Limitations of Logical Effort	129
3.5.6	Iterative Solutions for Sizing	129
3.6	Timing Analysis Delay Models	131
3.6.1	Slope-Based Linear Model	131
3.6.2	Nonlinear Delay Model	132
3.6.3	Current Source Model	132
3.7	Pitfalls and Fallacies	132
3.8	Historical Perspectives	133
	Summary	134
	Exercises	134
Chapter 4	Power	139
4.1	Introduction	139
4.1.1	Definitions	140
4.1.2	Examples	140
4.1.3	Sources of Power Dissipation	142
4.2	Dynamic Power	143
4.2.1	Activity Factor	144
4.2.2	Capacitance	146
4.2.3	Voltage	148
4.2.4	Frequency	150
4.2.5	Short-Circuit Current	151
4.2.6	Resonant Circuits	151
4.3	Static Power	152
4.3.1	Static Power Sources	152
4.3.2	Power Gating	155
4.3.3	Multiple Threshold Voltages and Oxide Thicknesses	157
4.3.4	Variable Threshold Voltages	157
4.3.5	Input Vector Control	158
4.4	Energy-Delay Optimization	158
4.4.1	Minimum Energy	158
4.4.2	Minimum Energy-Delay Product	161
4.4.3	Minimum Energy Under a Delay Constraint	161
4.5	Low Power Architectures	162
4.5.1	Microarchitecture	162

4.5.2	Parallelism and Pipelining	162
4.5.3	Power Management Modes	163
4.6	Pitfalls and Fallacies	164
4.7	Historical Perspective	165
	Summary	167
	Exercises	167
Chapter 5	Wires	169
5.1	Introduction	169
5.1.1	Wire Geometry	169
5.1.2	Example: Intel Metal Stacks	170
5.2	Interconnect Modeling	171
5.2.1	Resistance	172
5.2.2	Capacitance	173
5.2.3	Inductance	176
5.2.4	Skin Effect	177
5.2.5	Temperature Dependence	178
5.3	Interconnect Impact	178
5.3.1	Delay	178
5.3.2	Energy	180
5.3.3	Crosstalk	180
5.3.4	Inductive Effects	182
5.3.5	An Aside on Effective Resistance and Elmore Delay	185
5.4	Interconnect Engineering	187
5.4.1	Width, Spacing, and Layer	187
5.4.2	Repeaters	188
5.4.3	Crosstalk Control	190
5.4.4	Low-Swing Signaling	192
5.4.5	Regenerators	194
5.5	Logical Effort with Wires	194
5.6	Pitfalls and Fallacies	195
	Summary	196
	Exercises	196
Chapter 6	Scaling, Reliability, and Variability	199
6.1	Introduction	199
6.2	Variability	199
6.2.1	Supply Voltage	200
6.2.2	Temperature	200
6.2.3	Process Variation	201
6.2.4	Design Corners	202
6.3	Reliability	204
6.3.1	Reliability Terminology	204
6.3.2	Oxide Wearout	205
6.3.3	Interconnect Wearout	207
6.3.4	Soft Errors	209

6.3.5	Overvoltage Failure	210
6.3.6	Latchup	211
6.4	Scaling	212
6.4.1	Transistor Scaling	213
6.4.2	Interconnect Scaling	215
6.4.3	International Technology Roadmap for Semiconductors	216
6.4.4	Impacts on Design	217
6.5	Statistical Analysis of Variability	221
6.5.1	Properties of Random Variables	221
6.5.2	Variation Sources	224
6.5.3	Variation Impacts	227
6.6	Variation-Tolerant Design	232
6.6.1	Adaptive Control	233
6.6.2	Fault Tolerance	233
6.7	Pitfalls and Fallacies	235
6.8	Historical Perspective	236
	Summary	242
	Exercises	242
Chapter 7	SPICE	245
7.1	Introduction	245
7.2	A SPICE Tutorial	246
7.2.1	Sources and Passive Components	246
7.2.2	Transistor DC Analysis	250
7.2.3	Inverter Transient Analysis	250
7.2.4	Subcircuits and Measurement	252
7.2.5	Optimization	254
7.2.6	Other HSPICE Commands	256
7.3	Device Models	256
7.3.1	Level 1 Models	257
7.3.2	Level 2 and 3 Models	258
7.3.3	BSIM Models	258
7.3.4	Diffusion Capacitance Models	258
7.3.5	Design Corners	260
7.4	Device Characterization	261
7.4.1	I-V Characteristics	261
7.4.2	Threshold Voltage	264
7.4.3	Gate Capacitance	266
7.4.4	Parasitic Capacitance	266
7.4.5	Effective Resistance	268
7.4.6	Comparison of Processes	269
7.4.7	Process and Environmental Sensitivity	271
7.5	Circuit Characterization	271
7.5.1	Path Simulations	271
7.5.2	DC Transfer Characteristics	273
7.5.3	Logical Effort	273

7.5.4	Power and Energy	276
7.5.5	Simulating Mismatches	277
7.5.6	Monte Carlo Simulation	277
7.6	Interconnect Simulation	277
7.7	Pitfalls and Fallacies	280
	Summary	282
	Exercises	282
Chapter 8	Gates	285
8.1	Introduction	285
8.2	Circuit Families	286
8.2.1	Static CMOS	287
8.2.2	Ratioed Circuits	292
8.2.3	Cascode Voltage Switch Logic	297
8.2.4	Dynamic Circuits	297
8.2.5	Pass-Transistor Circuits	307
8.3	Circuit Pitfalls	312
8.3.1	Threshold Drops	313
8.3.2	Ratio Failures	313
8.3.3	Leakage	314
8.3.4	Charge Sharing	314
8.3.5	Power Supply Noise	314
8.3.6	Hot Spots	315
8.3.7	Minority Carrier Injection	315
8.3.8	Back-Gate Coupling	316
8.3.9	Diffusion Input Noise Sensitivity	316
8.3.10	Process Sensitivity	316
8.3.11	Example: Domino Noise Budgets	317
8.4	Silicon-On-Insulator Circuit Design	318
8.4.1	Floating Body Voltage	319
8.4.2	SOI Advantages	320
8.4.3	SOI Disadvantages	320
8.4.4	Implications for Circuit Styles	321
8.4.5	Summary	322
8.5	Subthreshold Circuit Design	322
8.5.1	Sizing	323
8.5.2	Gate Selection	323
8.6	Pitfalls and Fallacies	324
8.7	Historical Perspective	325
	Summary	327
	Exercises	328
Chapter 9	Sequencing	333
9.1	Introduction	333
9.2	Sequencing Static Circuits	334
9.2.1	Sequencing Methods	334