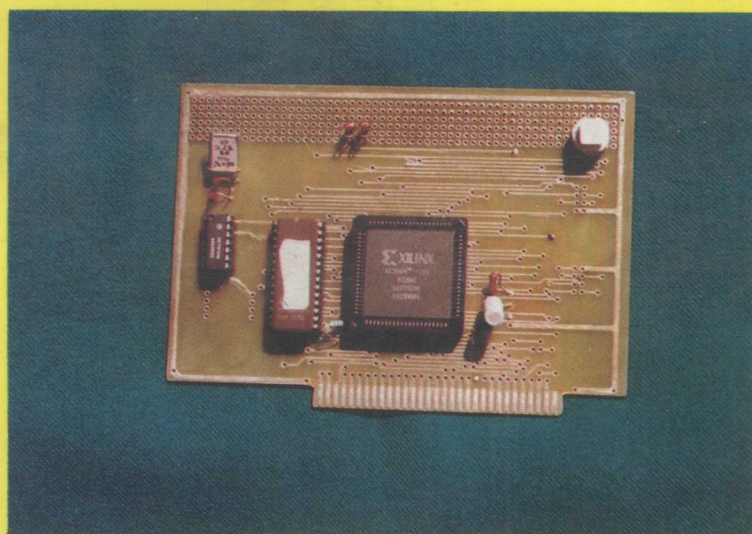
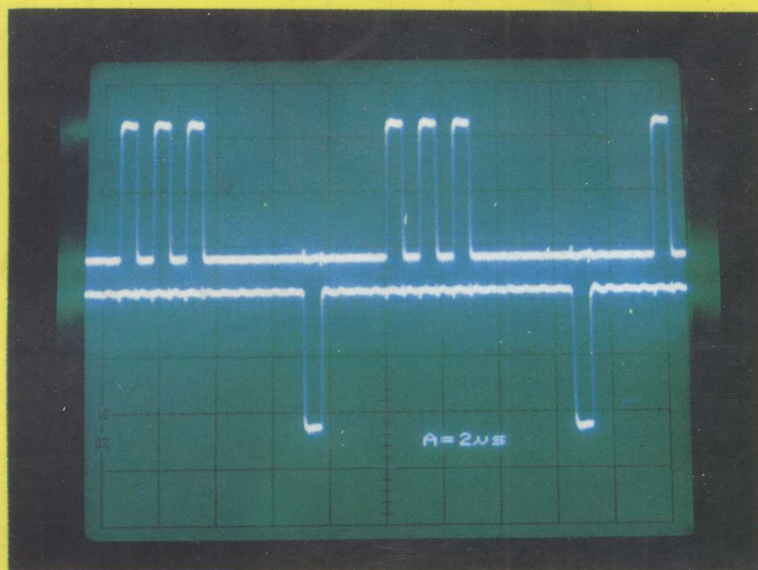


XILINX

FPGA开发与应用

郑 蕾 编著



中国经济出版社

73.879/434

XILINX 号 950 3 8 7 9 / 4 3 4
FPGA 开发与应用

郑蕾 编著



中国经济出版社

5C9\PT3.C7

(京)新登字 079 号

责任编辑:张勇忠 8319287

封面设计:郑蕾 高书精

发行部门:刘建生 8353496

邮购部门:戴红枫 8353507

XILINX

FPGA 开发与应用

郑蕾 编著

中国经济出版社出版发行

(100037·北京市百万庄北街3号)

各地新华书店经销

北京龙华印刷厂印刷

850×1168 毫米 1/16 20.5 印张

500 千字附软盘一张

1994 年 2 月第 1 版 1994 年 2 月第 1 次印刷

印数:3000

ISBN7-5017-2955-7/Z·398 定价:110.00 元

版权所有 盗版必究

前 言

Xilinx公司是一个专门开发和研究现场可编程门阵列的公司。Xilinx公司占据了75%的FPGA市场。Xilinx的产品在通信卫星、计算机产业、光纤通信、客户产品上都大量使用。Xilinx的产品在军用、工业品、民品等各个领域都在广泛使用。

Xilinx的技术从1984年开始到今天，从CLB型FPGA增加到EPLD型的FPGA。工艺上从1.2微米到0.8微米，速度上从60MHZ到了250MHZ，矩阵开关从平面型向三维空间型上发展。

Xilinx的开发工具在布局综合能力上、逻辑优化上都有很大的优势。Xilinx专门与Cadence公司一起开发了产品，并把设计和布局前、后仿真等工具与布局布线等工具集成在一起。另外，也可以用其它的电子设计自动化软件做电路设计与分析。

Xilinx的主流产品是CLB型FPGA，这种产品以其价格低、使用灵活人机交互方便等特点深受国内外用户的欢迎。

为了推广Xilinx产品的应用，IMAG公司的工程师可以为用户进行产品开发级、指导生产级的服务和支持。

美国IMAG公司 谢国平

1993.12.23

序 言

电子技术正以极快的速度向前发展，器件的发展从电子管到晶体管，晶体管到集成电路，中小规模集成电路到大规模集成电路发生了一次次革命性的变化。到了现阶段，由于专用集成电路(ASIC)的发展，使得人们在实验室可以设计生产出大规模专用集成电路。因而导致了电子设计方法上的根本性变革，产生了电子设计自动化(EDA)这一新学科。设计方法的变革与器件的发展互相促进，不断发展，使电子技术有了一次较大的飞跃。

过去，我们设计一个电子系统的步骤是先描述系统，然后进行逻辑图设计，再选用市场上有的器件，绘制电原理图，布PCB板调试，如果有错误则从头修改，重新走一遍此过程。与传统设计方法不同，现代电子工程师设计的过程是首先描述系统，然后用EDA工具在计算机上进行系统级仿真，设计自己合用的专用芯片。用通用和专用芯片构成系统，进行功能仿真及延时仿真等，布PCB板，对PCB板进行仿真，最终生产调试成功。新的设计方法有两大优点，一是在系统设计的各个过程分别进行仿真，保证了设计的正确性，使得设计能够一次成功，二是能够自行设计ASIC芯片，使得系统体积小，可靠性高，具有个性。因此，尽快掌握EDA或ESDA的设计方法，是使我国电子产品走向世界的必要保证。FPGA是ASIC中最灵活、发展最快的一族，它适用于小批量，多品种的产品，无须去国外流片就可得到合用的芯片，较适合中国国情。我们在开发应用FPGA中，积累了一些经验，为了促进FPGA在国内的应用，使中国电子产品上一个台阶，冲出亚洲，冲向世界。我们希望电子技术界的同行们在设计中多采用FPGA芯片。因此，我们写了此书，供电子工程师及大专院校师生们参考。由于时间紧，而且技术的发展日新月异，书中难免有不完善之处，敬请读者批评指正。

本书详细介绍了美国Xilinx公司的现场可编程门阵列XC系列器件的开发、实现及应用技术。我们通过设计应用XC系列器件，迫切感到需要一套详细、完整的FPGA开发与应用中文资料，因此查阅并参考了大量FPGA开发系统手册、用户手册、应用资料等中英文手册资料并结合我们自己在开发应用过程中积累的经验，写成此书。

本书共四章另三个附录：

第一章“FPGA的结构、特点及应用范围”详细描述了Xilinx FPGA器件的内部结构和资源、芯片品种及其应用范围。

第二章“FPGA设计实现流程及一个实例”详细描述了FPGA设计实现流程，并通过一个实例从提出设计要求到设计输入、设计转换、设计验证、设计实现到形成LCA芯片配置码到设计硬件电原理图直至调试成功，给出了设计实现FPGA的一个完整过程，这对于初学者了解FPGA设计实现过程是非常有用的。

第三章“FPGA开发系统与操作方法”详细描述了FPGA开发系统的构成、安装及操作方法。本章主要介绍FPGA从设计概念提出到产生芯片配置码的整个设计过程，内容有：FPGA开发系统介绍，XDM菜单命令，设计输入（包括原理图输入，布尔表达式输入），设计转换，自动布局布线，手工布局布线，功能验证与定时验证，XILINX实体验证工具，生成位串码，产生EPROM编程码以及XC2000系列、XC3000系列元件库介绍和如何建立用户自己的元件库等等。

第四章“FPGA电路实现及应用”介绍FPGA芯片管脚说明，FPGA编程方式和常用电路的

设计, 本章主要详述从FPGA芯片配置码生成后, 到实现含有FPGA芯片的硬件电路的实现过程以及几种常用电路设计举例, 包括通用可编程定时器的设计, 总线电路的设计, CPU 电路的设计, 以及特殊设计方法, 如: CLBMAP, PAL 器件, 内部晶振, 预定义管脚排序等设计方法。

附录A: "FPGA设计总结---各设计命令总结列表" 给出所有设计中的命令, 选择项列表。

附录B: "LCA 器件管脚说明" 给出所有XC2000系列, XC3000系列LCA 芯片的管脚说明。

附录C: "LCA 器件电性能参数" 给出LCA器件的电性能参数表。

本书既可作为有经验的FPGA设计人员的参考手册又可作为初学者的入门教材, 它包括了FPGA设计实现过程所需的全部信息, 尤其是针对国内目前常见的XC3000系列FPGA开发系统, 本书可作为这套开发系统的操作手册和入门指南, 一书在手, 即可指导从设计概念形成到设计完成产生EPROM配置码到PCB板硬件电路实现的全过程。

另外, 本书详细阐述了设计输入, 设计验证以及元件库, 对于指导大专院校电子类专业学生学习计算机辅助设计, 数字电路实验等课程也是非常合适的, 因而可以作为 "计算机辅助设计"、"数字电路" 等课程的选用教材。

本书由郑蕾主编。第三章第三节由肖建军执笔, 其余由郑蕾执笔。编辑排版由郑蕾和何明完成。

在编著本书的过程中, 得到了有关方面的帮助和支持, 特别是得到了航天部微电子中心的高延敏工程师、南京船舶雷达研究所的何明女士、宋青青女士等的大力支持, 在此表示衷心的感谢! 另外, 丁祖安女士、刘月凌女士、高玉红小姐等也参加了本书的打字工作, 在此一并表示感谢!

一九九三年四月

目 录

第一章	FPGA的结构、特点及应用范围	1
第一节	FPGA概述	1
第二节	XILINX FPGA 的结构	2
1.2.1	配置存储器	3
1.2.2	CLB	4
1.2.3	IOB	5
1.2.4	可编程互连	7
1.2.4.1	通用互连	8
1.2.4.2	直接互连线	10
1.2.4.3	长线	11
1.2.4.4	内部总线	12
1.2.5	晶振	14
1.2.6	芯片品种	14
第三节	应用范围	17
第二章	FPGA设计实现流程及一个实例	19
第一节	FPGA设计实现流程	19
第二节	FPGA设计实现的一个实例	20
2.2.1	系统描述	20
2.2.2	设计输入	22
2.2.3	转换	22
2.2.4	功能验证	29
2.2.5	布局布线	31
2.2.6	后验证	33
2.2.7	生成配置文件	34
2.2.8	电路实现	35
第三章	FPGA开发系统与设计方法	37
第一节	FPGA开发系统介绍	37
3.1.1	XILINX FPGA 开发系统构成	37
3.1.2	XILINX FPGA 开发系统安装	38
3.1.3	XILINX FPGA 开发系统菜单命令	42
3.1.4	使用菜单和命令	45
第二节	UTILITIES 与 PROFILE 菜单命令	47
3.2.1	UTILITIES 菜单命令	47
3.2.2	PROFILE 菜单命令	48

第三节	设计输入	52
3.3.1	ORCAD/SDT	52
3.3.1.1	环境配置(DRAFT/C)	52
3.3.1.2	绘制原理图(DRAFT)	55
3.3.1.2.1	Again—再执行	55
3.3.1.2.2	Block—块操作命令	55
3.3.1.2.3	Condition—环境命令	56
3.3.1.2.4	Delete—删除命令	56
3.3.1.2.5	Edit—编辑命令	57
3.3.1.2.6	Find—查找	58
3.3.1.2.7	Get—取元件	58
3.3.1.2.8	Hardcopy—打印命令	59
3.3.1.2.9	Jump—跳转	59
3.3.1.2.10	Library—元件库	59
3.3.1.2.11	Macro—宏命令	60
3.3.1.2.12	Place—放置命令	61
3.3.1.2.13	Quit—退出命令	62
3.3.1.2.14	Repeat—重复命令	63
3.3.1.2.15	Set—设置命令	63
3.3.1.2.16	Tag—标记命令	64
3.3.1.2.17	Zoom—比例变化	64
3.3.2	PALASM简介	64
3.3.2.1	CHIP 语句	65
3.3.2.2	EQUATIONS 语句	66
3.3.2.3	STRING 语句	68
3.3.2.4	内部信号	68
3.3.2.5	特殊PAL 的特殊处理	69
3.3.2.6	不支持的PAL 特性	69
3.3.2.7	PDS2XNF 允许的扩充功能总结	69
3.3.2.8	PDS2XNF 能辨认的PAL 型号	69
3.3.2.9	将PALASM转换成XC2000系列LCA	70
3.3.2.10	将PALASM转换成XC3000系列LCA	70
3.3.2.11	信号命名原则	70
3.3.2.12	将现有的PAL 设计转换成PALASM	71
3.3.2.13	使用PALASM作新设计的注意	72
3.3.3	LCA 元件库	72
3.3.3.1	2000系列库概况	72
3.3.3.1.1	XC2000系列基本组合逻辑	73
3.3.3.1.2	XC2000系列基本锁存器和触发器	73
3.3.3.1.3	XC2000系列基本I/O	75
3.3.3.1.4	XC2000系列反相器和缓冲器	75
3.3.3.1.5	XC2000系列符号宏列表	77
3.3.3.2	3000系列库概况	79

3.3.3.2.1	XC3000系列基本组合逻辑	80
3.3.3.2.2	XC3000系列基本触发器	80
3.3.3.2.3	XC3000系列基本I/O	81
3.3.3.2.4	XC3000系列反相器和缓冲器	84
3.3.3.2.5	XC3000系列PULLUP符号	84
3.3.3.2.6	XC3000系列符号宏列表	85
3.3.3.3	使用LCA 特殊原理图符号选择项	87
3.3.3.3.1	网标记(NET TAGs)	88
3.3.3.3.2	规定一个LCA 块位置(对XACT)	89
3.3.3.3.3	规定一个LCA 块名(对XACT)	90
3.3.3.3.4	规定3000系列其它选择项	90
3.3.3.3.5	CLB 和IOB 原始符号概述	91
3.3.3.3.6	利用UPAD脚上的触发器	94
3.3.3.3.7	基本时钟缓冲器	97
3.3.3.3.8	晶振	97
第四节	TRANSLATE 文件转换	98
3.4.1	ANNOTATE与CLEANUP	98
3.4.1.1	ANNOTATE—原理图标注	98
3.4.1.2	CLEANUP—原理图整理	100
3.4.2	NETLIST — 网表生成	101
3.4.3	PIN2XNF — 网表转换	106
3.4.4	PDS2XNF — PAL 设计转换	114
3.4.5	XNFOPT — 逻辑化简	116
3.4.5.1	逻辑综合	116
3.4.5.2	XNFOPT程序 — 用于LCA的逻辑优化	116
3.4.6	XNFMERGE — 合并	122
3.4.6.1	XNFMERGE程序的作用	122
3.4.6.2	XNFMERGE命令格式和选择项描述	124
3.4.6.3	确定一个符号所引用的文件	125
3.4.6.4	不同层次间信号的连接	125
3.4.6.5	合并报告文件.MRG	127
3.4.7	XNFDRC — 设计规则检查	127
3.4.8	XNFMAP — 分块	129
3.4.8.1	XNFMAP命令格式	130
3.4.8.2	XNFMAP选择项	130
3.4.8.3	用寄存器排序的输出信号名命名规范	132
3.4.8.4	XNFMAP程序运行过程	132
3.4.8.5	XNFMAP举例	133
3.4.8.6	XNFMAP错误信息表	139
3.4.9	MAP2LCA — 映射	147
3.4.9.1	MAP2LCA命令格式	147
3.4.9.2	MAP2LCA所用的文件	148
3.4.9.3	MAP2LCA处理过程	148

08	3.4.9.4	MAP2LCA错误信息	148
08	3.4.9.5	MAP2LCA运行举例	149
18	3.4.10	XMAKE — 自动转换	149
48	3.4.10.1	XMAKE 命令格式	150
48	3.4.10.2	XMAKE 处理过程	150
28	3.4.10.3	XMAKE 选择项	150
38	3.4.10.4	输出文件	151
38	3.4.10.5	使用.MAK文件	152
28	第五节	自动布局布线	155
00	3.5.1	APR	155
08	3.5.1.1	APR 程序格式	155
18	3.5.1.2	APR 各选择项功能	155
40	3.5.2	APRLOOP	158
14	3.5.2.1	APRLOOP 程序格式	158
78	3.5.2.2	APRLOOP 选择项	158
90	3.5.3	使用APR 限制	159
28	3.5.4	APR 使用的文件	163
80	3.5.5	先进的选择项应用技术	168
100	3.5.5.1	-G选择项的使用	168
100	3.5.5.2	使用选择项组合	168
60	3.5.6	APR 退火过程信息	170
4	第六节	验证	171
110	3.6.1	验证概述	171
100	3.6.1.1	验证的作用	171
110	3.6.1.2	功能验证和后验证	171
220	3.6.2	用于验证的网表转换程序	172
220	3.6.2.1	ORCAD/VST 设计流程	172
134	3.6.2.2	LCA2XNF 程序	173
281	3.6.2.3	XNFCVT程序	174
220	3.6.2.4	XNF2VST 程序	176
151	3.6.2.4.1	XNF2VST命令	176
151	3.6.2.4.2	XNF2VST增加的信号名	176
220	3.6.2.4.3	网命名规范	178
061	3.6.2.4.4	XNF2VST 输出文件	180
081	3.6.2.4.5	XNF2VST 错误信息	181
280	3.6.2.5	CHECKNET程序	182
120	3.6.3	ORCAD/VST 模拟验证	183
220	3.6.3.1	配置ORCAD/VST 到XILINX	183
060	3.6.3.2	运行ORCAD/VST 模拟验证程序	184
140	3.6.3.3	ORCAD/VST 详细介绍	188
140	3.6.3.3.1	推荐的ORCAD/VST目录安排	188
840	3.6.3.3.2	ORCAD/VST配置	188
140	3.6.3.3.3	Simulate程序命令	180

3.6.3.3.4	ORCAD/VST实用程序TVGEN和SPOOLTV	203
3.6.3.3.5	模拟验证举例	208
3.6.3.4	VST 验证限制	206
3.6.4	DOWNLOAD电缆实体验证	207
3.6.4.1	下装电缆和目标系统的连接	207
3.6.4.2	使用下装电缆	208
3.6.4.3	下装电缆自检	210
3.6.4.4	下装电缆与XACTOR比较	211
第七节	XACT	212
3.7.1	XACT执行器	212
3.7.1.1	PROGRAMS菜单命令	213
3.7.1.2	DESIGN菜单命令	214
3.7.1.3	PROFILE 菜单命令	215
3.7.1.4	XACT打印机支持	218
3.7.2	EDITLCA 程序 (手工布局布线)	220
3.7.2.1	显示结构	220
3.7.2.1.1	PIE 显示结构	220
3.7.2.1.2	块编辑器显示结构	222
3.7.2.2	命令输入	225
3.7.2.3	EDITLCA 菜单命令	226
3.7.2.3.1	NET 菜单命令	227
3.7.2.3.2	PIN 菜单命令	229
3.7.2.3.3	BLK 菜单命令	231
3.7.2.3.4	CONFIG菜单命令	234
3.7.2.3.5	SCREEN菜单命令	239
3.7.2.3.6	MISC菜单命令	243
3.7.2.3.7	PROFILE 菜单命令	248
3.7.2.3.8	APRCON菜单命令	250
3.7.3	MAKEBITS程序	251
3.7.3.1	CONFIG菜单命令	251
3.7.3.2	DOWNLOAD菜单命令	253
3.7.3.3	MISC菜单命令	253
3.7.3.4	PROFILE 菜单命令	255
3.7.3.5	TIE 选择项	256
3.7.4	MAKEPROM程序	257
3.7.4.1	PROM菜单命令	258
3.7.4.2	MISC菜单命令	259
3.7.4.3	PROFILE 菜单命令	260
3.7.4.4	典型命令序列	260
第八节	建库	262
3.8.1	建立用户符号库	262
3.8.1.1	建立库元件符号	262
3.8.1.2	产生库元件的网表文件	263

805	3.8.1.3 验证所建的库的功能	264
806	3.8.2 建立用户宏	265
807		
808		
809		
810		
811		
812		
813		
814		
815		
816		
817		
818		
819		
820		
821		
822		
823		
824		
825		
826		
827		
828		
829		
830		
831		
832		
833		
834		
835		
836		
837		
838		
839		
840		
841		
842		
843		
844		
845		
846		
847		
848		
849		
850		
851		
852		
853		
854		
855		
856		
857		
858		
859		
860		
861		
862		
863		
864		
865		
866		
867		
868		
869		
870		
871		
872		
873		
874		
875		
876		
877		
878		
879		
880		
881		
882		
883		
884		
885		
886		
887		
888		
889		
890		
891		
892		
893		
894		
895		
896		
897		
898		
899		
900		
901		
902		
903		
904		
905		
906		
907		
908		
909		
910		
911		
912		
913		
914		
915		
916		
917		
918		
919		
920		
921		
922		
923		
924		
925		
926		
927		
928		
929		
930		
931		
932		
933		
934		
935		
936		
937		
938		
939		
940		
941		
942		
943		
944		
945		
946		
947		
948		
949		
950		
951		
952		
953		
954		
955		
956		
957		
958		
959		
960		
961		
962		
963		
964		
965		
966		
967		
968		
969		
970		
971		
972		
973		
974		
975		
976		
977		
978		
979		
980		
981		
982		
983		
984		
985		
986		
987		
988		
989		
990		
991		
992		
993		
994		
995		
996		
997		
998		
999		
1000		

4.3.3.4 一片EPROM 配置多片LCA 288

附录A：FPGA设计总结——各设计命令总结列表 289

附录B：LCA器件管脚排列 303

附录C：LCA器件电性能参数 312

第一章 FPGA的结构、特点及应用范围

第一节 FPGA概述

近年来,由于LSI制造技术和集成化技术的发展很迅速,使得在单芯片上实现大规模系统的设想变成了现实,其代表就是专用集成电路(简称ASIC)。但是ASIC的设计周期一般较长,而且投片费用昂贵,如果设计失败,往往造成很大的时间和资金的浪费,因而近几年来ASIC领域中出现了一种半定制电路,即现场可编程门阵列。它正以极快的速度发展着。

现场可编程门阵列(Field Programmable Array Gates)简称FPGA,它的基本特点如下:

1. 采用FPGA设计ASIC电路,用户不需投片生产,就能得到合用的芯片。
2. FPGA可做其它全定制或半定制ASIC电路的中试样片。
3. FPGA内部有丰富的触发器和I/O引脚。
4. FPGA是ASIC电路中设计周期最短、开发费用最低、风险最小的器件。
5. FPGA采用高速CMOS工艺,功耗低,可以与CMOS、TTL电平兼容。

可见FPGA芯片可以成为小批量系统提高系统集成度、可靠性的最佳选择。

目前FPGA的品种很多,有XILINX的XC系列,ALTRA的EPLD系列,TI公司的TPC系列等等,由于XILINX的FPGA结构极灵活,因而我们选择了XILINX的方案,采用XILINX的FPGA开发系统和LCA器件,并已成功地设计了多片FPGA芯片。

XILINX的FPGA采用LCA(Logic Cell Array)结构,内部是呈阵列状排列的CLB(Configurable Logic Block),四周围绕着IOB(Input/output Block),其余为垂直交叉的可编程互连,连接所有CLB和IOB,每个CLB内有一块组合逻辑电路和两个D触发器,每个IOB内有两个触发器和一个三态门,可以定义为输入、输出、双向或三态脚。

XC已发展了三代产品,第一代有XC2064、2018两个品种,第二代有XC3020、3030、3042、3064、3090五个品种,第三代有XC4002、4003、4004、4005、4006、4008、4010、4013、4016、4020十个品种,最大到两万门集成度。每个品种又根据管脚个数、速度等的不同分为不同的型号。以XC3064PG132为例,其内部共有224个CLB,120个IOB等效为有448种组合逻辑、688个触发器和120个输入输出管脚,等效门数为6400门。

FPGA是以RAM-based方式编程,因而工作时需一片EPROM或PROM加一片XC-FPGA芯片。加电时,FPGA芯片将EPROM中数据读入FPGA内的编程RAM中,配置完成后,FPGA进入工作状态,此时外部EPROM可以拿掉,不影响电路功能。当掉电后,FPGA恢复成“白”片,内部逻辑关系消失,因此,FPGA能够反复使用。FPGA的编程无须专用的FPGA编程器,只须用通用的EPROM、PROM编程器即可,当需要修改FPGA功能时,只要换一片EPROM即可,这样同一块FPGA,同一块PCB板,不同的EPROM编程数据,可以产生不同的电路功能,非常灵活。

FPGA有多种配置模式,并行主模式为一片FPGA加一片EPROM的方式,主从模式可以支持一片PROM编程多片FPGA。串行模式可以采用8脚串行PROM编程FPGA,这样可减小并缩小PCB板,外设模式可以将FPGA接在微处理器总线上编程,这样可省掉编程EPROM。

例如,一个单片机系统可以将CPU和存储器外的其它电路,全部集成到一片FPGA上,这能大大提高系统的可靠性和集成度,减小成本,其电路可能减化为如图1.1框图:

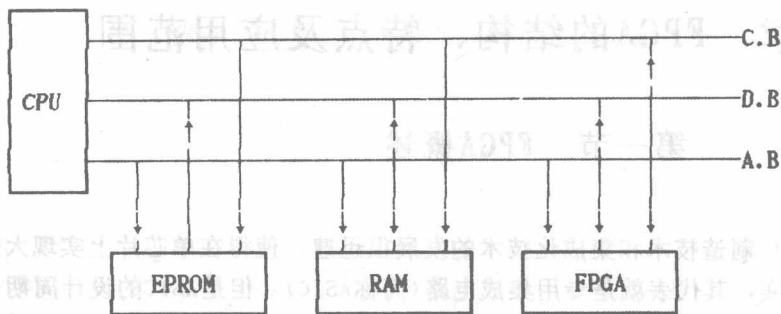


图 1.1 采用FPGA的单片机系统框图

FPGA除基本CLB、IOB外，其内部还提供其它特殊功能。

1. 内部晶振
2. 内部三态线与(3000系列以上)
3. 内部三态总线(4000系列以上)
4. 内部高速RAM(4000系列以上)

FPGA虽然有以上的优越性，但其设计系统目前还很昂贵，且设计难度也较大。FPGA的设计过程如下：

1. 系统功能描述
2. 电原理图输入和布尔表达式输入等设计输入
3. 产生CLB、IOB分块方法和仿真网表
4. 功能仿真
5. 布局布线
6. 后仿真
7. 产生编程文件

第二节 结构

XILINX FPGA的LCA结构与其它门阵列类似，内部是呈阵列状排列的多个可配置逻辑块CLB，可以提供用户规定的逻辑功能；周围是输入/输出接口块IOB，可以提供内部逻辑和外部封装脚之间的接口；其余为可编程形成网络的互连资源，用于在块与块之间传输信号，类似于连接中、小规模集成电路器件的印刷电路板上的走线；如图1.2.1所示。

CLB的逻辑功能由已编程的查表电路来实现，功能选择由程序控制的多路器实现；块之间的互连网络由金属线段和程控传输晶体管来实现。这些LCA的功能由一个配置程序来建立，该程序装入LCA内部配置存储器单元的分布阵中。配置程序在上电时装入LCA器件，也可以根据命令重新装入配置程序；LCA将产生逻辑和控制信号来实现自动或被动配置。程序数据可以是位串型或并行字节型，由开发系统产生配置数据。存储器装入过程与用户逻辑功能无关。

LCA器件类似于一个微处理器，是一种程序驱动的逻辑器件。CLB、IOB的功能以及相互接线关系均由在片RAM中的配置程序所控制。在加电或受令或微处理器系统初始化时，存在外部存储器中的配置程序自动加载进片内RAM。

熟悉FPGA内部结构和硬件资源是设计好FPGA的关键。因此，下面以XC3000系列器件为例详细地介绍XILINX FPGA的内部结构和资源。

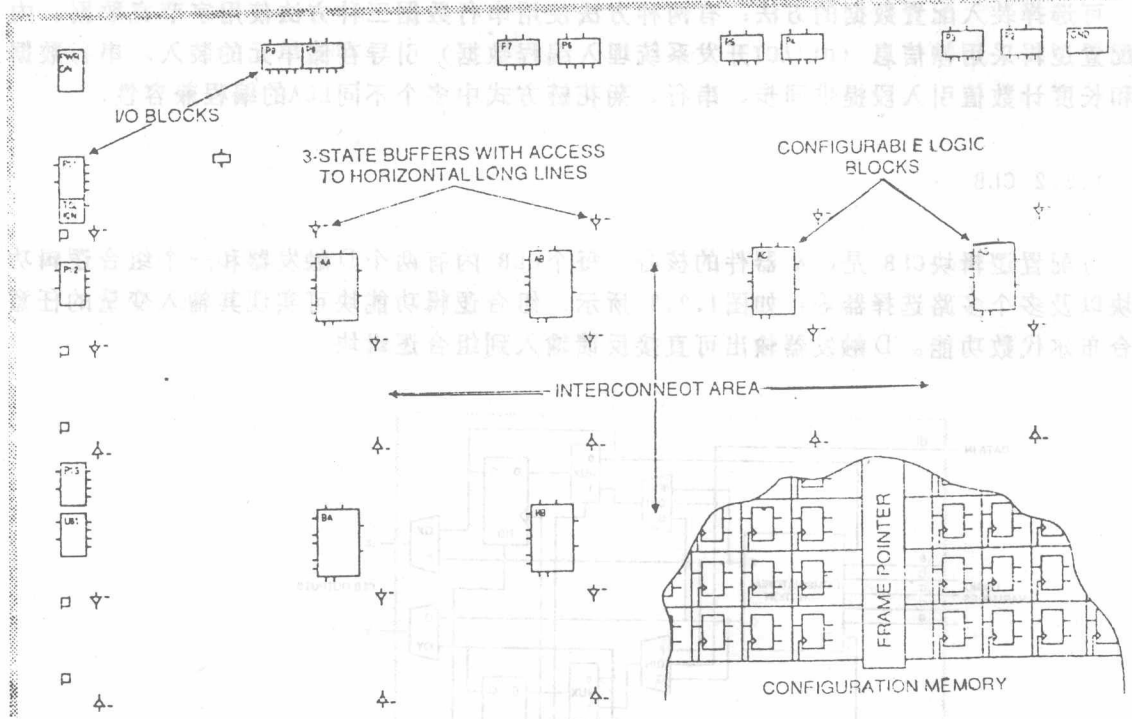


图1.2.1 LCA 结构 它包括周围IOB 和中间CLB 以及互连资源，都由配置程序存储器单元的分布阵控制

1.2.1 配置存储器

LCA 的配置存储器为特殊设计的高可靠性、低噪声静态存储单元，基于这种设计的配置存储器可以在恶劣的环境下工作。与其它编程相比，静态存储器可提供最佳的高密度、高性能、高可靠性和广泛的可测性组合。如图1.2.2 所示，基本存储单元包括两个CMOS反相器加上一个用于读写单元数据的传输晶体管，该单元只在配置时写入和读回时读出。在正常工作中该单元提供连续的控制，传输晶体管为“OFF”不影响单元稳定性，这与普通存储器有很大不同，它们频繁地读出和重写存储单元数据。

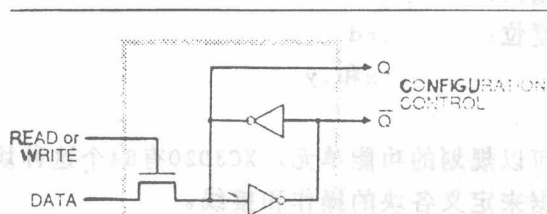


图1.2.2 静态配置存储单元 它装入一位配置程序并控制LCA的一个程控点

存储单元输出Q 和 \bar{Q} 用GND 和VCC 电平并提供连续、直接的控制。另外容性负载和没有地址译码以及带有放大器使该单元有高稳定度，由于配置存储单元的结构，它们不受强烈的电源干扰和高强度的 α 粒子辐射的影响，在可靠性测试中在非常高doses 的 α 辐射下

没有发现软件错误。

可选择装入配置数据的方法：有两种方法使用串行数据三种方法使用字节宽数据。内部配置逻辑采用帧信息（由XACT开发系统埋入编程数据）引导存储单元的装入，串行数据帧和长度计数值引入段提供同步、串行、菊花链方式中多个不同LCA的编程兼容性。

1.2.2 CLB

可配置逻辑块CLB是LCA器件的核心。每个CLB内有两个D触发器和一个组合逻辑功能块以及多个多路选择器等，如图1.2.3所示：组合逻辑功能块可实现其输入变量的任意组合布尔代数功能。D触发器输出可直接反馈输入到组合逻辑块。

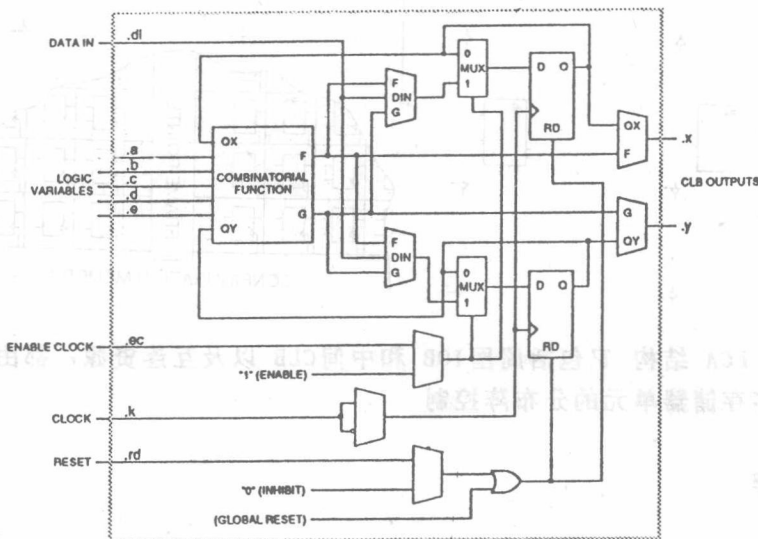


图1.2.3 CLB内部框图 包括一个组合逻辑块，两个触发器和一个程序控制的多路选择块。它有：

- 五个逻辑变量输入：.a、.b、.c、.d和.e
- 一个直接数据输入：.di
- 一个使能端：.ec
- 一个时钟输入：.k
- 一个异步复位：.rd
- 两个输出：.x和.y

CLB阵提供了用户逻辑可以规划的功能单元，XC3020有64个这种块排列成8行8列，XACT开发系统可编译配置数据来定义各块的操作和接线。

各CLB的触发器数据输入D端可以是组合逻辑输出F、G或CLB的输入[.di]，两个触发器共用同一个异步复位[.rd]，.rd被使能且为高时使触发器复位。使能端[.ec]控制两个触发器，为低时保持触发器的当前状态，为高时响应该CLB的数据输入或组合逻辑功能，由用户选择。用户也可以选择时钟输入[.k]的正反向，这种正、反向可编程使布线简化，并允许使用共用或独立的CLB定时。

CLB的组合逻辑块用一个 32×1 的查表来实现布尔代数功能。五个逻辑变量输入与两个块内触发器输出作为查表选择的地址输入。该组合逻辑块的延迟与所要产生的逻辑功能