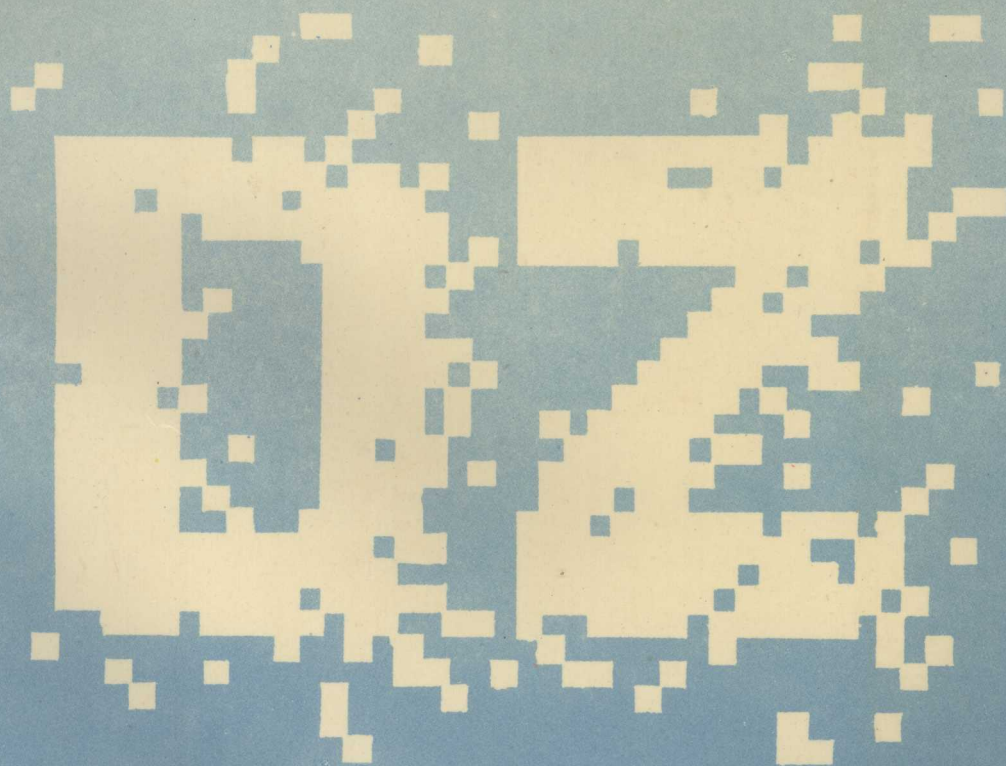




高 等 学 校 规 划 教 材
工 科 电 子 类

半导体集成电路

张开华

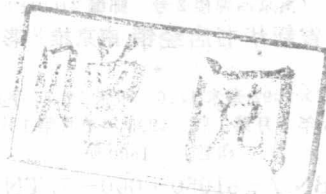


东 南 大 学 出 版 社

73.7552
22

半导体集成电路

张开华



东南大学出版社

内 容 简 介

本书是由电子工业部电子材料与固体器件教材编审委员会半导体物理与器件编审小组评选审定,推荐出版的全国第四轮统编教材。全书共八章。前七章主要内容为双极型和 MOS 型逻辑集成电路,模拟集成电路等通用集成电路的设计与分析,侧重集成电路的版图设计;第八章讲述以门阵列、标准单元、PLD 和 FPGA 为代表的专用集成电路(ASIC),对各类 ASIC 的特点、设计方法及应用范围做了较详尽的讨论。

本书为高等学校工科电子类半导体物理与器件专业教材,亦可供从事设计、制造、应用通用集成电路和 ASIC 方面工作的工程技术人员阅读参考。

责任编辑:王小然

半导体集成电路

张开华 编

*

东南大学出版社出版发行

(南京四牌楼 2 号 邮编 210018)

江苏省新华书店经销 南京雄州彩色印刷厂印刷

*

开本 787×1092 毫米 1/16 印张 19.75 字数 480 千

1995 年 7 月第 1 版 1995 年 7 月第 1 次印刷

印数:1—1500 册

ISBN 7-81050-000-7/TN·1

定价:21.00 元

(凡因印装质量问题,可直接向承印厂调换)

出版说明

根据国务院关于高等学校教材工作的规定,我部承担了全国高等学校和中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力,有关出版社的紧密配合,从1978~1990,已编审、出版了三个轮次教材,及时供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要,贯彻国家教委《高等教育“八五”期间教材建设规划纲要》的精神,“以全面提高教材质量水平为中心,保证重点教材,保持教材相对稳定,适当扩大教材品种,逐步完善教材配套”,作为“八五”期间工科电子类专业教材建设工作的指导思想,组织我部所属的九个高等学校教材编审委员会和四个中等专业学校专业教学指导委员会,在总结前三轮教材工作的基础上,根据教育形势的发展和教学改革的需要,制订了1991~1995年的“八五”(第四轮)教材编审出版规划。列入规划的,以主要专业主干课程教材及其辅助教材为主的教材约300多种。这批教材的评选推荐和编审工作,由各编委会或教学指导委员会组织进行。

这批教材的书稿,其一是从通过教学实践、师生反映较好的讲义中经院校推荐,由编审委员会(小组)评选择优产生出来的,其二是在认真遴选主编人的条件下进行约编的,其三是经过质量调查在前几轮组织编写出版的教材中修编的。广大编审者、各编审委员会(小组)、教学指导委员会和有关出版社,为保证教材的出版和提高教材质量,作出了不懈的努力。

限于水平和经验,这批教材的编审、出版工作还可能有缺点和不足之处,希望使用教材的单位,广大教师和同学积极提出批评和建议,共同为不断提高工科电子类专业教材的质量而努力。

电子工业部电子类专业教材办公室

前 言

本教材系按电子工业部的工科电子类专业教材 1991—1995 年编审出版规划,由《电子材料与固体器件》教材编委会《半导体物理与器件》编审小组征稿并推荐出版。责任编委为天津大学赵鸿麟。

本教材由电子科技大学张开华编写;东南大学魏同立担任主审。本课程的参考学时为 120 学时(包括实验和课程设计)。全书由八章组成,分为两大部分。前七章为通用集成电路部分,除绪论外,内容涉及双极型逻辑集成电路、MOS 逻辑集成电路和模拟集成电路的电路分析和版图设计,这一部分内容,压缩了部分与先修课重叠的内容,突出了 AS/ALSTTL,FAST,HCMOS,ACMOS,BiCOMS,CMOS 模拟集成电路的原理分析。第八章为专用集成电路(ASIC)部分。在对 ASIC 的发展现状和发展趋势做了分析之后,又分别对 ASIC 的主要品种:门阵列、标准单元、可编程逻辑器件、现场可编程门阵列以及 ASIC 微机、ASIC 封装等做了较详细的介绍,并对发展 ASIC 的关键技术——IC CAD 技术做了介绍。这部分内容有一定的独立性,可做为单独课程内容讲授。

本课程为半导体物理与器件专业的一门主干课,它要求学生先学习电子线路、半导体物理、晶体管原理、半导体工艺等课程。要求在开展本课程课堂教学的同时,开出相应的实验课和课程设计,同时应开设与本课程有关的《IC CAD》,《LSI 技术》等选修课。要鼓励学生查阅最新微电子技术资料,以了解集成电路的发展现状和趋势。

本教材由张开华编写,电子科技大学杨漠华同志为模拟集成电路提供了部分资料。在本教材编写过程中,广泛参考了国内外有关资料,并汲取了有关教材的特点。由于编者水平有限,书中难免还存在一些缺点和错误,殷切希望广大读者批评指正。

编 者

1994 年 8 月

目 录

1 绪论

1.1 集成电路的分类	(1)
1.2 提高集成度的途径	(4)
1.3 集成技术的组成	(6)
1.4 教材内容与学习方法	(7)
参考文献	(7)

2 双极型逻辑集成电路

2.1 双极型集成电路中的寄生效应	(8)
2.1.1 集成 npn 晶体管的结构与寄生效应	(8)
2.1.2 硼扩散电阻器的结构与寄生效应	(11)
2.2 TTL 电路	(13)
2.2.1 TTL 电路的演变	(13)
2.2.2 TTL 电路的技术指标和基本特性	(15)
2.2.3 S/LSTTL 电路	(18)
2.2.4 AS/ALS TTL 电路	(24)
2.2.5 FAST 电路	(27)
2.3 ECL 电路	(31)
2.3.1 ECL 电路的工作原理	(31)
2.3.2 ECL 电路的特性	(34)
2.3.3 ECL 电路器件设计和工艺上的特点	(36)
2.4 I ² L 电路	(36)
2.4.1 I ² L 电路的基本结构	(36)
2.4.2 I ² L/双极工艺	(37)
思考题与习题	(38)
参考文献	(39)

3 双极型逻辑电路的版图设计

3.1 IC 的开发流程	(41)
3.2 双极型 IC 的隔离技术	(41)
3.2.1 pn 结隔离工艺	(41)
3.2.2 等平面隔离工艺	(45)
3.3 版图设计与工艺设计	(45)
3.4 集成 npn 管的设计	(46)

3.4.1 IC 对晶体管的主要要求	(46)
3.4.2 集成晶体管的常用图形	(48)
3.5 集成二极管、SBD 和肖特基晶体管	(50)
3.5.1 集成二极管	(50)
3.5.2 肖特基势垒二极管(SBD)和肖特基晶体管	(51)
3.6 集成电阻器	(54)
3.6.1 硼扩散电阻器	(54)
3.6.2 其它集成电阻器	(58)
3.7 版图设计的一般规则	(61)
3.7.1 版图设计的准备工作	(61)
3.7.2 版图设计的一般规则	(62)
3.8 微电子测试图形技术	(64)
3.9 双极型逻辑 IC 版图设计举例	(65)
思考题与习题	(69)
参考文献	(69)
4 MOS 逻辑集成电路	
4.1 CMOS 逻辑集成电路	(70)
4.1.1 CMOS 逻辑集成电路的演变	(70)
4.1.2 CMOS 倒相器	(71)
4.1.3 CMOS 传输门	(79)
4.1.4 静态 CMOS 电路	(82)
4.1.5 动态和准静态 CMOS 电路	(84)
4.1.6 CMOS 电路的特点	(87)
4.1.7 CMOS 变型电路	(88)
4.1.8 高速 CMOS(HCMOS)逻辑集成电路	(90)
4.1.9 74 ACMOS 电路	(94)
4.2 BiCMOS 逻辑集成电路	(96)
4.2.1 双极与 CMOS 的相容技术	(96)
4.2.2 74BC 系列基本门的结构与工作原理	(97)
4.2.3 74BC 系列的特性	(98)
4.3 MOS 存储器	(100)
4.3.1 MOS 存储器的发展方向	(100)
4.3.2 MOS DRAM 存储单元	(103)
思考题与习题	(106)
参考文献	(107)
5 MOS 集成电路的版图设计	
5.1 MOS 集成电路的寄生效应	(109)

5.1.1 寄生电阻	(109)
5.1.2 寄生电容	(110)
5.1.3 寄生沟道	(113)
5.2 CMOS 电路中的锁定效应	(114)
5.2.1 寄生可控硅结构	(114)
5.2.2 CMOS 电路的锁定条件	(115)
5.2.3 防止体硅 CMOS 电路寄生可控硅锁定的几种措施	(116)
5.3 MOS 集成电路的工艺设计	(119)
5.3.1 工艺设计的主要内容	(119)
5.3.2 硅栅工艺流程	(119)
5.3.3 $2\mu\text{m}$ CMOS 工艺技术	(120)
5.3.4 体硅 CMOS 工艺设计中阱工艺的选择	(122)
5.3.5 SOI/CMOS 电路	(123)
5.4 MOS 集成电路的版图设计规则	(124)
5.4.1 以 λ 为基础的设计规则	(124)
5.4.2 微米设计规则	(128)
5.4.3 版图设计规则与工艺成品率之间的关系	(128)
5.5 MOS 集成电路的版图设计举例	(131)
5.5.1 输入栅保护电路版图举例	(131)
5.5.2 倒相器图形举例	(134)
5.5.3 门电路图形举例	(134)
5.5.4 版图设计技巧	(134)
思考题与习题	(140)
参考文献	(140)

6 模拟集成电路

6.1 概述	(141)
6.1.1 模拟集成电路的种类	(141)
6.1.2 模拟集成电路的特点	(141)
6.2 模拟集成电路中的元件设计	(142)
6.2.1 横向 pnp 管	(142)
6.2.2 纵向 pnp 管(衬底 pnp 管)	(144)
6.2.3 超增益管	(146)
6.2.4 齐纳二极管	(146)
6.2.5 模拟集成电路中的电容器	(147)
6.2.6 模拟集成电路中的电阻器	(150)
6.2.7 模拟集成电路中的场效应管	(151)
6.3 模拟集成电路中的基本单元电路	(156)
6.3.1 差分放大器	(156)

6.3.2 恒流源电路和有源负载	(160)
6.3.3 基准源电路	(165)
6.3.4 直流电平位移及差动——单端转换电路	(170)
6.3.5 输出级电路	(172)
6.4 集成运算放大器	(177)
6.4.1 集成运算放大器的基本概念	(177)
6.4.2 双极型运算放大器	(182)
6.4.3 MOS 运算放大器	(185)
6.5 集成数—模和模—数转换器	(188)
6.5.1 D—A 和 A—D 转换器的基本概念	(188)
6.5.2 集成 D—A 转换器	(193)
6.5.3 集成 A—D 转换器	(197)
思考题与习题	(199)
参考文献	(201)

7 模拟集成电路的版图设计

7.1 双极型模拟集成电路设计特点	(203)
7.1.1 器件的电学性能特点	(203)
7.1.2 工艺设计的特点	(203)
7.1.3 隔离区划分与元件设计	(205)
7.2 μ A741 运算放大器的版图设计	(206)
7.2.1 根据工艺水平确定基本尺寸	(206)
7.2.2 划分间隔区	(206)
7.2.3 元件的图形尺寸	(207)
7.2.4 排版和布局	(209)
7.3 MOS 模拟集成电路的版图设计	(211)
7.3.1 MOS 模拟集成电路版图设计的特点	(211)
7.3.2 MOS 运放版图设计示例	(212)
7.3.3 CMOS 模拟集成电路版图设计规则	(213)
思考题与习题	(218)
参考文献	(219)

8 专用集成电路(ASIC)

8.1 ASIC 的现状与分析	(220)
8.1.1 ASIC 的分类	(220)
8.1.2 通用集成电路和 ASIC 的主要区别	(221)
8.1.3 ASIC 的世界市场规模	(222)
8.1.4 ASIC 能迅速发展的原因	(223)
8.1.5 发展 ASIC 的支撑条件	(227)

8.1.6 ASIC 技术的发展趋势	(228)
8.2 ASIC 的基本电路和结构	(230)
8.2.1 双极型 ASIC 中使用的元器件	(230)
8.2.2 双极型 ASIC 的基本电路	(231)
8.2.3 CMOS ASIC 的基本电路	(233)
8.2.4 Bi CMOS ASIC 的基本电路	(239)
8.3 ASIC 设计技术	(242)
8.3.1 ASIC 设计与开发的特点	(242)
8.3.2 ASIC 设计方式	(243)
8.3.3 ASIC 的设计系统	(245)
8.3.4 ASIC 的验证	(249)
8.3.5 ASIC 的层级设计	(250)
8.4 门阵列	(251)
8.4.1 门阵列的构成及其优缺点	(251)
8.4.2 CMOS 门阵列	(254)
8.4.3 BiCMOS 门阵列	(261)
8.4.4 嵌入式门阵列	(263)
8.4.5 CMOS 门阵列电路设计流程	(264)
8.5 标准单元 ASIC	(265)
8.5.1 标准单元和标准单元 ASIC 的布局方式	(265)
8.5.2 单元库与单元设计	(267)
8.5.3 标准单元 ASIC 的设计流程	(270)
8.6 可编程逻辑器件(PLD)	(271)
8.6.1 PROM 和 PLA	(272)
8.6.2 PAL	(277)
8.6.3 GAL	(277)
8.7 现场可编程门阵列(FPGA)	(281)
8.7.1 FPGA 的基本结构	(281)
8.7.2 LCA 的总体结构	(283)
8.7.3 FPGA 的开发系统	(287)
8.7.4 FPGA 的开发流程	(287)
8.7.5 FPGA 的应用	(290)
8.8 ASIC 微机	(291)
8.8.1 ASIC 微机的出现	(291)
8.8.2 ASIC 微机的实现途径	(291)
8.8.3 CPU 核心的种类	(292)
8.9 ASIC 的封装	(294)
8.9.1 ASIC 封装类型	(295)
8.9.2 封装选择原则	(300)

思考题与习题.....	(301)
参考文献.....	(302)

1 绪 论

1.1 集成电路的分类

所谓集成电路 (Integrated Circuit, IC), 是指用半导体工艺, 或薄膜、厚膜工艺 (或者是这些工艺的組合), 把电路的有源器件、无源元件及互连布线以相互不可分离的状态制做在半导体或绝缘材料基片上, 最后封装在一个管壳内, 构成一个完整的、具有特定功能的电路、组件、子系统或系统。按照工艺和结构的不同, 可以将 IC 分为半导体 IC、膜 IC 和混合 IC 三种。在半导体衬底 (通常是硅单晶) 上, 使用外延、氧化、光刻、扩散等半导体平面工艺来制做晶体管、二极管、电阻、电容等元、器件及施行隔离, 并用金属蒸发工艺进行互连, 这样构成的 IC, 有时也称为单片 IC。在整个 IC 中, 半导体 IC 无论就品种、数量或是从其应用领域的宽广程度而言, 都占有绝对主流地位。半导体 IC 具有集成度高、体积小、生产效率高, 特别适合于规模性生产等特点。它广泛用来制作通用和专用集成电路 (ASIC)。但是采用半导体平面工艺难以制作高精度、高阻值、大容量电容以及电感等, 因此半导体 IC 难以渗透到某些特殊应用领域, 所以又发展了膜 IC (包括薄膜和厚膜电路) 以及混合 IC (HIC)。工作在 1GHz 以上微波频段的 IC, 称为微波 IC (MWIC), 它也是一种混合集成电路。半导体集成电路又称单片 IC 是本课程的研究对象。

IC 如按集成度高低分类, 则可将半导体 IC 分为小规模 (SSI)、中规模 (MSI)、大规模 (LSI) 和超大规模 IC (VLSI)。在单块晶片上或单个封装中构成的 IC 所包含的最大元件数 (包括有源与无源元件数) 称为集成度。IC 的集成度少于 100 个元件 (或等效于 10 个门电路) 者, 称为小规模 IC (SSI), 这种 SSI 是在 1958 年发明的, 1959 年正式发表研究成果, 1961 年投放市场。它的出现, 是由于在晶体管发展的基础上解决了隔离、互连技术和有源器件与无源元件的工艺相容性问题。由于工业自动化的发展, 提高了 SSI 的成品率, 就出现了集成度在 100~1000 个元件之间 (等效于 10 个~100 个门电路) 的中规模集成电路 (MSI)。1966 年以后出现的 LSI (集成度在 1000 个元件以上或等效于 100 个门电路以上的电路), 则是由于超净技术和计算机辅助设计及自动制版技术的发展, 器件和电路结构的改进, 以及物理问题研究所取得进展的结果。第一个进入市场的 LSI 是 1024 位 (1K 位) 铝栅 p-MOS 动态随机存储器 (DRAM)。LSI 的主要产品除了存储器外, 还有微处理器等。70 年代后期出现的超大规模 IC (VLSI) 是在 LSI 的基础上发展起来的, 它使 IC 发展到一个崭新的阶段, 从理论到工艺技术上都有重大发展。人们给予 VLSI 概念的含意可以从两个方面理解。从集成规模这一点来看, 把单片集成元件数超过 10 万个的电路叫 VLSI (对超高速型电路来说是每芯片集成 1000 个门以上); 从微细图形的线宽来看, 把线宽小于 $1\mu\text{m}$ 的叫 VLSI。64K 位动态 RAM (DRAM) 由大约 15 万个元件构成, 但其图形线宽为 $2.5\sim 3.0\mu\text{m}$, 属于光技术范围, 只能算做 VLSI 的初级产品,

而 256K 位 DRAM, 其图形线宽小于 $1\mu\text{m}$, 才是真正的 VLSI。近年来出现的特大规模集成电路 (ULSI), 以小于 $1\mu\text{m}$ 的设计尺寸做为设计规则, 每片上的元件数在 $10^7 \sim 10^8$ 之间。表 1-1 给出从 MSI 到 ULSI 性能指标的演变过程。

表 1-1

从 MSI 到 ULSI 的性能指标

性 能	ULSI	VLSI	LSI	MSI
元件数/片	$10^7 \sim 10^8$	$10^5 \sim 10^7$	$10^3 \sim 10^5$	$10^2 \sim 10^3$
元件数/ mm^2	$5 \times 10^5 \sim 5 \times 10^6$	$5 \times 10^3 \sim 5 \times 10^5$	$10^2 \sim 5 \times 10^3$	$10 \sim 10^2$
特征线宽(μm)	< 1	$1 \sim 3$	$3 \sim 5$	$5 \sim 10$
速度功耗乘积(PJ)	$< 10^{-2}$	$10^{-2} \sim 1$	$1 \sim 10$	$10 \sim 10^2$
掩膜板数量	$12 \sim 18$	$8 \sim 15$	$6 \sim 10$	5
芯片面积(mm^2)	$50 \sim 100$	$25 \sim 50$	$10 \sim 25$	10
栅氧化层厚度(nm)	$10 \sim 15$	$15 \sim 40$	$40 \sim 90$	$90 \sim 120$
结深(μm)	$0.1 \sim 0.2$	$0.2 \sim 0.5$	$0.5 \sim 1.2$	$1.2 \sim 2$
硅片直径(mm)	200(8in)	150(6in)	$100 \sim 125$ (4~5in)	$50 \sim 75$ (2~3in)

描述逻辑 IC 的参数很多, 但在使用中人们关心的是它的速度、功耗和噪声容限, 其中速度和功耗是一组相互矛盾着的参数, 速度快的电路, 往往功耗也大, 反之亦然。因此常用速度功耗乘积 (又称电路优值) 来综合地表示逻辑 IC 性能优劣, 用它来衡量一种集成技术 (包括工艺和电路技术) 在 LSI/VLSI 发展中所占地位, 用一个门电路的级延迟 t_{pd} 和功耗的乘积来表示, 或用门电路组成环形振荡器的频率和功耗实测值来推算。特征线宽小于亚微米以后, t_{pd} 可小于 1ns。降低功耗的主要途径是 CMOS 化。

由于模拟 IC 几乎没有逻辑 IC 那种重复地由标准化的简单单元电路构成大系统的情况, 因此在同样的设计、工艺水平下, 模拟 IC 扩大集成规模要比逻辑 IC 困难得多。所以一般认为, 模拟 IC 只要集成度达百元件数量级, 就可以看成是模拟 LSI。其目标是: 100MHz 以下, 60V 以下 (最近的将来可提高到 150V 以下), 25W 以下的模拟电路都做为 LSI 化的对象。近年来, 模拟 LSI 发展十分迅速。

需要指出的是, SSI、MSI、LSI、VLSI、ULSI 这种叫法, 只是人们粗略而形象地用来标志 IC 集成规模大小, 并不意味着技术指标的高低、性能优劣或制作难易程度。另外, 大中小规模 IC 习惯上总是指半导体 IC 而言的, 因为膜 IC 和混合 IC 内部大多有两块以上的芯片。

根据所采用的晶体管的不同, 半导体 IC 又可分为双极型 IC 和 MOS 型 IC。前者以 npn 和 pnp 晶体管做为有源器件, 后者则以 MOS 场效应晶体管做为有源器件。为了发展高性能的模拟 IC, 正越来越多地将双极型器件和场效应器件制作在同一芯片上, 即发展了各种各样的相容工艺, 如双极和 CMOS 相容的 BiCMOS 工艺等等, 图 1-1 给出了 IC 的分类情况。

集成电路(IC)是指将一定数量的晶体管、电阻、电容、电感等元件，通过一定的工艺，集成在一块半导体材料上，实现一定的逻辑功能或模拟功能的器件。集成电路的分类方法很多，可以根据不同的标准进行分类。图 1-1 展示了集成电路的分类方法。

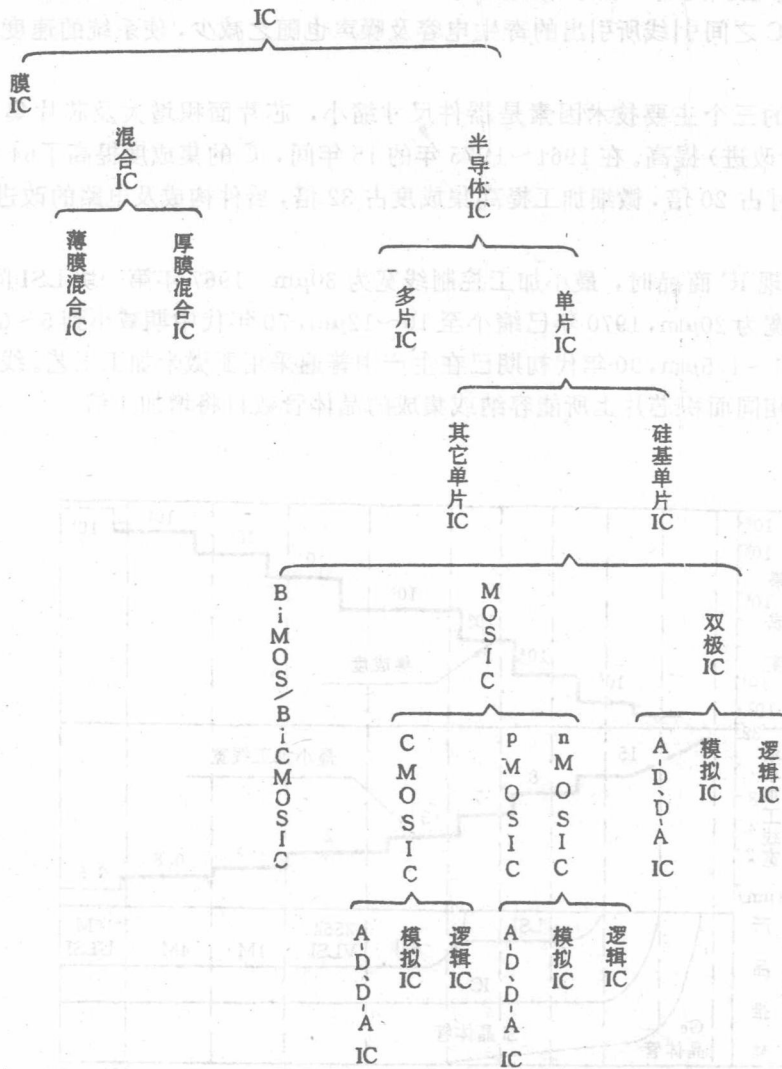


图 1-1 集成电路分类

1.2 提高集成度的途径

衡量一种 IC 技术进步的主要标志是集成度。所谓集成度是指一个硅片上所集成的元器件（包括有源器件和无源元件）的数目。集成度的提高使得 IC 的功能增强，单片功能的成本降低，电路速度提高，功耗下降，可靠性提高。集成度的提高还使得电路所需焊接的外引线端数与器件总数之比大幅度减少，使失效主要根源之一的焊点失效比例显著降低，提高了可靠性。同时，由于集成度的提高，使实现一定功能的系统所需之电路数目减少，进而使 IC 之间引线所引出的寄生电容及噪声也随之减少，使系统的速度与功耗均得到改善。

集成度提高的三个主要技术因素是器件尺寸缩小，芯片面积增大及芯片集成效率（结构和工艺设计改进）提高。在 1961~1975 年的 15 年间，IC 的集成度提高了 64 000 倍，其中增大芯片尺寸占 20 倍，微细加工提高集成度占 32 倍，器件构成及电路的改进占 100 倍。

1961 年刚出现 IC 商品时，最小加工控制线宽为 $30\mu\text{m}$ ，1967 年第一块 LSI 问世时，最小加工控制线宽为 $20\mu\text{m}$ ，1970 年已缩小至 $10\sim 12\mu\text{m}$ ，70 年代中期减小到 $5\sim 6\mu\text{m}$ ，80 年代初期减小到 $1\sim 1.5\mu\text{m}$ ，90 年代初期已在生产中普遍采用亚微米加工工艺。线条宽度每缩小一半，在相同面积芯片上所能容纳或集成的晶体管数目将增加 4 倍。

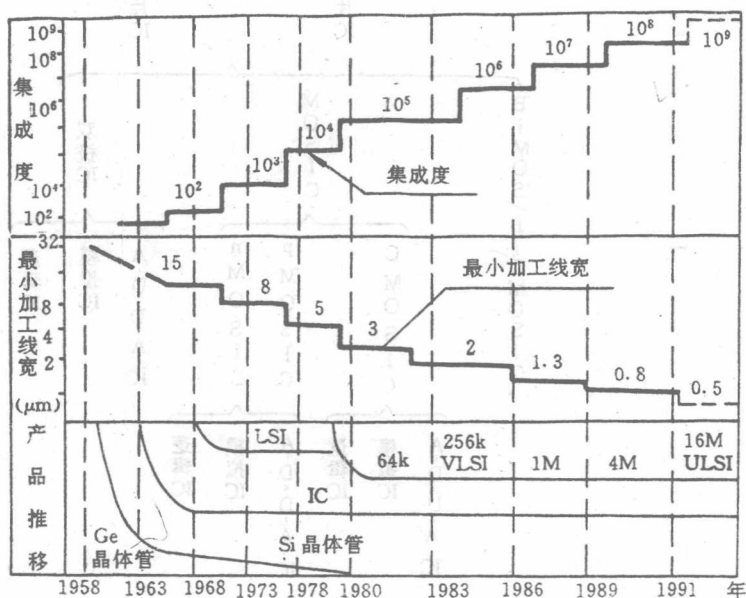


图 1-2 微细加工技术的进展（从晶体管到 ULSI）

下面以 MOS 动态随机存储器 (DRAM) 为例，说明微细加工技术的进展。DRAM 是通用 IC 最为典型的产品，是微电子工业的驱动力量。进入 80 年代以来，DRAM 已经历

了 64K 位、256K 位、1M 位的高集成化发展阶段。目前采用特征尺寸为 $0.8\mu\text{m}$ 线宽、8in 硅圆片的 4M 位 DRAM 已能大量生产，如图 1-2 所示。采用特征尺寸为 $0.5\mu\text{m}$ 线宽的 16M 位 DRAM 已于 1991 年 7 月进入市场，并于 1993 年投入批量生产。第一块采用特征尺寸为 $0.3\sim 0.2\mu\text{m}$ 线宽的 256M 位 DRAM 于 1992 年 12 月推出。预计到 2000 年，采用特征尺寸为 $0.12\mu\text{m}$ 的 1G 位 DRAM 将把集成度提高到每片 10 亿个元件以上，称之为巨型 IC (GSI)。图 1-3 示出 MOSDRAM 的集成度和最小加工线宽及集成度进展情况，可知，DRAM 的集成度每 2.5~3 年增加 4 倍。

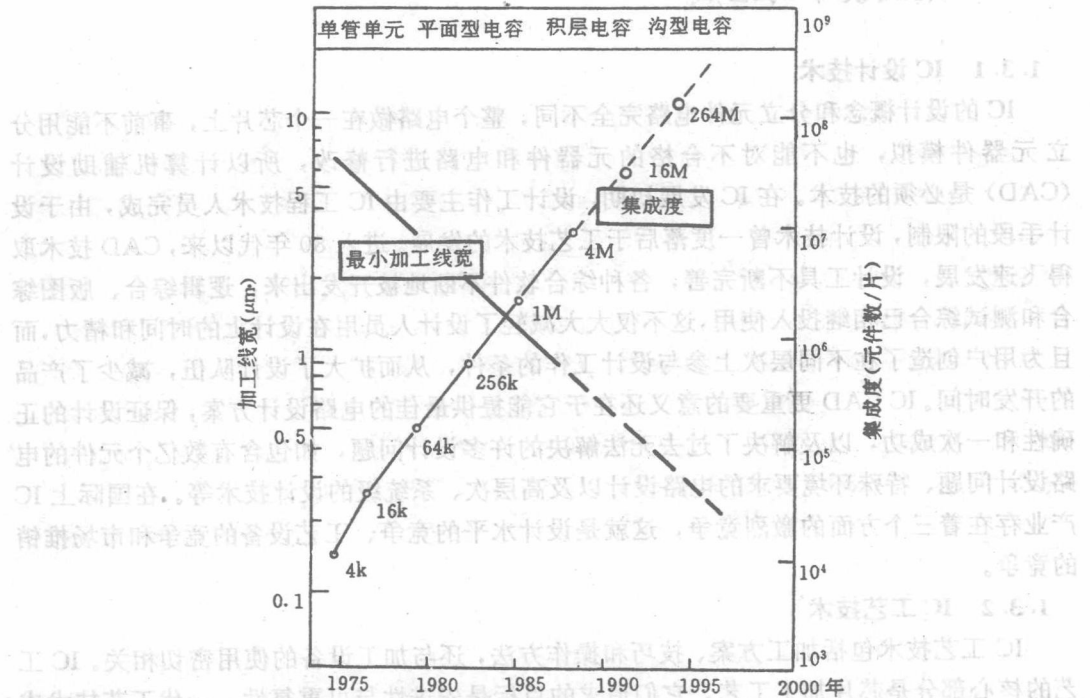


图 1-3 MOSDRAM 的集成度和最小加工线宽及集成度的进展

在完善工艺和保证成品率的条件下，适当地扩大芯片面积可以提高 IC 的集成度。由于硅晶体材料总是存在着各种缺陷，因此在相同的晶体材料和工艺条件下，随着单个电路所占芯片面积的增大，成品率将大幅度下降，从而导至 IC 成本的急剧上升，SSI/MSI 的芯片面积一般为 5，LSI/VLSI 的芯片面积一般为 $25\sim 100\text{mm}^2$ 。硅大圆片面积和电路芯片面积的比值对 LSI/VLSI 的成品率有影响，比值愈大，在其它条件相同时，成品率也愈高。硅片边缘部分由于不平整性和存在大量缺陷，因此在制作 IC 时，实际可利用的是大圆片的中间部分。70 年代初期使用 2~3 英寸的大圆片，70 年代中期是 3~4 英寸，70 年代末期是 4~5 英寸，80 年代中期已普遍使用 6 英寸大圆片。进入 80 年代末期，国外一些大公司开始采用 8 英寸硅片制做 4M 位 DRAM。增大大圆片直径涉及许多问题。如：晶体的均匀性，特别是氧的存在状态、形状，切片、抛光、平整度等。8 英寸硅片整体的

平整度必须不大于 $2\mu\text{m}$ 才行。

提高集成度的另一途径是探索和寻找新的、占据更小芯片面积和低功耗的晶体管结构, 简化单元电路结构和向立体结构发展。MOSFET 所占芯片面积只有双极晶体管 (BJT) 的 $1/5$ 左右, 在 LSI 中, 双极仅占 10% , 在 VLSI 中, 几乎全是 MOS/CMOS 电路。存储单元已由 6 管单元简化为单管单元。存储单元电容采用迭层 (立体) 或沟道式结构。为了适应立体结构发展的需要, 开发了多层布线结构、双层及三层多晶硅结构、重叠式结构及三维 IC 等, 三层金属布线技术比单层布线的集成度提高了 4 倍。

1.3 集成技术的组成

1.3.1 IC 设计技术

IC 的设计概念和分立元件电路完全不同, 整个电路做在一个芯片上, 事前不能用分立元器件模拟, 也不能对不合格的元器件和电路进行修改, 所以计算机辅助设计 (CAD) 是必须的技术。在 IC 发展初期, 设计工作主要由 IC 工程技术人员完成, 由于设计手段的限制, 设计技术曾一度落后于工艺技术的发展。进入 80 年代以来, CAD 技术取得飞速发展, 设计工具不断完善, 各种综合软件不断地被开发出来, 逻辑综合、版图综合和测试综合已相继投入使用, 这不仅大大减轻了设计人员用在设计上的时间和精力, 而且为用户创造了在不同层次上参与设计工作的条件, 从而扩大了设计队伍, 减少了产品的开发时间。IC CAD 更重要的意义还在于它能提供最佳的电路设计方案, 保证设计的正确性和一次成功, 以及解决了过去无法解决的许多设计问题, 如包含有数亿个元件的电路设计问题、特殊环境要求的电路设计以及高层次、系统级的设计技术等。在国际上 IC 产业存在着三个方面的激烈竞争, 这就是设计水平的竞争、工艺设备的竞争和市场推销的竞争。

1.3.2 IC 工艺技术

IC 工艺技术包括加工方案、技巧和操作方法, 还与加工设备的使用密切相关。IC 工艺的核心部分是芯片加工工艺, 它们追求的目标是先进性与可重复性。一代工艺技术成果, 往往是从工艺设备上表现出来, 但如果有了高水平的设备, 而设计技术、生产技术不能相应跟上, 也无法发挥作用。

LSI/VLSI 工艺流程是硅平面工艺的继续, 它包括薄层制备过程、图形对准和转移过程, 以及按图形选择刻蚀薄层过程等三个主要步骤的多次循环。每次循环内容的不同只是相应的薄层 (包括掺杂层) 的不同和图形的差别。所以, 概括地说, 硅芯片工艺就是各种薄层、超薄层 (包括掺杂层) 的制造, 图形及掩膜制作和对准、复印 (或直接描绘), 以及薄层选择性刻蚀技术的总和。

1.3.3 IC 生产技术

IC 生产技术是质量控制和成品率规划的技术, 它既是制造过程的技术, 又是工艺技术和设计技术之间的“平衡”技术, 它是与管理学相关的技术, 涉及各工序之间的衔接和监控, 为此又叫“串线技术”。