

靳松 韩银和 著

纳米数字集成电路老化效应

——分析、预测及优化

清华大学出版社

靳松 韩银和 著

纳米数字集成电路老化效应

——分析、预测及优化

清华大学出版社

北 京

内 容 简 介

本书的主要内容涉及一种公认的纳米工艺下较为严重的晶体管老化效应——负偏置温度不稳定性(NBTI)。介绍了NBTI效应产生的物理机制及对电路服役期可靠性的影响。从提高NBTI效应影响下电路可靠性的角度,论述了相应的硅前分析、在线预测和优化方法。

本书可为从事大规模数字集成电路可靠性设计及容错计算方向研究的科技人员,以及从事大规模集成电路设计和测试的工程技术人员提供参考;也可作为普通高等院校集成电路专业的教师和研究生的参考资料。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

纳米数字集成电路老化效应:分析、预测及优化 / 靳松, 韩银和著. —北京:清华大学出版社, 2012.6
ISBN 978-7-302-28543-4

I. ①纳… II. ①靳… ②韩… III. ①纳米材料—数字集成电路—老化—研究 IV. ①TN431.2

中国版本图书馆CIP数据核字(2012)第066464号

责任编辑:邹开颜 赵从棉

封面设计:常雪影

责任校对:赵丽敏

责任印制:宋 林

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址: 北京清华大学学研大厦 A 座 邮 编: 100084

社 总 机: 010-62770175 邮 购: 010-62786544

投稿与读者服务: 010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈: 010-62772015, zhiliang@tup.tsinghua.edu.cn

印 装 者: 清华大学印刷厂

经 销: 全国新华书店

开 本: 185mm×230mm

印 张: 7.25

字 数: 156 千字

版 次: 2012 年 6 月第 1 版

印 次: 2012 年 6 月第 1 次印刷

印 数: 1~3000

定 价: 21.00 元

产品编号: 045871-01

随着集成电路制造工艺向着纳米尺度推进,参数偏差现象愈发严重。对于纳米晶体管,极薄的栅氧层和相对较高的供电电压在沟道内形成了很强的电场,恶化了一种晶体管老化效应——负偏置温度不稳定性(negative bias temperature instability, NBTI)。在芯片进入其服役期后,器件的电气参数会因为 NBTI 效应出现随时间变化的动态偏差,不断减少芯片的操作频率,并可能最终因为偏差的累积而导致功能失效。在一些安全关键并具有较长服役时间的应用场景中(例如汽车电子类芯片),NBTI 效应导致的功能失效会造成不可接受的人身安全危险和财产损失。同时,NBTI 效应与制造过程中引入的工艺偏差之间还有很强的交互作用,会进一步加快参数偏差的累积。因此,克服 NBTI 效应的负面影响是高性能数字集成电路设计中所必须面对和解决的问题。

本书汇集了两位作者在数字集成电路可靠性设计方面的部分研究工作,全面论述了 NBTI 效应的建模、分析预测和优化方法。根据 NBTI 效应产生的物理机制,从硅前分析、硅后在线预测及优化 3 个方面介绍了作者在这一领域所取得的自主创新的成果和结论。

全书共分 7 章。其中,第 1 章介绍了 NBTI 效应产生的物理机制及其对电路服役期可靠性的影响。第 2 章介绍了这个研究领域国际国内目前的研究现状。第 3、4 章涉及 NBTI 效应的硅前分析,分别介绍了面向工作负载的电路老化分析方法和考虑静、动参数偏差联合效应的电路老化统计分析和预测方法。第 5 章涉及硅后 NBTI 效应的在线预测,介绍了基于时延监测原理和测量静态漏电变化原理对 NBTI 效应导致的老化进行在线预测的方法。第 6 章介绍了单独优化 NBTI 效应导致的电路老化以及电路老化和漏电的协同优化方法。最后,第 7 章对全书内容进行了总结,并对未来的研究工作做出了展望。

本书科研成果得到了 973 课题(2011CB302503)、国家自然科学基金(60921002, 61076037)和中央高校基本科研业务费专项资金资助(12MS123)的支持。感谢李华伟研究员在我读博士期间对我的指导,本书

的很多工作也凝聚了她的心血;也感谢李晓维研究员,正是有他的大力支持,才能顺利完成这些工作。本书并没有把他们列为作者,但他们对本书中的部分工作亦有贡献。最后还要对胡瑜研究员、张磊副研究员和鄢贵海博士在科研过程中对作者的帮助一并表示衷心的感谢。

由于作者水平和经验有限,书中难免存在不足之处,恳请读者批评指正。

2012年3月

第 1 章 绪论	1
1.1 NBTI 效应	3
1.2 工艺偏差	6
1.3 章节组织结构	8
第 2 章 国际、国内研究现状	10
2.1 硅前老化分析和预测	10
2.1.1 反应-扩散模型	10
2.1.2 基于额定参数值的 NBTI 模型	11
2.1.3 考虑工艺偏差的老化统计模型和分析	15
2.2 在线电路老化预测	19
2.2.1 基于时延监测原理的在线老化预测方法	19
2.2.2 超速时延测试	21
2.2.3 基于测量漏电变化原理的在线老化预测方法	27
2.3 相关的优化方法	27
2.3.1 电路级优化	27
2.3.2 体系结构级优化	29
2.4 本章小结	29
第 3 章 面向工作负载的电路老化分析和预测	30
3.1 老化分析和预测方法概述	30
3.2 关键通路和关键门的识别	31
3.2.1 潜在关键通路识别	32
3.2.2 潜在关键通路的精简	32
3.2.3 关键门的识别	34

3.3	占空比的求解	35
3.3.1	时延约束	36
3.3.2	占空比取值约束	36
3.4	实验及结果分析	37
3.5	本章小结	40
第4章	电路老化的统计预测和优化	41
4.1	硅前电路老化的统计预测和优化	42
4.1.1	门级老化统计模型	42
4.1.2	统计关键门的识别	45
4.1.3	门设计尺寸缩放算法	46
4.1.4	实验及结果分析	47
4.2	硅前和硅后协同的电路老化统计分析和预测	50
4.2.1	方法概述	51
4.2.2	目标通路的识别	52
4.2.3	硅后学习	53
4.2.4	实验及结果分析	54
4.3	本章小结	56
第5章	在线电路老化预测	58
5.1	基于时延监测原理的在线电路老化预测方法	58
5.1.1	双功能时钟信号生成电路	59
5.1.2	抗工艺偏差影响的设计考虑	65
5.1.3	实验及结果分析	66
5.2	基于测量漏电变化原理的在线电路老化预测方法	73
5.2.1	漏电变化与时延变化之间相关性的刻画	75
5.2.2	漏电变化的测量	77
5.2.3	实验及结果分析	80
5.3	本章小结	83
第6章	多向量方法优化电路老化和漏电	84
6.1	单独优化 NBTI 效应导致的电路老化	85
6.1.1	控制向量的生成	85
6.1.2	最佳占空比的求解	86
6.1.3	硬件实现	87

6.1.4 实验及结果分析	88
6.2 电路老化和静态漏电的协同优化	89
6.2.1 协同优化模型	90
6.2.2 最佳占空比的求解	92
6.2.3 实验及结果分析	92
6.3 本章小结	95
第7章 总结与未来研究工作展望	96
7.1 研究内容总结	96
7.2 未来研究工作展望	98
参考文献	100

绪 论

过去几十年,集成电路产业获得了飞速发展。晶体管集成密度随着制造技术的进步而不断增加,并且大体遵循摩尔定律(Moore's law),即单个工艺硅片(die)上集成的晶体管数目每 18 个月增加 1 倍^[1]。相应地,晶体管的特征尺寸(feature size)不断减小并向着纳米尺度推进。2007 年国际半导体技术发展报告(ITRS)预测^[2],到 2016 年,超过一半的微处理器、专用集成电路(application specific integrated circuits, ASIC)和动态随机访问存储器(dynamic random access memory, DRAM)将会采用 22 nm 工艺。微处理器和 ASIC 中晶体管的物理栅极长度(gate length)将会下降到 9 nm,供电电压下降到 0.4 V,而芯片的工作频率提高到大约 30 GHz。这种工艺进步的趋势大大增加了芯片的集成规模,降低了制造成本,提高了芯片的性能。

然而,芯片性能的提高并非毫无代价。随着晶体管特征尺寸进入到纳米尺度,伴随而来的是不断增大的参数偏差(parameter variability)、不断增加的漏电流(leakage)和功耗。这些负面因素给采用先进工艺的集成电路产品带来不可低估的影响,甚至会在较差的操作条件下抵消芯片由于集成规模增加所带来的性能提升。因此,直面这些负面因素的挑战,在芯片的设计、制造、测试和使用等各个环节提出相应的分析和优化方法,以提高芯片的制造和参数良品率(yield),保证其现场使用中的可靠性(reliability),是目前工业界和学术界研究的热点问题。

参数偏差是指制造好的晶体管或互连线的物理和电气参数偏离设计时指定的额定值并呈现统计分布的现象。按照偏差特性,大致可以将参数偏差分为静态(static)偏差和动态(dynamic)偏差两类。静态参数偏差主要源自于集成电路制造过程中引入的工艺偏差(process variation);而造成动态参数偏差的原因则主要包括芯片在现场使用中的电路老化(circuit aging)效应,以及电压和温度的波动。在纳米工艺环境下,参数偏差效应无疑是一个需要重点关注和亟待解决的问题^[3,4]。这不仅因为参数偏差会降低芯片制造后的良品率,减少产品利润,同时还会影响芯片的漏电和功耗,改变电路在实际操作中的定时特性(timing characteristic),甚至导致芯片出现功能失效(functional failure)。

随着晶体管特征尺寸的不断减小,电路老化效应造成的动态参数偏差对集成电路可靠性的影响日益突出。根据相关物理机制的不同,电路老化效应主要包括负偏置温度不稳定

性(negative bias temperature instability, NBTI)^[5,6],热载流子注入(hot carrier injection, HCI)^[7,8],时间相关的电介质击穿(time-dependent dielectric breakdown, TDDB)^[9]和电磁迁移(electromigration, EM)^[10]等。虽然这些老化效应产生的原因和作用的对象不尽相同,但它们的负面影响均表现为电路的参数(主要是电路时延, delay)随着使用时间的推移不断改变,从而不断降低芯片的性能和操作频率,最终可能因为偏差的累积导致芯片出现功能失效。

本书的内容主要涉及参数偏差效应,重点集中在 NBTI 效应导致动态参数偏差。这是因为随着晶体管特征尺寸的进一步减小, NBTI 效应已经逐渐成为影响芯片服役期可靠性的首要因素。图 1.1 给出了关键电压随晶体管栅氧层厚度变化的情况。从图中可以看出,在晶体管特征尺寸较大的工艺阶段(如 250 nm),供电电压高于关键电压, HCI 是限制芯片服役期可靠性的首要因素。随着工艺的进步,晶体管特征尺寸不断减小。当工艺达到 180 nm 时,供电电压已经小于关键电压。这时, NBTI 成为限制芯片服役期可靠性的首要因素。

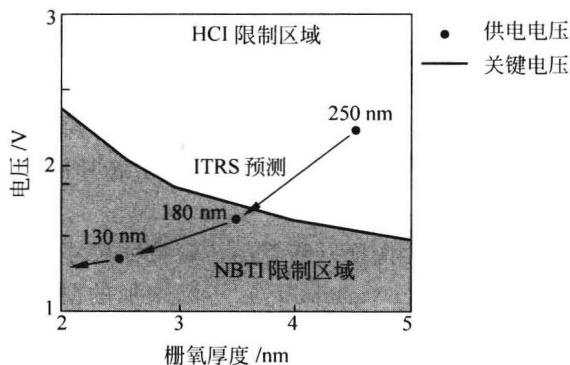


图 1.1 首要的芯片服役期可靠性限制因素随晶体管栅氧厚度的减小而改变^[8]

还有一个不可忽视的问题是静态、动态参数偏差效应的交互作用对集成电路的影响。表面看来,工艺偏差只是一种造成电路参数出现偏差的静态因素,在芯片制造后就已固定,而且不会在其后的服役期中发生变化,因此不会影响芯片的服役期可靠性。但实际上,晶体管或互连线由于工艺偏差而导致的特征参数偏差同样会影响芯片在服役期中的老化。在一些特征参数,如晶体管的沟道长度(channel length)、阈值电压(threshold voltage)、栅氧厚度(oxide thickness)以及互连线的物理尺寸出现静态偏差的情况下,老化效应导致的动态电路参数变化会呈现统计分布,使得相应的电路老化分析、预测和优化工作更为困难。另一方面,由于老化效应会不断改变电路的参数值,从而造成电路的时序分析结果同样出现随时间变化的现象,这会大大降低传统设计阶段所进行的静态或统计静态时序分析(timing analysis)的有效性。因此,考虑电路老化与工艺偏差的联合效应对电路可靠性的影响也是一个重要的研究课题。

1.1 NBTI 效应

NBTI 是一种作用于 PMOS (positive channel metal oxide semiconductor) 晶体管的老化效应。随着电路操作时间的推移,在 NBTI 效应的作用下,PMOS 晶体管的阈值电压会逐渐升高,驱动电流逐渐减小。这种老化效应对组合电路 (combinational circuit) 性能参数的影响表现为逻辑门的信号传播时延 (propagation delay) 随电路操作时间的增加而不断变慢,从而造成电路中信号传播通路的时延变大。延伸到时序电路 (sequential circuit) 上,则可能因为偏差的不断累积而导致电路出现定时违规 (timing violation) 现象。实验数据表明^[11,12],在较差的操作环境下,电路中的门经受 10 年 NBTI 效应,其内部 PMOS 晶体管的阈值电压可以有 50 mV 的上升,表现为电路时延增加 20%。对于存储设备 (如 SRAM) 而言,NBTI 效应导致的 PMOS 晶体管老化会不断降低存储器件的静态噪声容限 (static noise margin, SNM),增大读、写失效的概率。文献[13]中的数据显示,在平均工作温度 125℃ 的情况下,3 年 NBTI 效应会导致 SRAM (6T 结构) 器件的静态噪声容限下降超过 10%,大大增加了存储器件出现功能失效的概率。

实际上,早在 20 世纪 70 年代人们就已经发现了 NBTI 效应对 PMOS 晶体管的老化影响。然而直到近些年,随着制造工艺进入到纳米尺度,NBTI 效应导致的老化才成为影响电路在其服役期内可靠性的一个不可忽视的因素。这是因为随着晶体管特征尺寸的不断缩小,栅氧厚度不断减小,而供电电压的下降却相对比较缓慢。在这种情况下,非常薄的氧化层和较高的供电电压在晶体管的沟道内形成了很强的电场,进一步加剧了 NBTI 效应导致的老化。

图 1.2 展示了 NBTI 效应产生的物理机制。在集成电路制造过程中栅氧的形成和钝化 (passivation) 阶段,绝大多数的硅原子会同氧原子结合。但是,也有少量的硅原子会同氢原子相结合,形成稳定性较弱的硅-氢键 (Si-H bond)。如图 1.2(a) 所示,当 PMOS 晶体管处于负偏置 (即输入信号为低电平) 时, $V_{gs} = -V_{DD}$ 。在电场力的作用下,较弱的硅-氢键会发生断裂,从而在沟道中形成许多正离子 (界面陷阱)。正离子的数量随偏置时间的增加而呈指数关系增长,且受电路工作温度的影响较大。不断增多的正离子会逐渐升高 PMOS 晶体管的阈值电压,减小其驱动电流,并增加门的信号传播时延。

当 PMOS 晶体管正向偏置 (即输入信号为高电平) 时, $V_{gs} = 0$ 或 V_{DD} ,沟道中由于硅-氢键断裂而游离出来的氢原子在反向电场力的作用下重新与硅原子相结合,使得先前断裂的硅-氢键得到部分的修复。由于沟道中的正离子数目减少了,PMOS 晶体管的阈值电压也随之下降,NBTI 效应导致的老化可以得到部分的消除。

如果在整个电路的操作时间里,门的输入信号始终保持为低电平,即门内与此输入端相连接的 PMOS 晶体管始终处于负偏置,我们称在这种情况下 PMOS 晶体管经历的是静态 (static) NBTI 效应。而如果门的输入信号在整个电路操作时间内交替为低电平和高电平,

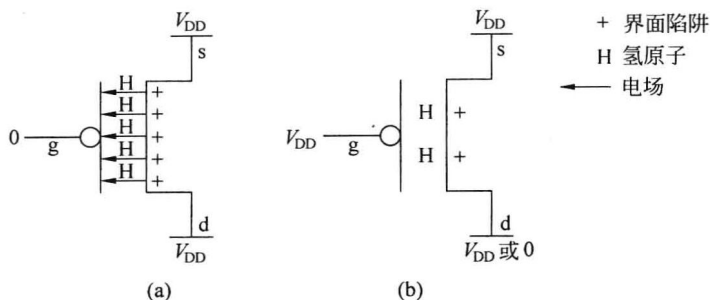


图 1.2 NBTI 效应产生的物理机制^[14]

(a) 偏置(stress); (b) 恢复(recovery)

即 PMOS 晶体管时而处于负偏置时而处于恢复阶段,我们称在这种情况下 PMOS 晶体管经历的是动态(dynamic)NBTI 效应。图 1.3(a)给出了 PMOS 晶体管在经受静态 NBTI 效应时的阈值电压 ΔV_{th} 变化情况。从图中的数据可以看出,静态 NBTI 效应受 PMOS 晶体管处于负偏置的时间长短影响较大。随着 PMOS 晶体管处于负偏置的时间增加,其阈值电压会急剧升高。而 PMOS 晶体管在经受动态 NBTI 效应时的阈值电压变化情况却有所不同。从图 1.3(b)所示的数据可以看出,PMOS 晶体管在经历动态 NBTI 效应时会有一定的时间处于恢复阶段,升高的阈值电压会有部分回落。因此,在经历相同的操作时间后,由动态 NBTI 效应所导致的阈值电压增加量要远远小于静态 NBTI 效应。图 1.4 给出了 PMOS 晶体管分别经受静态和动态 NBTI 效应时阈值电压变化情况的对比。由图 1.4 可以看出,静态和动态 NBTI 效应导致的 PMOS 晶体管阈值电压增加量可以出现几倍的差异。另外,动态 NBTI 效应导致的阈值电压增加量相对于不同的占空比也存在一定的差异。在 NBTI 研

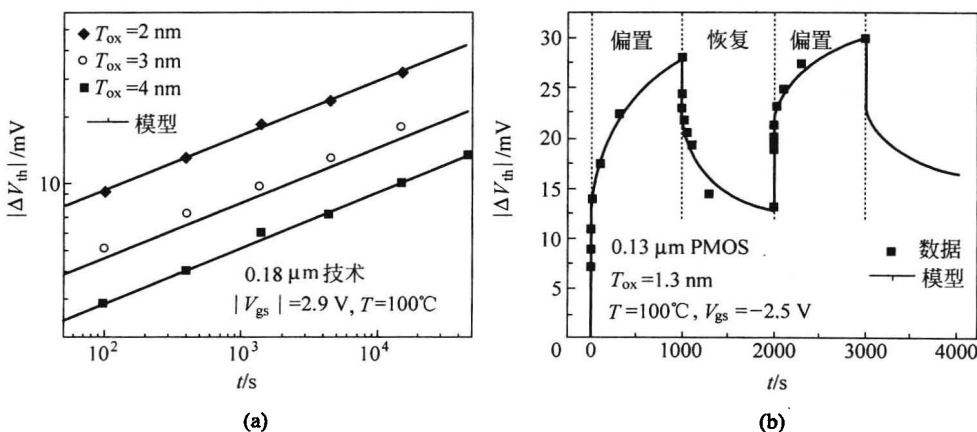


图 1.3 静态和动态 NBTI 效应^[14]

(a) 静态 NBTI 效应; (b) 动态 NBTI 效应

究领域,占空比(duty cycle)表示在一段操作时间之内 PMOS 晶体管处于负偏置的时间占整个操作时间的比例。它可以等同于统计信号概率(signal probability)^[15]。注意这里所说的统计信号概率是指统计意义上信号为低电平(即逻辑“0”)的概率。由于占空比反映了 PMOS 晶体管处于负偏置时间的长短,因此,占空比的值越大,阈值电压的增加量也就越大。

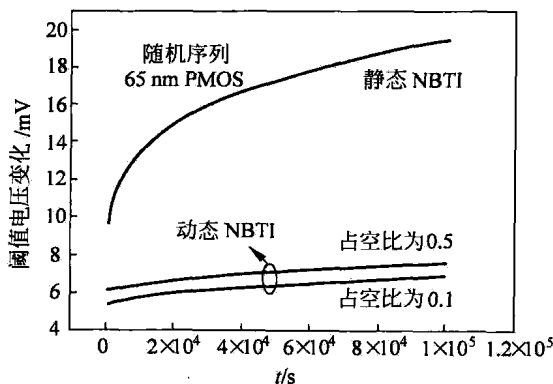


图 1.4 PMOS 晶体管阈值电压的增加量在静态和动态 NBTI 效应下的差异^[12]

除了占空比外,电路执行功能操作时的工作温度也对 NBTI 效应导致的 PMOS 晶体管阈值电压变化有着重要影响。这是因为在较高的工作温度下硅-氢键更容易发生断裂。图 1.5 给出了晶体管经受静态 NBTI 效应时不同的工作温度对阈值电压增加情况的影响。由图中可以看出,工作温度越高,阈值电压的增加量也越大。

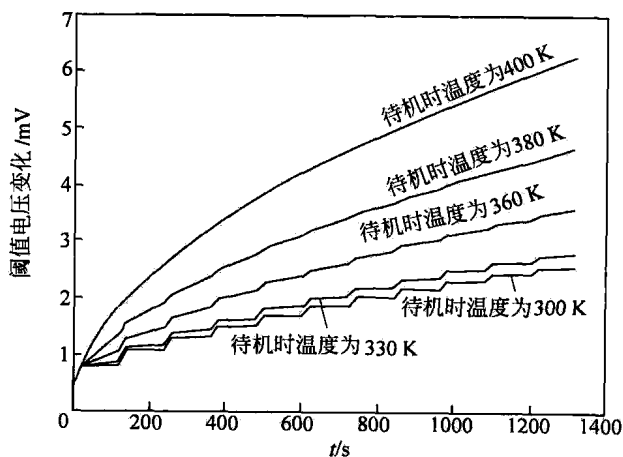


图 1.5 工作温度对 NBTI 效应导致的阈值电压增加情况的影响^[16]

1.2 工艺偏差

工艺偏差是导致制造后芯片上的晶体管或互连线的物理和电气参数出现静态偏差的主要原因。工艺偏差是在集成电路的制造过程中引入的。如图 1.6 所示,按照作用范围的不同,工艺偏差导致的静态参数偏差可以分为片间(inter-die/die-to-die)偏差和片内(intra-die/within-die)偏差两种。片间偏差对同一个晶圆(wafer)上所有芯片的参数变化影响相同;而片内偏差则会造成每个芯片内部器件参数出现不同的变化。在早期的工艺技术阶段,片间偏差是造成器件参数出现偏差的主要因素。而随着制造工艺不断进步,尤其进入到纳米尺度后,片内偏差逐渐成为影响器件参数偏差的主要因素。

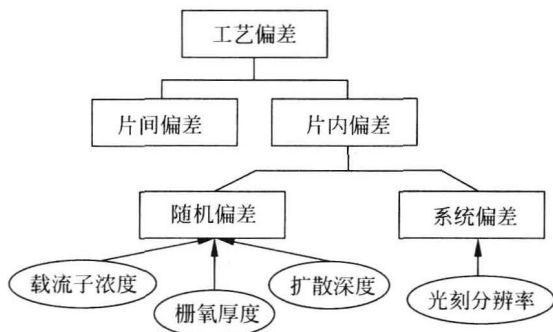


图 1.6 工艺偏差

片内参数偏差按其特性又可以划分为系统(systematic)偏差和随机(random)偏差两类^[17]。系统偏差主要是光刻的次波长效应(lithography sub-wavelength)导致的^[18]。图 1.7 对比了近年来光刻用波长和晶体管特征尺寸的变化趋势,可以看出,当制造工艺进入 180 nm 之后,光刻所用紫外光(紫外线)的波长已经大于晶体管的特征尺寸了。目前,由于制造技术的限制,绝大多数的集成电路制造商仍然采用 193 nm 的紫外光来刻蚀 65 nm 甚至是 45 nm 的晶体管。在这种情况下,要想精确地控制刻蚀的晶体管尺寸(特别是沟道长度)非常困难,出现参数偏差也就是必然的结果了。

不同于系统偏差,随机参数偏差主要是因为制造过程中一些随机性因素,例如载流子掺杂浓度的随机变化(random dopant fluctuation, RDF)^[19]造成的。图 1.8 给出了一个 50 nm 晶体管载流子的掺杂情况示意图。从图中可以看出,源、漏两个扩区的掺杂浓度很高且非常均匀,而沟道内的载流子浓度则呈现明显的随机性分布。由于载流子的掺杂浓度直接影响晶体管的阈值电压,这种掺杂浓度的随机性变化很容易导致制造后晶体管的阈值电压偏离其设计时指定的额定值。

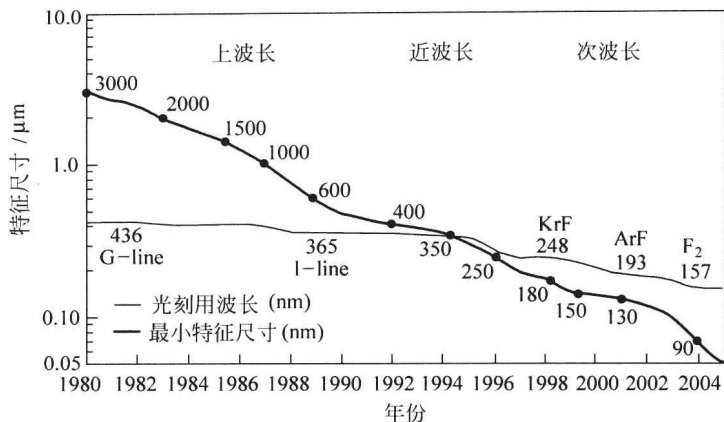


图 1.7 光刻用波长同晶体管最小特征尺寸之间的不匹配情况^[18]

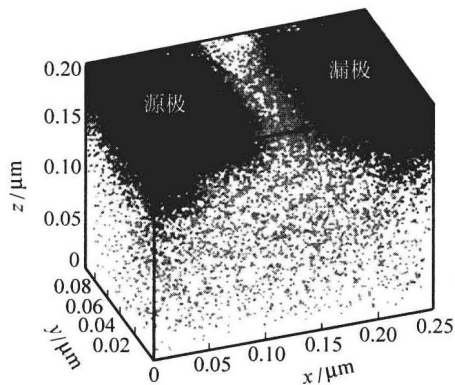


图 1.8 50 nm 晶体管载流子掺杂浓度的随机分布情况^[19]

另外一个必须要关注的问题是,在片内系统偏差的影响下,参数偏差分布具有空间相关性(spatial correlation)。如图 1.9 所示,同一个芯片上物理位置相邻近的器件的参数偏差分布往往较为接近甚至相同;而物理位置相距较远的器件的参数偏差分布差异较大甚至无关。空间相关性会影响电路中通路的时延分布,因此必须在电路时序分析中将其考虑在内。文献[20]的数据显示,在分别假定片内参数偏差分布完全相关和完全独立两种情况下,电路时延分布的标准方差相差 25%。

工艺偏差所导致的静态参数偏差会影响电路的性能参数,使电路的时延或漏电偏离设计时所指定的额定值。Intel 对一批制造后量产芯片的操作频率和漏电进行了统计,图 1.10 给出了统计结果。如图所示,工艺偏差导致制造后芯片的漏电出现 20 倍的偏差,工作频率出现 30% 的偏差,这大大降低了芯片的良品率(yield)。因为在如此大的偏差情况下,一部

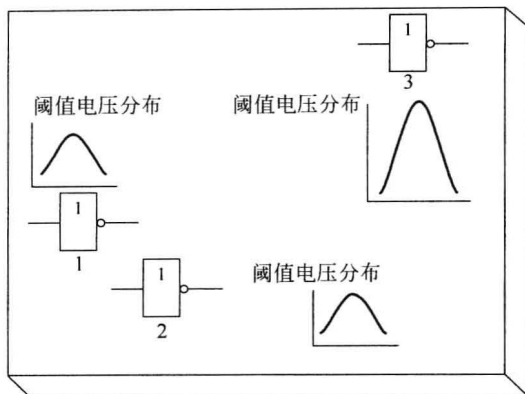


图 1.9 参数偏差分布的空间相关性

分芯片因为性能参数不能满足产品投入市场的要求而必须被丢弃掉,从而增加了这批产品的生产成本,减少了利润。

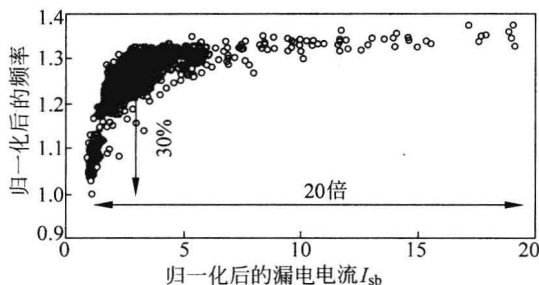


图 1.10 工艺偏差导致的芯片漏电和工作频率偏差^[4]

1.3 章节组织结构

本书的后续章节安排如下。

第 2 章从硅前分析和预测、在线预测和优化三个方面介绍了国际国内相关工作的研究现状。

第 3 章介绍了面向工作负载的电路老化分析方法。包括怎样在考虑 NBTI 效应导致的电路老化的情况下,通过静态时序分析来识别和精简电路中的关键通路(timing-critical path)和关键门(critical gate);如何通过非线性规划方法求解可以导致电路在 NBTI 效应下最大老化的最差占空比集合,并给出了实验及结果分析。

第 4 章首先介绍了电路老化的统计分析和预测方法。通过对工艺偏差和 NBTI 的联合效应进行门级建模来刻画标准单元在二者联合效应下的时延分布情况。随后,将此门级模

型应用到统计静态时序分析中来预测整个电路在工艺偏差和 NBTI 联合效应影响下的时延分布。最后,将该老化统计分析和预测方法应用到电路老化的优化中。根据预测的电路时延分布,通过门设计尺寸缩放算法优化电路的时延分布以保证电路的服役期可靠性满足预先设定的指标。随后 4.2 节介绍了本书提出的硅前和硅后协同的电路老化分析和预测方法。通过建立神经网络模型来学习硅后时序验证阶段通路时延测试的结果,并据此获得制造后芯片实际的参数偏差分布和相关性信息。最后将学习的成果反馈到统计时序分析中以提高设计阶段电路老化统计分析和预测的精度。

第 5 章介绍了基于时延监测原理和测量静态漏电变化原理对 NBTI 效应导致的老化进行在线预测的方法。首先介绍了在线电路老化预测和超速时延测试双功能的时钟信号生成电路设计。该双功能电路通过抗 NBTI 老化设计来最小化在线操作时自身的老化,同时利用反向的短沟道效应提高双功能电路相对于工艺偏差的健壮性。随后介绍了通过在线测量电路静态漏电的变化来预测电路由于 NBTI 效应导致的老化方法。通过施加多个测量用向量,建立通路漏电变化的方程组,求解方程组可以获得单个通路的漏电变化量,并据此预测电路的老化。

第 6 章首先介绍了如何根据特定的门输入节点上的占空比集合生成多个控制向量。随后介绍了采用多个控制向量抑制电路处于待机模式时由于 NBTI 效应导致的老化的方法。根据求解得到的关键门输入节点上的最佳占空比集合,修改测试向量生成算法以生成多个控制向量并确定每个向量特定的施加时间。6.2 节介绍了协同优化电路静态漏电和由于 NBTI 效应导致的老化的方法。与单独优化电路老化不同,首先建立了一个门级的静态漏电和老化协同优化模型。基于这个协同优化模型,对前面用到的非线性规划方法进行修改来求解可同时导致电路最小静态漏电和老化的最佳占空比集合。最后根据这个占空比集合生成要求的多个控制向量。

最后,第 7 章对全书内容进行了总结,并对未来的研究工作做出了展望。