

Design and Application of FPGA

FPGA设计及应用 (第三版)

褚振勇 翁木云 高楷娟 编著



西安电子科技大学出版社
XIDIAN UNIVERSITY PRESS

FPGA 设计及应用

(第 三 版)

Design and Application of FPGA

褚振勇 翁木云 高楷娟 编著

西安电子科技大学出版社

内 容 简 介

本书系统介绍了有关可编程逻辑器件的基本知识以及相关软件的使用方法,讲述了 FPGA 电路设计的方法和技巧,并给出了设计实例。本书内容包括:FPGA 设计概述、Altera 可编程逻辑器件、VHDL 硬件描述语言、Quartus II 10.0 软件集成环境、Quartus II 中的元器件库、Altera 器件编程与配置、FPGA 设计中的基本问题和 FPGA 电路设计实例。

本书内容全面、取材新颖、叙述清楚,理论联系实际,突出实用特色,并使用大量图表和实例说明问题,便于读者理解和掌握。

本书既可用作高等工科院校电子与通信类各专业高年级本科生和研究生相关课程的教材和参考书,又可作为广大电子设计人员的设计参考书或使用手册。

图书在版编目(CIP)数据

FPGA 设计及应用 / 褚振勇, 翁木云, 高楷娟编著. —3 版.

—西安: 西安电子科技大学出版社, 2012.4

ISBN 978-7-5606-2712-0

I. ① F… II. ① 褚… ② 翁… ③ 高… III. ① 可程序逻辑器件—系统设计

IV. ① TP332.1

中国版本图书馆 CIP 数据核字(2011)第 258157 号

策 划 臧延新

责任编辑 张 媛 臧延新

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfxb001@163.com

经 销 新华书店

印 刷 陕西华沐印刷科技有限责任公司

版 次 2012 年 4 月第 3 版 2012 年 4 月第 7 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 26

字 数 615 千字

印 数 22 001~25 000 册

定 价 46.00 元

ISBN 978-7-5606-2712-0 / TP·1313

XDUP 3004003-7

*** 如有印装问题可调换 ***

本社图书封面为激光防伪覆膜, 谨防盗版。

前 言

本书第二版出版至今已逾五年。在这五年中，现场可编程门阵列(Field Programmable Gate Array, FPGA)器件在结构与速度方面的发展都非常迅速，设计开发软件的版本也不断升级，应用领域更加广泛。为了满足广大读者和设计人员的需求，本书结合最新的技术资料和研究成果，对书中大部分章节的内容进行了更新和修订。

褚振勇担任本书主编并规划了全书的主要内容。在保持本书整体框架与第二版基本一致的前提下，翁木云重新编写了第4章，并对第1、2、6章及第5.1节内容进行了修订。褚振勇修订了第3、7、8章及附录，高楷娟完成了本书部分英文资料的翻译和校对工作。

在本书的撰写过程中，得到了空军工程大学科研部和电讯工程学院的领导、老师及同事们的支持，特别是大学科研部的杨建军教授，电讯工程学院的黄国策教授、达新宇教授、梁俊教授给予了本书大力的支持与帮助。同时，徐沫、潘延明、田宠、裘勋、申勇和郭强也承担了本书资料的编辑和整理的工作。骏龙科技有限公司的宋士权工程师、Altera公司中文网站(<http://www.altera.com.cn>)以及可编程逻辑器件中文网站(<http://www.fpga.com.cn>)为本书提供了技术资料和技术支持。西安电子科技大学出版社的臧延新副社长、张媛编辑为本书的出版付出了艰辛的劳动。书中还参考和引用了许多专家和学者的著作及研究成果。在此向上面提到的所有人员表示衷心的感谢。另外，本书还得到了国家自然科学基金项目(60972042)的资助。

由于FPGA技术发展极其迅速，加之作者的认知水平和能力有限，书中难免有不妥之处，恳请各位读者和同行批评指正。同时也建议广大读者在FPGA学习和设计过程中，能够不断地从PLD生产厂商、销售商和各种EDA网站上获取更新的资料和技术支持，实现最佳的设计。

作 者

2011年12月于西安

第二版前言

自本书第一版出版以来，FPGA 器件的结构及规模飞速发展，设计开发软件不断更新，应用领域也日益扩大。为了满足广大读者和设计人员的需求，本书在第一版的基础上，结合最新的软硬件资料，对书中各章节的内容进行了全面的更新和修订。

全书共分为 8 章。第 1 章分析了可编程逻辑器件的结构特点、基本设计方法和设计流程。第 2 章重点介绍了 Altera 公司各个系列器件的特点、结构及功能。第 3 章介绍了 VHDL 硬件描述语言。第 4 章详细介绍了 Altera 可编程逻辑器件开发软件 Quartus II 的安装和使用方法。第 5 章主要讲述了 Altera 公司可编程逻辑器件的配置方式和调试技术。第 6 章主要讲述了 Quartus II 集成设计环境中的宏模块及其应用。第 7 章详细介绍了 FPGA 设计时需要注意的一些基本问题，例如数的表示方法、时钟、逻辑竞争和冒险、信号的时延和歪斜、流水线操作等问题。第 8 章给出了几个 FPGA 电路设计实例，这些设计实例均来源于科研实践和工程设计项目，其中包括序列产生器、数字相关器、汉明距离的电路计算、交织编解码器、直接数字频率合成器、奇偶数分频器、串并/并串变换器、FFT/IFFT 和 FIR 滤波器等。

在本书的撰写过程中，得到了空军工程大学电讯工程学院和西安电子科技大学综合业务网理论及关键技术国家重点实验室的领导、老师和同事们的支持，特别是西安电子科技大学的易克初教授、田斌副教授、王勇博士，以及空军工程大学电讯工程学院的黄国策教授、梁俊副教授和工程学院的向新副教授都给予了大力的支持与帮助。骏龙科技有限公司的尹志华、宋士权、胡晟工程师和 Altera 公司中文网站(<http://www.altera.com.cn>)以及可编程逻辑器件中文网站(<http://www.fpga.com.cn>)为本书提供了许多技术资料和技术支持。西安电子科技大学出版社的臧延新、曹映编辑以及有关工作人员为本书的出版付出了艰辛的劳动。书中还参考和引用了许多专家和学者的著作及研究成果。在此向上面提到的所有人员表示衷心的感谢。

褚振勇担任本书主编并规划了全书的主要内容。本书的第 1 章由田红心编写；高楷娟编写了第 2 章和第 5 章的 5.1~5.7 节，并完成了本书英文资料的翻译和校对工作；刘海和李倩编写了本书的第 3 章；第 4 章和第 5 章的 5.8、5.9 节由齐亮编写；褚振勇编写了第 6~8 章及附录，并对全书统稿。另外，空军工程大学的高晶、王轶、吴华新和刘雄也为本书做了大量的工作。

FPGA 设计技术发展极其迅速，作者建议广大读者在 FPGA 的学习和设计过程中，能够不断地从 PLD 生产厂商、销售商和各种 EDA 网站上获取更新的资料信息和技术支持，以保证实现最佳的设计。在本书的写作过程中，作者希望将最新的技术介绍给读者，因而在内容的选取、组织和叙述方面可能会存在诸多不足，书中难免有不妥之处，恳请各位读者和同行批评指正。

作 者

2006 年 6 月于西安

第一版前言

现场可编程门阵列(FPGA, Field Programmable Gate Array)的出现是超大规模集成电路(VLSI)技术和计算机辅助设计(CAD)技术发展的结果。FPGA 器件集成度高、体积小,具有通过用户编程实现专门应用的功能。它允许电路设计者利用基于计算机的开发平台,经过设计输入、仿真、测试和校验,直到达到预期的结果。使用 FPGA 器件可以大大缩短系统的研制周期,减少资金投入。更吸引人的是,采用 FPGA 器件可以将原来的电路板级产品集成为芯片级产品,从而降低了功耗,提高了可靠性,同时还可以很方便地对设计进行在线修改。FPGA 器件成为研制开发的理想器件,特别适合于产品的样机开发和小批量生产,因此有时人们也把 FPGA 称为可编程的 ASIC。

近年来, FPGA 市场发展十分迅速, 各大 FPGA 厂商不断采用新技术来提高 FPGA 器件的容量, 增强软件的性能。如今, FPGA 器件广泛用于通信、自动控制、信息处理等诸多领域, 越来越多的电子设计人员在使用 FPGA, 熟练掌握 FPGA 设计技术已经是对电子设计工程师的基本要求。

本书的作者较早接触 FPGA 技术, 并将其应用于科研和工程实践, 深切感受到 FPGA 技术是数字电路设计的利器, 从中受益颇深。但是, 目前专门讲述 FPGA 设计及应用方面的书籍还很少, 更多情况下需要设计人员直接查找和阅读英文资料, 以获取所需信息。同时, FPGA 设计技术是一项实践性非常强的专业技术, 需要一定的经验积累, 这就给许多迫切需要了解 and 掌握 FPGA 设计技术的人员带来一定的困难。为了能使更多的人尽快掌握 FPGA 设计技术, 并能应用于实际, 作者在阅读和参考大量中英文资料的基础上, 结合科研和工程实践经验, 最终写成此书。

全书系统地介绍了有关可编程逻辑器件的基本知识以及相关软件的使用方法。着重讲述了 FPGA 电路设计的方法和技巧, 并给出了设计实例。本书共分为 9 章。第 1 章分析了可编程逻辑器件的结构特点、基本设计方法和设计流程。第 2 章重点介绍了 Altera 公司各个系列器件的特点、结构及功能。第 3 章详细介绍了 Altera 可编程逻辑器件开发软件 MAX+PLUS II 和 Quartus II 的安装和使用方法。第 4 章主要介绍第三方工具软件, 特别是目前较为常用的 FPGA Express 和 LeonardoSpectrum 软件的特点、设计流程及使用方法。第 5 章介绍了 Altera 公司 PLD 器件的命名方法, 以及 PLD 器件的多种编程和配置方式。第 6 章详细介绍了 FPGA 设计时需要注意的一些基本问题, 例如数的表示方法、时钟、逻辑竞争和冒险、信号的时延等问题。第 7 章主要讲述 MAX+PLUS II 开发软件中的宏模块及其应用, 详细介绍了时序电路、运算电路和存储器三大类宏模块的组成和使用方法。第 8 章给出了几个 FPGA 电路设计实例, 这些设计实例均来源于科研实践和工程设计项目, 其中包括序列产生器、数字相关器、汉明距离的电路计算、交织编译码器、直接数字频率合成器等,

本章最后以误码率在线测试电路为例，给出了一个完整的 FPGA 设计。第 9 章涉及 FPGA 高端开发技术，主要包括可再配置计算、可编程单芯片系统(SOPC)以及 IP 模块。本书的三个附录分别给出了 MAX+PLUS II 文件的后缀、相关网址检索和光盘文件索引。

本书附赠的光盘上主要包含第 8 章设计实例的源程序以及 Altera 公司全线产品的技术资料 and MAX+PLUS II 10.1 基本版、Quartus II 2.0 Web 版等开发软件。

FPGA 技术发展日新月异，新技术、新方法、新器件层出不穷。本书在撰写时虽加入了目前最新的资料，但是读者在阅读本书时，可能又出现了更新的器件。所以本书主要是向大家提供有关 FPGA 设计与应用方面较为基础的内容，读者可以从 EDA 厂商的网站上获取更新的资料，也可以从销售商或可编程逻辑器件中文网站(<http://www.fpga.com.cn> & <http://www.pld.com.cn>)上获取相关的信息和技术支持。

在本书的撰写过程中，得到了空军工程大学电讯工程学院和西安电子科技大学综合业务网理论及关键技术国家重点实验室的领导、老师和同事们的支持，特别是西安电子科技大学易克初教授，空军工程大学电讯工程学院谢德芳教授、黄国策副教授、梁俊副教授以及西北工业大学何明一教授给予了本书大力的支持与帮助。西安电子科技大学田斌副教授、田红心讲师和王凯东博士生为本书提出了很好的改进意见。骏龙科技公司上海办事处的胡晟工程师，西安办事处的董祥、杨晓云工程师和可编程逻辑器件中文网站为本书提供了许多技术资料和技术支持。西安电子科技大学出版社的臧延新编辑和有关工作人员也为本书的出版付出了艰辛的劳动。书中还参考和引用了许多专家和学者的著作及研究成果。在此向上面提到的所有人员表示衷心的感谢。

本书的第 1~4 章、第 5 章的 5.3~5.7 节以及第 8 章的 8.7 节主要由翁木云撰写，第 6~9 章、第 5 章的 5.1~5.2 节以及附录主要由褚振勇撰写，第 6 章的 6.3 节由胡晟工程师整理提供。本书所附光盘由褚振勇整理。空军工程大学电讯工程学院外语室的高楷娟老师完成了本书大量的英文翻译和校对工作。全书最后由褚振勇统稿。

由于作者水平有限，书中难免有不妥甚至错误之处，欢迎各位读者和同行批评指正。

作 者

2002 年 5 月于西安

目 录

第 1 章 绪论	1	3.2 VHDL 程序的基本结构	67
1.1 EDA 发展历程	1	3.2.1 实体说明	68
1.2 可编程逻辑器件的基本结构	3	3.2.2 结构体	70
1.2.1 ASIC 的分类	3	3.2.3 配置	80
1.2.2 SPLD 基本结构	5	3.2.4 库	82
1.2.3 CPLD 基本结构	9	3.2.5 程序包	83
1.2.4 FPGA 基本结构	13	3.3 VHDL 的描述方法	83
1.2.5 FPGA 与 CPLD 的比较	20	3.3.1 标识符	83
1.2.6 PLD 厂商介绍	21	3.3.2 词法单元	85
1.3 可编程逻辑器件的设计	25	3.3.3 数据对象	88
1.3.1 设计方法	25	3.3.4 数据类型	92
1.3.2 设计流程	27	3.3.5 操作运算符	96
1.3.3 基于 IP 的设计	30	3.4 VHDL 的常用语句	100
第 2 章 Altera 可编程逻辑器件	32	3.4.1 并行语句	100
2.1 概述	32	3.4.2 顺序语句	105
2.2 FPGA	33	第 4 章 Quartus II 集成环境	111
2.2.1 高端 FPGA 器件 Stratix IV	33	4.1 概述	111
2.2.2 高端 FPGA 器件 Stratix V	38	4.2 Quartus II 的安装	112
2.2.3 低成本 FPGA 器件 Cyclone III	42	4.3 Quartus II 10.0 图形用户界面	118
2.2.4 低成本 FPGA 器件 Cyclone IV	47	4.4 设计输入	121
2.2.5 中端 FPGA 器件 Arria II	51	4.4.1 创建一个新的工程	123
2.3 CPLD	54	4.4.2 顶层实体文件的建立	127
2.3.1 MAX 3000A 器件	54	4.4.3 子模块文件的建立	133
2.3.2 MAX II 器件	56	4.5 编译设计	143
2.4 结构化 ASIC	60	4.5.1 编译设置	144
2.4.1 简述	60	4.5.2 执行完整的编译	147
2.4.2 HardCopy 系统开发流程	62	4.5.3 引脚分配	150
2.4.3 HardCopy V 器件	62	4.5.4 查看适配结果	154
2.5 成熟器件	64	4.6 时序分析	157
第 3 章 硬件描述语言	65	4.6.1 传统时序分析器	157
3.1 硬件描述语言概述	65	4.6.2 打开 TimeQuest 时序分析器	158

4.6.3	创建时序网表.....	160
4.6.4	建立时钟约束及报告.....	160
4.6.5	I/O 约束及报告	162
4.6.6	查看详细的时序报告.....	164
4.6.7	时序驱动的编译.....	167
4.7	仿真.....	167
4.7.1	Quartus II 仿真器.....	168
4.7.2	Modelsim-Altera 仿真.....	170
4.8	SignalTap II 逻辑分析仪.....	177
4.8.1	简介.....	177
4.8.2	SignalTap II 逻辑分析仪的调试.....	178
4.9	Quartus II 基于模块化的设计流程.....	186
4.9.1	渐进式编译.....	186
4.9.2	基于 LogicLock 的设计方法	187
4.9.3	创建 LogicLock 区域.....	187
4.9.4	自上而下渐进式编译流程.....	189
4.9.5	自下而上的 LogicLock 流程.....	190
4.9.6	在 EDA 工具集中使用 LogicLock.....	191
4.9.7	使用渐进式编译实现时序逼近.....	191
4.10	Quartus II 软件其它工具.....	191
4.10.1	信号探针 SignalProbe.....	191
4.10.2	功耗分析 PowerPlay Power Analyzer.....	193
4.10.3	存储器内容编辑 In-System Memory Content Editor	194
4.10.4	外部逻辑分析仪接口工具.....	194
第 5 章 Quartus II 中的元器件库.....		198
5.1	Megafunction 库	198
5.1.1	算术运算宏模块库.....	198
5.1.2	逻辑门宏模块库.....	209
5.1.3	I/O 宏模块库	213
5.1.4	存储宏模块库.....	214
5.2	Maxplus2 库.....	225
5.2.1	时序电路模块.....	225
5.2.2	运算电路模块.....	240
5.3	Primitives 库	246
5.3.1	存储单元库.....	247
5.3.2	逻辑门库.....	249

5.3.3	缓冲器库.....	249
5.3.4	引脚库	250
5.3.5	其它模块.....	250
第 6 章 Altera 器件编程与配置.....		251
6.1	PLD 器件测试电路板	251
6.2	PLD 器件的配置方式	251
6.3	下载电缆.....	254
6.3.1	ByteBlaster II 并口下载电缆	255
6.3.2	ByteBlaster MV 并口下载电缆.....	259
6.3.3	MasterBlaster 串行/USB 通信电缆.....	262
6.3.4	USB-Blaster 下载电缆.....	264
6.3.5	EthernetBlaster 通信电缆.....	266
6.3.6	EthernetBlaster II 通信电缆.....	272
6.4	配置器件	276
6.5	PS 模式	280
6.5.1	电缆下载.....	280
6.5.2	利用 MAX II 器件或微处理器作为 外部主机配置.....	286
6.6	JTAG 模式	289
6.6.1	Stratix 器件配置	290
6.6.2	Arria 器件配置.....	292
6.6.3	Cyclone 器件配置.....	293
6.7	AS 模式.....	298
6.7.1	串行配置器件的在系统编程.....	298
6.7.2	配置芯片下载.....	301
6.8	Quartus II 编程器的使用方法	306
第 7 章 FPGA 设计中的基本问题.....		309
7.1	数的表示方法	309
7.1.1	无符号整数	310
7.1.2	二进制补码.....	311
7.1.3	无符号小数.....	311
7.1.4	带符号小数的二进制补码	312
7.1.5	格雷码.....	313
7.1.6	带符号整数	314
7.1.7	偏移二进制补码.....	314
7.1.8	浮点数和块浮点数	315
7.1.9	数的定标问题.....	315
7.2	有限字长的影响	316

7.3 时钟问题.....	317	8.5 交织编码器.....	355
7.3.1 全局时钟.....	317	8.5.1 交织编码的原理.....	355
7.3.2 门控时钟.....	317	8.5.2 利用移位寄存器实现交织编码.....	356
7.3.3 多级逻辑时钟.....	320	8.5.3 利用存储器实现交织编码.....	358
7.3.4 行波时钟.....	321	8.6 直接数字频率合成.....	361
7.3.5 多时钟系统.....	322	8.7 奇偶数分频器.....	366
7.3.6 时钟网络问题.....	324	8.8 串并/并串变换器.....	370
7.4 时序参数.....	325	8.9 利用 IP Core 实现 FFT 和 IFFT 变换.....	372
7.5 冒险现象.....	326	8.10 线性时不变 FIR 滤波器.....	376
7.6 清零和置位信号.....	329	8.11 二进制相移键控(BPSK)调制器与 解调器设计.....	382
7.7 信号的延时.....	329	8.11.1 BPSK 原理.....	382
7.8 信号的歪斜.....	331	8.11.2 CPSK 调制器 VHDL 设计.....	384
7.9 流水线操作.....	333	8.11.3 CPSK 解调器 VHDL 设计.....	386
7.10 电路结构与速度之间的关系.....	335	8.11.4 DPSK 调制器 VHDL 设计.....	388
7.11 器件结构与处理算法的匹配.....	337	8.11.5 DPSK 解调器 VHDL 设计.....	390
7.12 器件加密.....	338	8.12 数字基带信号传输码型 发生器设计.....	391
7.13 设计文档.....	339	8.12.1 常见的几种基带码.....	391
第 8 章 FPGA 电路设计实例.....	340	8.12.2 基带码发生器方框图及 电路符号.....	394
8.1 m 序列产生器.....	340	8.12.3 基带码发生器 VHDL 程序与仿真.....	395
8.2 任意序列产生器.....	343	附录 A 文件的后缀.....	398
8.3 数字相关器.....	345	附录 B 相关网址检索.....	403
8.4 汉明距离的电路计算.....	348	参考文献.....	405
8.4.1 计数法.....	349		
8.4.2 逻辑函数法.....	350		
8.4.3 查找表法.....	350		
8.4.4 求和网络法.....	350		
8.4.5 组合应用.....	351		

第1章

绪 论

本章首先介绍 EDA 技术的发展历程, 然后详述 PLD 器件发展的各阶段典型器件的结构及特点, 最后对 PLD 的基本设计方法、设计流程以及基于 IP 的设计技术进行介绍, 以便读者对可编程逻辑器件的原理、结构、功能、特点及其开发应用有一个总体的认识。

1.1 EDA 发展历程

EDA(Electronic Design Automation, 电子设计自动化)是指利用计算机完成电子系统的设计。随着科学技术的飞速发展, 电子系统的规模越来越大, 复杂度也越来越高, 集成电路的制作工艺已经达到 28 nm 甚至更小的尺寸。因此, 现代高速复杂数字系统设计已经离不开 EDA 工具。

EDA 工具是以计算机为工作平台, 融合了微电子技术、计算机技术和智能化技术的一种先进电子系统设计工具, 汇集了计算机图形学、拓扑学、逻辑学、微电子工艺与结构学、计算数学等多种计算机应用学科的最新技术成果。

从 20 世纪 60 年代中期开始, 人们就不断开发出各种计算机辅助设计工具来帮助设计人员进行电子系统的设计。电路理论和半导体工艺水平的提高, 对 EDA 技术的发展起了巨大的推进作用, 使 EDA 作用范围从 PCB 板设计延伸到电子线路和集成电路设计, 直至整个系统的设计, 也使 IC 芯片系统应用、电路制作和整个电子系统生产过程都集成在一个环境之中。根据电子设计技术的发展特征, EDA 技术的发展大致可分为三个阶段。

1. CAD 阶段

CAD(Computer Aided Design, 计算机辅助设计)阶段是从 20 世纪 60 年代中期到 20 世纪 80 年代初期。EDA 工具发展的初期特点是工具软件的功能单一, 主要针对 PCB(Printed Circuit Board)布线设计、电路模拟、逻辑模拟及版图的绘制等, 通过计算机的使用, 从而将设计人员从大量繁琐重复的计算和绘图工作中解脱出来。例如, Protel 的早期版本 Tango, 以及用于电路模拟的 SPICE 软件和后来产品化的 IC 版图编辑与设计规则检查系统等软件, 都是这一阶段的产品。

20 世纪 80 年代初, 随着集成电路规模的增大, EDA 技术有了较快的发展。许多软件公司如 Mentor、Daisy System 及 Logic System 等进入市场, 开始供应带电路图编辑工具和逻辑模拟工具的 EDA 软件。这个时期的软件主要针对产品开发, 按照设计、分析、生产和

测试等多个阶段,不同阶段分别使用不同的软件包,每个软件只能完成其中的一项工作,通过顺序循环使用这些软件,可完成设计的全过程。但这样的设计过程存在两个方面的问题:第一,由于各个工具软件是由不同的公司和专家开发的,只解决一个领域的问题,若将一个工具软件的输出作为另一个工具软件的输入,就需要人工处理,很繁琐,影响了设计速度;第二,对于复杂电子系统的设计,由于缺乏系统级的设计考虑,不能提供系统级的仿真与综合,设计错误如果在开发后期才被发现,将给修改工作带来极大不便。

2. CAE 阶段

CAE(Computer Aided Engineering, 计算机辅助工程)阶段是从 20 世纪 80 年代初期到 90 年代初期。这个阶段在集成电路与电子设计方法学以及设计工具集成化方面取得了许多成果。各种设计工具,如原理图输入、编译与连接、逻辑模拟、测试码生成、版图自动布局以及各种单元库已齐全。由于采用了统一数据管理技术,因此能够将各个工具集成为一个 CAE 系统。按照设计方法学制定的设计流程,可以实现从设计输入到版图输出的全程设计自动化。这个阶段主要采用基于单元库的半定制设计方法,采用门阵列和标准单元设计的各种 ASIC(Application Specific Integrated Circuit, 专用集成电路)得到了极大的发展,将集成电路工业推入了 ASIC 时代。多数系统中集成了 PCB 自动布局布线软件以及热特性、噪声、可靠性等分析软件,进而实现电子系统设计自动化。

3. EDA 阶段

20 世纪 90 年代以来,电子设计技术发展到了 EDA 阶段,其中微电子技术以惊人的速度发展,其工艺水平达到纳米级,在一个芯片上可集成数十亿只晶体管,这为制造出规模更大、速度更快和信息容量很大的芯片系统提供了条件,但同时也对 EDA 系统提出了更高的要求,并促进了 EDA 技术的发展。此阶段主要出现了以高级语言描述、系统仿真和综合技术为特征的第三代 EDA 技术,不但极大地提高了系统的设计效率,而且使设计人员摆脱了大量的辅助性及基础性工作,将精力集中于创造性的方案与概念的构思上。这一阶段 EDA 技术的主要特征如下。

(1) 高层综合(HLS, High Level Synthesis)的理论与方法取得较大进展,将 EDA 设计层次由 RTL(寄存器传输描述)级提高到了系统级(又称行为级),分为逻辑综合和测试综合。逻辑综合就是对不同层次和不同形式的设计描述进行转换,通过综合算法,以具体的工艺背景实现高层目标所规定的优化设计。通过设计综合工具,可将电子系统的高层行为描述转换到低层硬件描述和确定的物理实现,使设计人员无须直接面对底层电路,不必了解具体的逻辑器件,从而把精力集中到系统行为建模和算法设计上。测试综合是以设计结果的性能为目标的综合方法,以电路的时序、功耗、电磁辐射和负载能力等性能指标为综合对象。测试综合是保证电子系统设计结果稳定可靠工作的必要条件,也是对设计进行验证的有效方法,其典型的有 Synplicity 公司的 Synplify pro(7.3 及以上)、Synopsys 公司的 DCFPGA,以及 Amplify、Leonardo 等综合工具。

(2) 采用硬件描述语言(HDL, Hardware Description Language),并形成了 VHDL 和 Verilog HDL 两种标准硬件描述语言。这两种语言均支持不同层次的描述,使得复杂 IC 的描述规范化,便于传递、交流、保存与修改,也便于重复使用。随着 VHDL 和 Verilog HDL 规范化语言的完善,设计工程师已经习惯用语言而不是电路图来描述电路。

(3) 采用平面规划(Floorplaning)技术对逻辑综合和物理版图设计进行联合管理,做到在逻辑综合早期设计阶段就考虑到物理设计信息的影响。通过这些信息,设计者能更进一步进行综合与优化,并保证所作的修改只会提高性能而不会对版图设计带来负面影响。这在纳米级布线延时已成为主要延时的情况下,对加速设计过程的收敛与成功是很有帮助的。在 Synopsys 和 Cadence 等公司的 EDA 系统中均采用了这项技术。

(4) 可测性综合设计。随着 ASIC 的规模与复杂性的增加,测试难度与费用急剧上升,由此产生了将可测性电路结构制作在 ASIC 芯片上的想法,于是开发了扫描插入、BLST(内建自测试)、边界扫描测试(BST)、JTAG 等可测性设计工具,并已集成到 EDA 系统中。其典型产品有 Compass 公司的 Test Assistant 和 Mentor Graphics 公司的 LBLST Architect、BSD Architect、DFT Advisor 等。

(5) 为带有嵌入 IP(知识产权)模块的 ASIC 设计提供软硬件协同系统设计工具。协同验证弥补了硬件设计和软件设计流程之间的空隙,保证了软硬件之间的同步协调工作。协同验证是当今系统集成核心,它以高层系统设计为主导,以性能优化为目标,融合逻辑综合、性能仿真、形式验证和可测性设计,产品如 Mentor Graphics 公司的 Seamless CAV。

(6) 建立并行设计工程 CE(Concurrent Engineering)框架结构的集成化设计环境,以适应当今 ASIC 的如下一些特点:数字与模拟电路并存,硬件与软件设计并存,产品上市速度要快。这种集成化设计环境中,使用统一的数据管理系统与完善的通信管理系统,由若干相关的设计小组共享数据库和知识库,并行地进行设计,而且在各种平台之间可以平滑过渡。

全球 EDA 厂商有近百家之多,大体可分两类:一类是 EDA 专业软件公司,较著名的有 Mentor Graphics、Cadence Design Systems、Synopsys、Viewlogic Systems 和 Protel 等;另一类是半导体器件厂商,为了销售他们的产品而开发 EDA 工具,较著名的公司有 Altera、Xilinx、AMD、TI 和 Lattice 等。EDA 专业软件公司独立于半导体器件厂商,推出的 EDA 系统具有较好的标准化和兼容性,也比较注意追求技术上的先进性,适合于搞学术性基础研究的单位使用。而半导体厂商开发的 EDA 工具,能针对自己器件的工艺特点作出优化设计,提高资源利用率,降低功耗,改善性能,比较适合于产品开发单位使用。在 EDA 技术发展策略上,EDA 专业软件公司面向应用,提供 IP 模块和相应的设计服务,而半导体厂商则采取三位一体的战略,在器件生产、设计服务和 IP 模块的提供上都下了工夫。

总之,EDA 开发工具经历了多年的发展,已经成为电子系统硬件设计工程师不可或缺的设计手段。随着电子信息技术的不断进步和需求的强力牵引,EDA 工具未来将会有更大的应用空间。

1.2 可编程逻辑器件的基本结构

1.2.1 ASIC 的分类

ASIC 是专门为某一应用领域或某一专门用户需要而设计制造的集成电路,具有体积小、重量轻、功耗低,以及高性能、高可靠性和高保密性等优点。ASIC 的分类如图 1.1 所示。

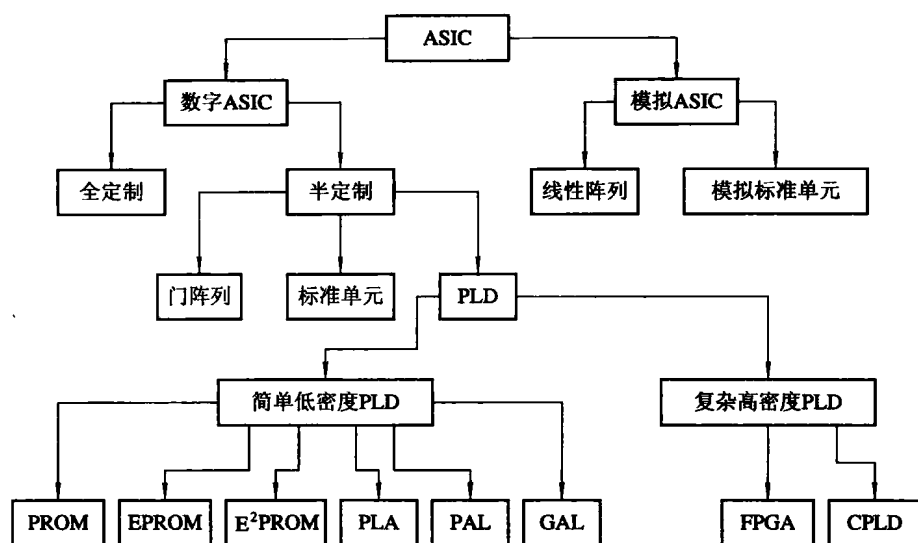


图 1.1 ASIC 的分类

由图 1.1 可见, ASIC 分为数字 ASIC 和模拟 ASIC 两大类。在模拟 ASIC 方面, 除目前传统的运算放大器、功率放大器等电路外, 模拟 ASIC 由线性阵列和模拟标准单元组成。与数字 ASIC 相比, 它的发展还相当缓慢, 其原因是模拟电路的频带宽度、精度、增益和动态范围等暂时还没有一个最佳的办法加以描述和控制, 但其发展前景也应该非常广阔。目前, 生产厂家可提供由线性阵列和标准单元构成的运算放大器、比较器、振荡器、无源器件和开关电容滤波器等产品,

数字 ASIC 包括全定制 ASIC(Full custom design approach ASIC)和半定制 ASIC(Semi-custom design approach ASIC)。全定制 ASIC 的各层掩膜都是按特定电路功能专门制造的, 设计人员从晶体管的版图尺寸、位置和互连线开始设计, 以达到芯片面积利用率高、速度快、功耗低的最优化性能。设计全定制 ASIC, 不仅要求设计人员具有丰富的半导体材料和工艺技术知识, 还要具有完整的系统和电路设计的工程经验。全定制 ASIC 的设计费用高, 周期长, 比较适用于大批量的 ASIC 产品, 如彩电中的专用芯片。半定制 ASIC 是一种约束型设计方法, 它在芯片上制作好一些具有通用性的单元元件和元件组的半成品硬件, 用户仅需考虑电路逻辑功能和各功能模块之间的合理连接即可。这种设计方法灵活方便, 性价比高, 缩短了设计周期, 提高了成品率。半定制 ASIC 包括门阵列、标准单元和可编程逻辑器件(PLD, Programmable Logic Device)三种。

(1) 门阵列(Gate Array)是按传统阵列和组合阵列在硅片上制成具有标准逻辑门的形式。它是不封装的半成品, 生产厂家可根据用户要求, 在掩膜中制作出互连的图案(码点), 最后封装为成品再提供给用户。

(2) 标准单元(Standard Cell)是由 IC 厂家将预先设置好、经过测试且具有一定功能的逻辑块作为标准单元存储在数据库中的, 包括标准的 TTL、CMOS、存储器、微处理器及 I/O 电路的专用单元阵列。设计人员在电路设计完成之后, 利用 CAD 工具在版图一级完成与电路一一对应的最终设计。标准单元设计灵活、功能强, 但设计和制造周期较长, 开发费用也较高。

(3) 可编程逻辑器件是 ASIC 的一个重要分支, 是厂家作为一种通用性器件生产的半定制电路, 用户可通过对器件编程实现所需要的逻辑功能。PLD 是用户可配置的逻辑器件, 它的成本比较低、使用灵活、设计周期短, 而且可靠性高、风险小, 因而得到快速普及, 发展非常迅速。

目前, ASIC 的设计与制造已不再完全由半导体厂商独立承担, 系统设计师在实验室里就可以设计出合适的 ASIC 芯片, 并且立即投入实际应用之中, 这都得益于可编程逻辑器件的出现。经过不断地变迁, PLD 这个术语现在包括简单的 PLD(SPLD, Simple Programmable Logic Device)、复杂的 PLD(Complex Programmable Logic Device, CPLD)和现场可编程门阵列(FPGA, Field Programmable Gate Array)。在器件的制作工艺上从采用严格的双极工艺和简单结构发展到采用 CMOS EPROM、SRAM、Flash 和反熔丝等工艺及精巧的电路设计, 使器件的密度更大、可靠性更高、功耗更小、价格更低。

1.2.2 SPLD 基本结构

SPLD 的结构特点是由与阵列和或阵列组成, 能有效地实现“积之和”形式的布尔逻辑函数。与或阵列在硅片上也非常容易实现。在数字电路中, 可以利用卡诺图、摩根定理和 Q-M 表, 将真值表或其它形式表示的逻辑关系转换成与或表达式的逻辑函数。与或表达式是布尔代数的常用表达式形式, 根据布尔代数的知识, 所有的逻辑函数均可以用与或表达式描述。通过改变与或阵列的连接就可以改变与或阵列的结构, 不论是改变与阵列还是改变或阵列的连接, 都可以使逻辑函数发生变化, 从而实现所希望的逻辑功能。

最早的 PLD 是 1970 年制成的 PROM(Programmable Read Only Memory), 即可编程只读存储器, 它是由固定的与阵列和可编程的或阵列组成的。PROM 采用熔丝工艺编程, 只能写一次, 不能擦除和重写。随着技术的发展和应用要求, 此后又出现了 UVEPROM(紫外线可擦除只读存储器)、E²PROM(电可擦除只读存储器), 由于它们价格低、易于编程、速度低, 适合于存储函数和数据表格, 因此主要用作存储器。典型的 EPROM 有 2716、2732 等。

可编程逻辑阵列(PLA, Programmable Logic Array)于 20 世纪 70 年代中期出现。它是由可编程的与阵列和可编程的或阵列组成的, 但由于器件的资源利用率低, 价格较贵, 编程复杂, 支持 PLA 的开发软件有一定难度, 因而没有得到广泛应用。

可编程阵列逻辑器件(PAL, Programmable Array Logic)是 1977 年美国 MMI 公司(单片存储器公司)率先推出的, 它由可编程的与阵列和固定的或阵列组成, 采用熔丝编程方式, 双极性工艺制造, 器件的工作速度很高。由于它的输出结构种类很多, 设计很灵活, 因而成为第一个得到普遍应用的可编程逻辑器件, 如 PAL16L8。

通用阵列逻辑器件(GAL, Generic Array Logic)是 1985 年 Lattice 公司最先发明的电可擦写、可重复编程、可设置加密位的 PLD。GAL 在 PAL 基础上, 采用了输出逻辑宏单元形式 E²CMOS 工艺结构。具有代表性的 GAL 芯片有 GAL16V8、GAL20V8, 这两种 GAL 几乎能够仿真所有类型的 PAL 器件。在实际应用中, GAL 器件对 PAL 器件仿真具有百分之百的兼容性, 所以 GAL 几乎完全代替了 PAL 器件, 并可以取代大部分 SSI、MSI 数字集成电路, 如标准的 54/74 系列器件, 因而获得广泛应用。

SPLD 的基本结构框图如图 1.2 所示，图中的与阵列和或阵列是电路的主体，主要用来实现组合逻辑函数。输入由缓冲器组成，它使输入信号具有足够的驱动能力并产生互补输入信号。输出电路可以提供不同的输出方式，如直接输出(组合方式)或通过寄存器输出(时序方式)。此外，输出端口上往往带有三态门，通过三态门控制数据直接输出或反馈到输入端。

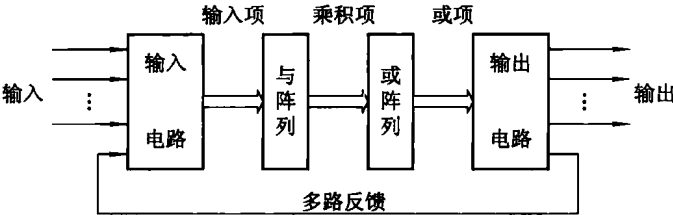


图 1.2 SPLD 的基本结构

PROM、PLA、PAL 和 GAL 四种 SPLD 电路的结构特点如表 1.1 所示。

表 1.1 四种 SPLD 电路的结构特点

类 型	阵 列		输 出 方 式
	与	或	
PROM	固定	可编程	TS(三态)、OC(可熔极性)
PLA	可编程	可编程	TS、OC
PAL	可编程	固定	TS、I/O、寄存器反馈
GAL	可编程	固定	用户定义

图 1.3、图 1.4 和图 1.5 分别画出了 PROM、PLA 和 PAL(GAL)的阵列结构图。在这些图中，左边部分为与阵列，右边部分为或阵列，与门采用“线与”的形式；在交叉点上的符号，实点表示固定连接，“*”号表示可编程连接。输入信号通过互补缓冲器输入，通过交叉点上的连接加到函数的与或表达式的乘积项中。与阵列产生的多个乘积项，通过或阵列的交叉点连接，完成函数的或运算。其中 PAL 和 GAL 基本门阵列结构相同，均为与阵列可编程，或阵列固定连接，编程容易实现且费用低。一般在 PAL 和 GAL 产品中，最多的乘积项数可达 8 个。

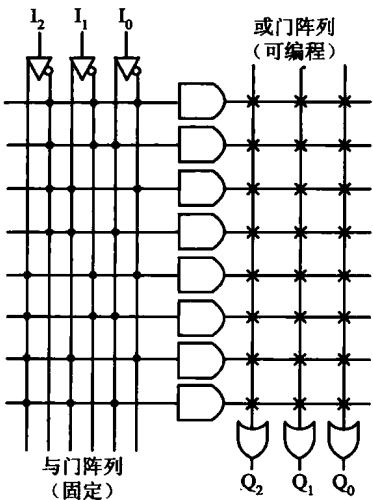


图 1.3 PROM 阵列结构图

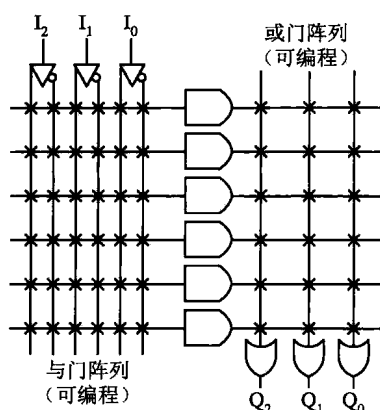


图 1.4 PLA 阵列结构图

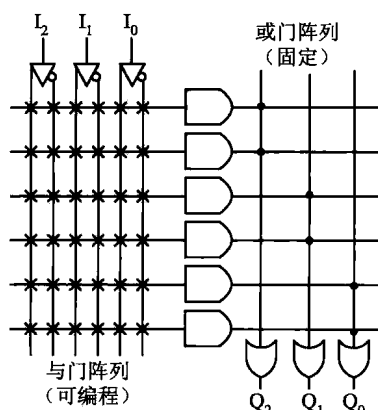


图 1.5 PAL(GAL)的阵列结构图

PAL 和 GAL 的输出结构并不相同。PAL 的输出结构是固定的，不能编程，芯片型号选定后，输出结构也就选定了。根据输出和反馈的结构不同，PAL 器件主要有可编程输入/输出结构、带反馈的寄存器型结构、异或结构、专用组合输出和算术选通反馈结构等。PAL 产品有 20 多种不同型号可供设计人员选择。

可编程的输入/输出结构如图 1.6 所示，其输出电路是一个三态缓冲器，反馈部分是一个具有互补输出的缓冲器。与阵列的第一个与门的输出控制三态门的输出：当与门输出为“0”时，三态门禁止，输出呈高阻状态，I/O 引脚可作为输入使用；当与门输出为“1”时，三态门被选通，I/O 引脚作为输出使用。或阵列的输出信号经缓冲器反相后，一路从 I/O 引脚送出，另一路经互补缓冲器反馈至与阵列的输入端。图 1.6 中只画出了一个输出，如产品 PAL16L8 则有八个输出。

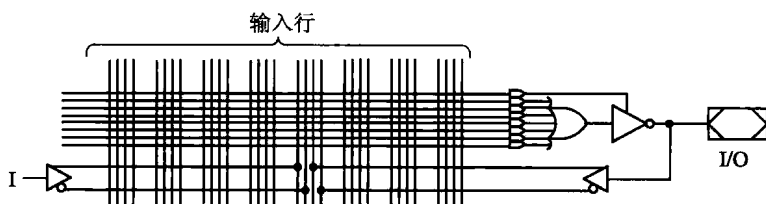


图 1.6 可编程输入/输出结构

带反馈的寄存器输出结构如图 1.7 所示。当系统时钟 CLK 的上升沿到来后，或门的输出被存入 D 触发器，然后通过选通三态缓冲器送到输出端，D 触发器的 Q 非输出经反馈缓冲器送到与阵列的输入端，这样的 PAL 具有记忆功能，能实现时序逻辑功能，而 PROM 和 PLA 没有寄存器结构，不能实现时序逻辑。产品 PAL16R8(R 代表 Register)就属于寄存器输出结构。

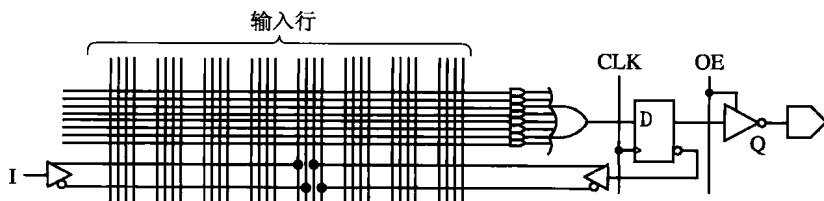


图 1.7 带反馈的寄存器输出结构