

FDA 工 | 程 | 技 | 术 | 丛 | 书 |



Xilinx大学合作计划推荐用书



XILINX FPGA : DESIGN AND APPLICATION

# Xilinx FPGA

## 设计权威指南

何 宾 编著  
He Bin



CD-ROM

清华大学出版社



FDA 工 | 程 | 技 | 术 | 丛 | 书 |



XILINX FPGA : DESIGN AND APPLICATION

# Xilinx FPGA

## 设计权威指南

何宾 编著

He Bin

清华大学出版社

北京

## 内 容 简 介

本书系统、全面地介绍了基于 Xilinx 可编程逻辑器件设计的方法、理论和应用。全书共分 14 章,内容包括 Xilinx 可编程逻辑器件设计流程导论、Xilinx 可编程逻辑器件结构及分类、HDL 高级设计技术、基于 HDL 的设计技术、基于原理图的设计输入、设计综合和行为仿真、设计实现和时序仿真、设计下载、ChipScope Pro 调试工具、可重配置技术基础、处理器系统可重配置实现、基于 ISE 的数/模混合系统设计、基于双摄像头的 HDMI 视频系统的实现和基于 System Generator 的数字系统建模。本书参考了 Xilinx 大量的最新设计资料,内容新颖,理论与应用并重,介绍了 Xilinx 可编程逻辑器件的许多新的设计方法和设计技术,并将这些设计方法和设计技术有机贯穿于完整的设计流程中。

本书可作为从事 Xilinx 可编程逻辑器件设计工程技术人员的参考用书,也可作为电子信息类专业高年级本科生和研究生的教学和科研用书,同时也可以作为 Xilinx 公司的培训教材及工程技术人员的参考用书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

### 图书在版编目(CIP)数据

Xilinx FPGA 设计权威指南/何宾编著.--北京:清华大学出版社,2012.5

(EDA 工程技术丛书)

ISBN 978-7-302-28200-6

I. ①X… II. ①何… III. ①可编程序逻辑器件—系统设计—指南 IV. ①TP332.1-62

中国版本图书馆 CIP 数据核字(2012)第 035647 号

责任编辑:盛东亮

封面设计:李召霞

责任校对:时翠兰

责任印制:张雪娇

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质 量 反 馈:010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

印 装 者:清华大学印刷厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:33 字 数:783 千字

(附光盘 1 张)

版 次:2012 年 5 月第 1 版

印 次:2012 年 5 月第 1 次印刷

印 数:1~3000

定 价:56.00 元

全球知名的可编程逻辑器件的生产厂商——美国 Xilinx 公司以其卓越的软件和硬件产品,为中高端用户提供了良好的解决方案,拥有全世界 51% 的 PLD 市场份额。最近几年,Xilinx 的 FPGA 在器件工艺和开发平台方面都取得了飞速的发展。比如,最新的 28nm 工艺的 7 系列 FPGA 面世,Zynq—7000 可扩展并行处理平台 EPP 的出现、将 ADC 集成到 FPGA 内,这些新技术的出现进一步扩展了 FPGA 的应用领域,为 FPGA 技术的可持续发展奠定了坚实的基础。Xilinx FPGA 技术充分体现了最新设计技术和最新发展趋势,这个趋势就是“创新的设计理念”。这些创新的设计方法和设计手段,为电子系统高性能发展带来了前所未有的机遇。只要掌握了 FPGA 设计技术,也就真正掌握了计算机相关技术。因此,作为未来电子系统设计的工程技术人员,应该系统学习并掌握 FPGA 设计技术。

该书的编写充分体现了 Xilinx FPGA 的最新设计技术。书中通过大量具体的设计实例,体现了这些新的设计技术。本书以设计流程为主线,以设计实例为向导,通过一些典型的设计实例,帮助读者充分掌握 Xilinx FPGA 相关的设计技术。本书共分为 14 章,内容包括 Xilinx 可编程逻辑器件设计流程导论、Xilinx 可编程逻辑器件结构及分类、HDL 高级设计技术、基于 HDL 的设计技术、基于原理图的设计输入、设计综合和行为仿真、设计实现和时序仿真、设计下载、ChipScope Pro 调试工具、可重配置技术基础、处理器系统可重配置实现、基于 ISE 的数/模混合系统设计、基于双摄像头的 HDMI 视频系统的实现和基于 System Generator 的数字系统建模。每章内容要点如下:

- (1) 第 1 章主要介绍了 Xilinx 的 CPLD 和 FPGA 的设计流程,以及 IP 核复用技术。
- (2) 第 2 章主要介绍了 CPLD 原理及结构、FPGA 原理及结构、Xilinx 可编程逻辑器件分类和 Xilinx 可配置存储器。
- (3) 第 3 章主要介绍了基于 HDL 的高级设计技术,该部分内容包含了设计人员在使用 HDL 语言进行设计时经常使用的设计技巧、设计方法和注意事项。
- (4) 第 4 章主要介绍了基于 HDL 语言和 Xilinx ISE13 软件设计平台的设计输入实现过程。
- (5) 第 5 章主要介绍了基于原理图和 Xilinx ISE13 软件设计平台的设计输入实现过程。
- (6) 第 6 章主要介绍了设计综合和行为仿真,包括综合和仿真的概念、Xilinx ISE 综合和仿真参数的设置,以及综合和仿真的实现过程。
- (7) 第 7 章主要介绍了设计实现和时序仿真,包括实现的过程、时序仿真的概念、Xilinx ISE 软件实现过程的参数设置,以及一些高级设计工具的使用。
- (8) 第 8 章主要介绍了设计下载,该部分介绍了 FPGA 下载配置电路、配置属性设置、编程文件的生成,以及使用 JTAG 和 BPI 模式配置 FPGA 的实现过程。
- (9) 第 9 章主要介绍了 Xilinx 的在线逻辑分析仪调试工具——ChipScope Pro 的原

# 前言

理和使用方法。

(10) 第 10 章主要介绍了可重配置导论、部分可重配置设计流程和应用时序约束并实现分析。

(11) 第 11 章主要介绍了 4 个重配置处理器系统的实现实例,这些实例通过不同的方法实现可重配置处理器系统。

(12) 第 12 章主要介绍了基于 ISE13 平台的模拟-数字和数字-模拟系统的设计原理和设计实现步骤。

(13) 第 13 章主要介绍了基于 ISE 平台的带有双摄像头的 HDMI 视频系统的实现,该设计使用了一些更高级的设计技巧和设计方法。

(14) 第 14 章主要介绍了基于 System Generator 的数字系统建模。通过 ISE 软件和 MATLAB 软件,介绍了如何对数字系统进行建模的方法。

参加本书编写工作的人员还有左芳、王纲领、彭勃、常晓磊。第 1~3 章由左芳整理资料,并负责文字录入工作。第 4~6 章由王纲领整理资料,并负责文字录入工作。第 7~9 章由彭勃整理资料,并负责文字录入工作。第 10~11 章由常晓磊整理资料,并负责文字录入工作。全书由何宾统稿和定稿。

该书的编写得到 Xilinx 大学计划和美国 Digilentinc 公司的大力支持和帮助,他们为本书的编写提供了大量的资料和硬件设计平台。正是由于他们的无私帮助和鼎力支持,才能使作者完成本书的编写工作。同时,也要感谢清华大学出版社的编辑和相关工作人员,他们的辛勤工作保证了本书的高质量出版。

由于 FPGA 技术发展迅速,作者水平有限,书中难免会有疏漏之处,欢迎读者批评指正。

作者

<b>第 1 章 Xilinx FPGA 设计流程</b> .....	<b>1</b>
1.1 设计流程 .....	1
1.2 设计输入和综合 .....	3
1.2.1 层次化设计 .....	3
1.2.2 原理图输入 .....	4
1.2.3 HDL 输入和综合 .....	5
1.3 设计实现 .....	6
1.3.1 FPGA 设计实现 .....	6
1.3.2 CPLD 设计实现 .....	7
1.4 设计验证 .....	8
1.4.1 仿真 .....	9
1.4.2 静态时序分析 .....	13
1.4.3 电路验证 .....	13
1.5 IP 核复用技术 .....	14
1.5.1 IP 核分类 .....	14
1.5.2 IP 核优化 .....	15
1.5.3 IP 核生成 .....	16
<b>第 2 章 Xilinx FPGA 结构及分类</b> .....	<b>17</b>
2.1 CPLD 原理及结构 .....	17
2.1.1 功能块 .....	18
2.1.2 宏单元 .....	19
2.1.3 快速连接矩阵 .....	20
2.1.4 输入输出块 .....	20
2.2 FPGA 原理及结构 .....	21
2.2.1 查找表结构及功能 .....	22
2.2.2 可配置逻辑块 .....	23
2.2.3 时钟资源和时钟管理单元 .....	25
2.2.4 块存储器资源 .....	30
2.2.5 互联资源 .....	32
2.2.6 专用的 DSP 模块 .....	32
2.2.7 输入输出块 .....	34
2.2.8 吉比特收发器 .....	36

# 目录

2.2.9	PCI-E 模块 .....	36
2.2.10	XADC 模块 .....	37
2.3	Xilinx 可编程逻辑器件分类 .....	39
2.3.1	Xilinx CPLD 芯片介绍 .....	39
2.3.2	Xilinx FPGA 芯片介绍 .....	41
2.3.3	Xilinx 最新一代 7 系列 .....	49
2.4	Xilinx 配置存储器 .....	57
2.4.1	平台 Flash 在系统可编程 PROM .....	57
2.4.2	平台 Flash 高密度存储和配置器件 .....	58
<b>第 3 章</b>	<b>HDL 高级设计技术 .....</b>	<b>60</b>
3.1	HDL 语言 .....	60
3.1.1	HDL 语言设计 FPGA 的优势 .....	60
3.1.2	使用 HDL 语言设计 FPGA .....	61
3.2	混合语言设计支持 .....	63
3.3	层次化设计 .....	64
3.3.1	层次化设计的优缺点 .....	64
3.3.2	在分层设计中使用综合工具 .....	65
3.4	选择数据类型(只限于 VHDL) .....	66
3.4.1	使用 std_logic(IEEE 1164) .....	66
3.4.2	声明端口 .....	66
3.4.3	端口声明中的数组 .....	67
3.5	使用 'timescale 指令(只限于 Verilog) .....	68
3.6	if 和 case 描述比较 .....	68
3.6.1	if 设计描述 .....	69
3.6.2	case 设计描述 .....	70
3.6.3	避免出现锁存器 .....	71
3.7	逻辑结构设计 .....	75
3.7.1	逻辑结构的分类及实现 .....	75
3.7.2	数字信号处理中的逻辑结构 .....	77
3.8	逻辑复制和复用技术 .....	79
3.8.1	逻辑复制技术 .....	79
3.8.2	逻辑复用(共享)技术 .....	81
3.9	并行和流水技术 .....	81

3.9.1	并行设计技术 .....	82
3.9.2	流水设计技术 .....	83
3.10	同步和异步单元处理技术 .....	86
3.10.1	同步单元处理技术 .....	86
3.10.2	异步单元处理技术 .....	88
3.11	控制信号 .....	89
3.11.1	置位、复位和综合优化 .....	89
3.11.2	使用时钟使能引脚代替门控时钟 .....	91
3.11.3	转换门控时钟到时钟使能 .....	92
3.12	寄存器/锁存器和 RAM 的初始状态 .....	93
3.12.1	寄存器和锁存器的初始化状态 .....	93
3.12.2	RAM 的初始化状态 .....	94
3.13	有限自动状态机设计 .....	97
3.13.1	有限状态机分类 .....	97
3.13.2	有限状态机设计 .....	97
3.14	存储器的实现 .....	100
3.14.1	推断 RAM .....	101
3.14.2	例化 RAM .....	103
3.15	移位寄存器的实现 .....	103
3.15.1	基于 SRL 的移位寄存器的实现 .....	104
3.15.2	基于 BRAM 的移位寄存器的实现 .....	106
3.16	多路复用器的实现 .....	107
3.17	I/O 寄存器的实现 .....	108
3.18	算术运算的实现 .....	109
3.18.1	HDL 对符号/无符号运算的描述 .....	109
3.18.2	FPGA 内算术运算实现的方法 .....	110
3.19	扩展的 DSP 推断 .....	111
3.20	计数器和累加器的实现 .....	113
3.21	属性/约束及传递 .....	114
3.21.1	属性及传递 .....	114
3.21.2	约束及传递 .....	115
3.22	例化元件和 FPGA 原语 .....	117
3.22.1	例化 FPGA 原语 .....	117
3.22.2	例化核生成器模块 .....	118



# 目录

第 4 章 基于 HDL 设计输入 .....	119
4.1 Xilinx ISE Design Suite 介绍 .....	119
4.2 ISE 开发平台主界面及功能 .....	120
4.3 设计内容和设计原理 .....	124
4.4 创建工程 .....	124
4.5 添加设计文件 .....	127
4.5.1 添加计数器模块 .....	127
4.5.2 添加分频器模块 .....	130
4.5.3 添加顶层设计模块 .....	132
第 5 章 基于原理图的设计输入 .....	136
5.1 设计内容和设计原理 .....	136
5.2 创建工程 .....	137
5.3 添加已存在的设计文件 .....	139
5.4 生成所添加文件的 RTL 符号 .....	141
5.5 创建原理图文件 .....	141
第 6 章 设计综合和行为仿真 .....	146
6.1 设计综合 .....	146
6.1.1 行为综合描述 .....	146
6.1.2 基于 XST 的综合 .....	147
6.1.3 综合属性参数功能 .....	147
6.1.4 综合属性参数设置 .....	157
6.1.5 设计综合和综合结果分析 .....	158
6.1.6 原理图符号的查看 .....	158
6.2 行为仿真的实现 .....	162
6.2.1 测试向量 .....	162
6.2.2 基于 ISim 的行为仿真实现 .....	163
第 7 章 设计实现和时序仿真 .....	169
7.1 实现过程 .....	169
7.2 设计约束原理 .....	169
7.2.1 时序约束原理 .....	171
7.2.2 引脚和面积约束原理 .....	175

7.3	引脚约束的实现 .....	177
7.4	时序约束的实现 .....	179
7.5	实现属性参数设置选项功能 .....	181
7.5.1	翻译属性 .....	182
7.5.2	映射属性 .....	184
7.5.3	布局布线属性 .....	190
7.5.4	映射后静态时序报告属性 .....	193
7.5.5	布局布线后静态时序报告属性 .....	195
7.5.6	仿真模型属性 .....	196
7.6	设计翻译 .....	201
7.7	设计映射 .....	202
7.7.1	设计映射原理 .....	202
7.7.2	设计映射的实现 .....	203
7.7.3	映射后时序分析 .....	203
7.8	布局布线 .....	204
7.8.1	布局布线流程 .....	205
7.8.2	布局布线的实现 .....	206
7.8.3	布局布线结果的查看 .....	206
7.8.4	分析时序/布局设计 .....	209
7.9	时序仿真实现 .....	210
7.9.1	时序仿真 .....	210
7.9.2	使用 ISE 仿真器进行时序仿真 .....	210
7.10	XPower 功耗分析 .....	214
<b>第 8 章</b>	<b>设计下载 .....</b>	<b>216</b>
8.1	可编程逻辑器件配置接口 .....	216
8.1.1	JTAG 配置模式 .....	216
8.1.2	串行模式 .....	218
8.1.3	SelectMAP 配置模式 .....	221
8.1.4	SPI 模式 .....	222
8.1.5	主 BPI 模式 .....	222
8.2	配置属性 .....	226
8.2.1	通用选项 .....	226
8.2.2	配置选项 .....	228

# 目录

8.2.3	启动选项 .....	234
8.2.4	回读选项 .....	236
8.2.5	加密选项 .....	237
8.2.6	停止/唤醒选项 .....	238
8.3	编程文件生成 .....	240
8.4	使用 JTAG 模式配置器件 .....	241
8.5	使用 BPI 模式配置器件 .....	244
8.5.1	生成 BPI 存储器配置文件 .....	244
8.5.2	编程 BPI 文件到 BPI 存储器 .....	247
8.6	使用 SPI 模式配置器件 .....	249
<b>第 9 章</b>	<b>ChipScope Pro 调试工具 .....</b>	<b>250</b>
9.1	ChipScope Pro 调试工具 .....	250
9.2	ChipScope Pro 核 .....	252
9.2.1	ICON 核 .....	252
9.2.2	ILA 核 .....	252
9.2.3	VIO 核 .....	255
9.2.4	ATC2 核 .....	256
9.2.5	IBERT 核 .....	257
9.3	ChipScope Pro 核插入器使用 .....	258
9.3.1	ISE 中添加核插入器文件 .....	258
9.3.2	ChipScope Pro 核插入器特性 .....	259
9.3.3	片内逻辑分析仪的使用 .....	273
<b>第 10 章</b>	<b>可重配置技术 .....</b>	<b>300</b>
10.1	可重配置 .....	300
10.1.1	可重配置的概念 .....	300
10.1.2	可重配置的特点 .....	301
10.1.3	可重配置的典型应用 .....	302
10.1.4	细粒度部分可重配置支持 .....	306
10.1.5	ISE 软件使能部分可重配置设计 .....	306
10.1.6	管理动态设备重配置 .....	307
10.1.7	可重配置术语 .....	308
10.2	部分可重配置设计流程 .....	309

10.2.1	创建 PlanAhead 工程 .....	310
10.2.2	定义可配置分区 .....	313
10.2.3	添加可配置的模块 .....	314
10.2.4	定义可重配置的分区域 .....	315
10.2.5	运行设计规则检查 .....	317
10.2.6	创建第一个配置 .....	317
10.2.7	创建其他配置 .....	318
10.2.8	运行 PR 验证 .....	319
10.2.9	产生比特文件 .....	320
10.2.10	创建映像文件并测试 .....	320
10.3	应用时序约束并实现分析 .....	322
10.3.1	综合 HDL 文件 .....	322
10.3.2	创建 PlanAhead 工程 .....	325
10.3.3	定义可重配置分区 .....	327
10.3.4	添加可重配置模块 .....	328
10.3.5	定义可重配置分区域 .....	329
10.3.6	运行设计规则检查 .....	330
10.3.7	创建时序约束 .....	330
10.3.8	导入时序约束 .....	338
10.3.9	复位实现运行 .....	340
10.3.10	创建第一个配置 .....	340
10.3.11	创建其他配置 .....	340
10.3.12	运行 PR_验证 .....	341
10.3.13	执行时序分析 .....	342
10.3.14	生成完整的和部分的比特文件 .....	344
10.3.15	创建映像文件并测试 .....	345
<b>第 11 章</b>	<b>处理器系统可重配置实现 .....</b>	<b>347</b>
11.1	使用 ICAP 实现重配置处理器外设 .....	347
11.1.1	创建一个处理器硬件系统 .....	348
11.1.2	创建 PlanAhead 工程 .....	350
11.1.3	定义可重配置分区 .....	352
11.1.4	添加可重配置模块 .....	352
11.1.5	定义可重配置分区域 .....	354

# 目录

11.1.6	运行设计规则检查 .....	354
11.1.7	创建第一个配置 .....	354
11.1.8	创建其他配置 .....	356
11.1.9	运行 PR 验证 .....	356
11.1.10	生成比特文件 .....	357
11.1.11	创建软件工程 .....	357
11.1.12	创建完整比特流 PROM 文件和编程 BPI 存储器 .....	358
11.1.13	在 Flash 中保存部分比特流 .....	360
11.1.14	测试和验证 .....	361
11.2	<b>定制 ICAP 处理器重配置用户逻辑 .....</b>	<b>362</b>
11.2.1	创建处理器硬件系统 .....	363
11.2.2	创建顶层设计 .....	367
11.2.3	创建 PlanAhead 工程 .....	367
11.2.4	添加 ChipScope 在线逻辑分析仪 .....	369
11.2.5	定义可重配置分区 .....	371
11.2.6	添加可重配置模块 .....	371
11.2.7	定义可重配置分区区域 .....	373
11.2.8	运行设计规则检查 .....	374
11.2.9	创建第一个配置 .....	375
11.2.10	创建其他配置 .....	376
11.2.11	运行 PR 验证 .....	376
11.2.12	生成比特文件 .....	376
11.2.13	创建软件工程 .....	377
11.2.14	创建完整比特流 PROM 文件和编程 BPI .....	378
11.2.15	在 Flash 中保存部分比特流 .....	380
11.2.16	使用 ChipScope 调试系统 .....	381
11.3	<b>定制 HWICAP 重配置 FSL 外设 .....</b>	<b>386</b>
11.3.1	创建处理器硬件系统 .....	387
11.3.2	创建 PlanAhead 工程 .....	390
11.3.3	定义可重配置分区 .....	392
11.3.4	添加可重配置模块 .....	392
11.3.5	定义可重配置分区区域 .....	394
11.3.6	运行设计规则检查 .....	394
11.3.7	创建第一个配置 .....	394

11.3.8	创建其他配置 .....	395
11.3.9	运行 PR 验证 .....	396
11.3.10	生成比特文件 .....	397
11.3.11	创建软件工程 .....	397
11.3.12	创建完整比特流 PROM 文件和编程 BPI .....	398
11.3.13	在 Flash 中保存部分比特流 .....	400
11.3.14	测试设计 .....	401
11.4	<b>重配置音频滤波器</b> .....	<b>401</b>
11.4.1	创建处理器硬件系统 .....	402
11.4.2	创建 PlanAhead 工程 .....	405
11.4.3	定义可重配置分区 .....	406
11.4.4	添加可重配置模块 .....	407
11.4.5	定义可重配置分区区域 .....	408
11.4.6	运行设计规则检查 .....	408
11.4.7	创建第一个配置 .....	409
11.4.8	创建其他配置 .....	410
11.4.9	运行 PR 验证 .....	411
11.4.10	生成比特文件 .....	412
11.4.11	创建软件工程 .....	412
11.4.12	创建完整比特流 PROM 文件和编程 BPI .....	413
11.4.13	在 Flash 中保存部分比特流 .....	415
11.4.14	测试设计 .....	417
<b>第 12 章</b>	<b>基于 ISE 的数字/模拟混合系统设计</b> .....	<b>418</b>
12.1	数字/模拟混合系统的设计 .....	418
12.2	模拟/数字混合系统的设计 .....	419
12.2.1	模拟/数字混合系统设计原理 .....	419
12.2.2	串行 ADC 转换器控制时序 .....	420
12.2.3	峰值和频率检测原理 .....	422
12.2.4	FPGA 模拟/数字混合设计的实现 .....	422
12.2.5	设计综合和实现 .....	442
12.2.6	使用 ChipScope Pro 工具调试系统 .....	447
12.3	数字/模拟混合系统的设计 .....	451
12.3.1	数字/模拟混合系统设计原理 .....	451

# 目录

12.3.2	串行 DAC 转换器原理及控制时序 .....	451
12.3.3	FPGA 数字/模拟混合设计的实现 .....	452
12.3.4	设计综合和实现 .....	460
<b>第 13 章</b>	<b>基于双摄像头的 HDMI 视频系统的实现 .....</b>	<b>462</b>
13.1	VmodCAM 的工作原理 .....	462
13.1.1	数字图像传感器功能 .....	462
13.1.2	数字图像传感器的控制 .....	463
13.1.3	VHDCI 接口 .....	469
13.1.4	HDMI 的工作原理 .....	469
13.2	基于 FPGA 的双摄像头控制器的实现 .....	474
<b>第 14 章</b>	<b>基于 System Generator 的数字系统建模 .....</b>	<b>478</b>
14.1	System Generator 概述 .....	478
14.2	Xilinx Blockset 和 Xilinx Reference Blockset .....	480
14.2.1	Xilinx Blockset .....	480
14.2.2	Xilinx Reference Blockset .....	480
14.3	System Generator 设计流程的实现 .....	481
14.3.1	模型的建立 .....	482
14.3.2	模型参数的设置和仿真 .....	483
14.3.3	生成模型子系统 .....	486
14.3.4	模型 HDL 代码的生成和仿真 .....	486
14.3.5	协同仿真的配置及实现 .....	488
14.4	编译 MATLAB 到 FPGA .....	491
14.4.1	模型的设计原理 .....	491
14.4.2	MCode 模型的建立 .....	492
14.4.3	系统模型的建立 .....	493
14.4.4	系统模型参数的设置 .....	494
14.4.5	系统模型的仿真 .....	495
14.5	FIR 滤波器的设计与实现 .....	495
14.5.1	FIR 滤波器设计原理 .....	495
14.5.2	生成 FIR 滤波器系数 .....	496
14.5.3	建模和仿真 FIR 滤波器 .....	497
<b>附录</b>	<b>Nexys3 的原理图 .....</b>	<b>503</b>

本章简要介绍了可编程逻辑器件的设计流程,其主要内容包括:设计流程概述;设计输入和综合;设计实现;设计验证和 IP 核复用技术。

通过对本章内容的学习使读者初步了解 Xilinx 的可编程逻辑器件的设计流程,以便读者更好地理解本书后面的内容。

## 1.1 设计流程

图 1.1 给出了标准的 Xilinx 设计流程,从图中可以看出可编程逻辑器件标准设计流程包括以下步骤:输入设计和综合、设计实现、设计验证。

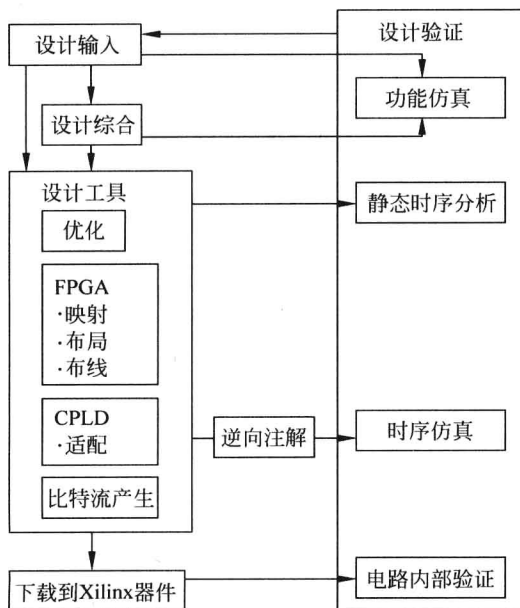


图 1.1 标准的 Xilinx 设计流程

### 1. 输入设计和综合

在设计流程的这一步中,通过原理图编辑器、硬件描述语言



(HDL)或者两种混合方法来创建自己的设计。如果使用 HDL 创建设计输入,就必须将 HDL 文件综合到一个 EDIF 文件中;如果使用 Xilinx 的综合工具(Xilinx synthesis technology, XST),就必须把 HDL 文件综合到一个 NGC 文件中。

### 2. 设计实现

通过执行特定的 Xilinx 的设计流程,就可以将设计输入和综合步骤创建的逻辑设计文件格式(如 EDIF)转换到物理文件格式中。这些物理信息存储于 FPGA 的 NGC 和 CPLD 的 VM6 文件中。再通过这些文件创建一个比特流文件,并为随后器件编程生成一个 PROM 或 EPROM 文件。

### 3. 设计验证

使用门级仿真器或者下载电缆,确定设计满足时间要求,并能正常运行。

图 1.2 给出了详细的 Xilinx FPGA 设计的软件流程图。

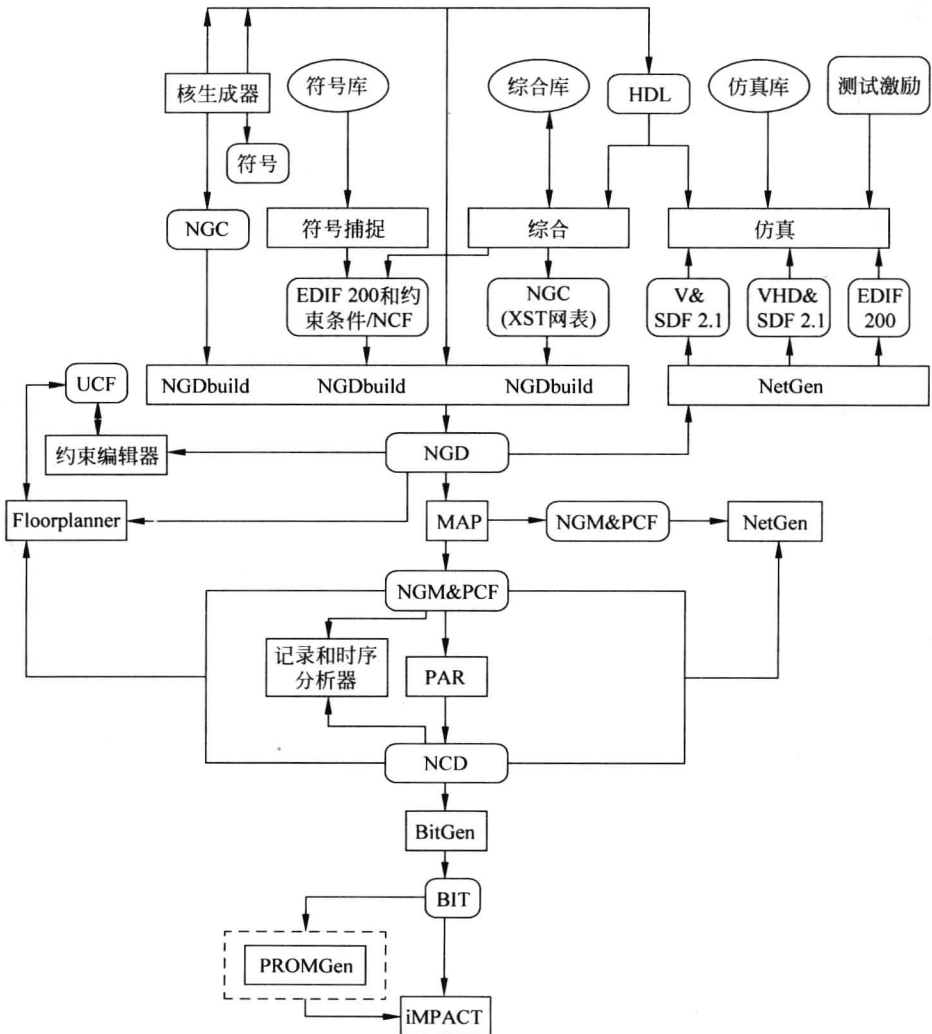


图 1.2 Xilinx FPGA 设计的软件流程图