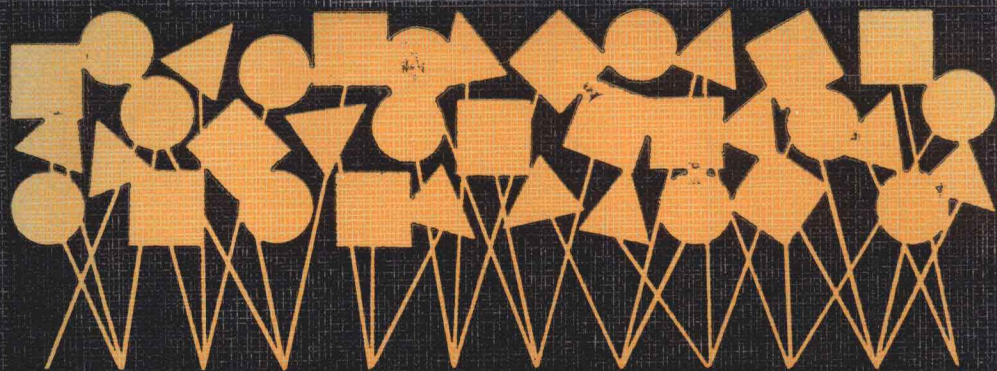




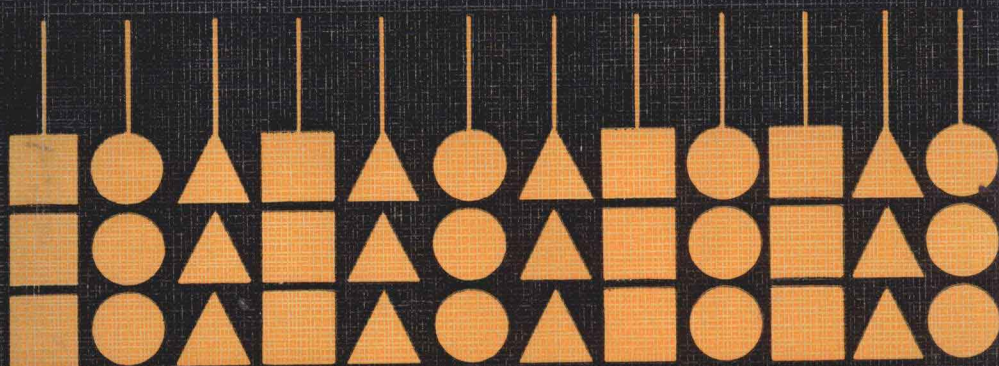
DIGITAL INTEGRATED ELECTRONICS

Taub and Schilling

數位 積體電子學

下冊

張 煌 譯



數位積體電子學

初版 (1977)

下 冊

原著者

HERBERT TAUB
DONALD SCHILLING

譯 者

張 煜

國立臺灣大學電機工程學系教授

東華書局印行



版權所有·翻印必究

中華民國六十八年三月初版

大學
用書 數位積體電子學 (全二冊)

下冊定價 新臺幣一百一十元整

(外埠酌加運費滙費)

原著者	HERBERT TAUB
譯者	DONALD SCHILLING
發行人	張煌 卓鑫 森
出版者	臺灣東華書局股份有限公司 臺北市博愛路一〇五號 電話：3819470 郵撥：6481
印刷者	合興印刷廠 臺北市大理街130巷2弄1號

行政院新聞局登記證 局版臺業字第零柒貳伍號
(68020)

前 言

麥克勞-希耳書局 (McGraw-Hill Book Company) 在 1956 年出版米耳曼 (J. Millman) 與陶勃 (H. Taub) 合著教科書“脈衝與數位電路”(Pulse and Digital Circuits)。該書從事介紹數位電子科學的完整情況報導，幾乎專門論述真空管電路。那時在實施半導體裝置及電路之前不久，該書要印出的最後時刻，將它們加入，以單獨最後一章刊出。之後十年內，半導體裝置完全取代數位電路中的真空管。爲應對這發展，前述作者於 1965 年出版代替篇“脈衝數位與交換波形”(Pulse Digital and Switching Waveforms)”。在這本較新的書篇中，半導體的極端重要已予特別重視，而真空管電路僅偶而提及。現在，又約經過十年，積體電路中的進步曾鼓勵我們編著本書。無論如何，本書寧視作爲 1965 年書刊的續篇，不該視爲一種替用品。本書作者在此從事敘述及分析組合數位電路與系統的所有基本積體電路結構方塊。按照早一本書的情形，本書作者對採用教授的體裁很費心力。我們曾努力使解釋清晰及容易瞭解，而不犧牲表達的深度與完整性。爲了這理由，我們希望本著作不僅將在教室中佔一地位，而且對要保持最近發展消息的讀者，在其自行研習計劃方面有所幫助。

本書中的教材已在紐約市立學院 (City College of New York) 二個學期課程中施教過，提供給三年級及四年級電機工程學系學生使用，而亦在二門研究生基本課程中使用過。這教材亦曾被供給貝耳實驗室 (Bell Laboratories) 技術人員與太空總署 (NASA) 及洛克希德 (Lockheed) 等處工程人員作爲二個學期課程訓練之用，以及用作喬治華盛頓大學 (George Washington University) 的進修

教育計劃中之短期課程教材。

假定讀者已經具有半導體裝置與電路的背景，我們仍然覺得第一章中的內容，複習關於交換模式中半導體裝置操作的某些特種事情，是有用的。半導體已經包含更恰當而又高度地非線性伏-安特性。半導體電路的正確分析終歸要導致相當多的數學上的困難。在第一章中，我們提出一些合宜的簡化，導出十分好而有用的概算。

第二章的第一部分討論運算放大器。這種放大器寧願要直線性工作而不願在交換模式者，不是我們正當所關心的。仍然，在許多情形中，我們發現運算放大器在數位電路外的其他方面中當作組件出現。此外，依照頗具實況的延伸，在本章的第二部分中，運算放大器導入至比較器的討論，這比較器是真正地重要交換裝置。

第三章介紹邏輯變數的觀念，布耳代數，及分析由邏輯閘所組成電路的方法。坎諾圖及它們的各種應用被提出。這章在意義上是完全這樣的，它不想太對這學科作較深度的認識，爲了瞭解全部教本所需要的邏輯電路，本章解釋其設計與分析的原理。換句話說，本章的內容必然地被包括在邏輯設計課程內，因此，讀者如已熟知這項教材，則可將本章略去。

邏輯閘的電子學是在第四章中開始。本章的第一部分論及電阻器-電晶體邏輯 (Resistor-Transistor Logic, 簡寫爲 RTL), 而第二部分是關於積體-注入邏輯 (Integrated-Injection Logic, 簡寫爲 IIL)。RTL 目前不使用於新的設計中。但是有許多理由，因爲這些理由而值得考慮這族邏輯的。最初它是廣泛可使用的有效 IC 邏輯族，而在運算中有許多裝置由它們結合。然後，再因它適當的簡易，它是一種理想的工具，經過它來介紹邏輯閘電子學中普遍重要的許多基本觀念與原理。最後，它與 IIL 有一種令人發生興趣的拓撲關係。這 IIL 爲最近發展的邏輯族之一。第五章論及二極體-電晶體邏輯 (Diode-Transistor Logic, 簡寫爲 DTL)。在 DTL 族中，我們找得高臨限邏輯 (High-Threshold Logic, 簡寫爲 HTL)，這邏

輯能推廣應用於高雜訊的環境。

第六與第七章分別討論電晶體-電晶體邏輯 (Transistor-Transistor Logic, 簡寫為 TTL) 與射極耦合邏輯 (Emitter-coupled Logic, 簡寫為 ECL)。目前這些邏輯最廣泛地應用於飽和與非飽和邏輯族。因此, 這些族的分析是相當廣泛的。特別在 ECL 中, 它證明出在傳輸線上需要重視信號傳輸的本性。讀者們如不熟悉傳輸線的傳遞, 他們在本書附錄 A 中將獲得足夠的初步知識。較為完整的討論則在前述“脈衝數位與交換波形”的第三章中刊出。金氧半 (Metal-Oxide-Semiconductor, 簡寫為 MOS) 邏輯與互補對稱金氧半 (Complementary-symmetry MOS, 簡寫為 CMOS) 邏輯將在第八章介紹。

邏輯的各種族都已經論及 (由第四章至第八章), 在第九章中, 我們開始考慮由這些閘組合的基本數位結構。第九章作深入細節研討各類正反器的運算, 另加分析許多代表性的商用產品的電子電路。我們頗費心力來澄清正反器如何被適應於勝任定時問題, 而用其他方法將發展成同步系統。記錄器與計數器將在第十章中討論。設計任何模組的同步及紋波計數器的程序予以解釋, 及產生假隨意與其他指定順序之計錄器用途亦予以介紹。

對執行算術運算的邏輯電路在第十一章中予以論及。因為乘法與除法一般係由加法 (或減法) 運算的演算法來執行, 其重點乃著眼於加法 (及減法) 的運算。我們已經較通常更注意, 解釋清楚負數如何地被表示, 及減法如何地以 1 補數及 2 補數的記號, 經過邏輯電路的使用, 以實際執行加法來完成。對於在加法中的溢位校正, 提出了飽和邏輯的使用, 像每個微處理機中心的算術邏輯單位運算一樣。半導體記憶器在第十二章中研討。我們已經省略磁芯記憶器, 此乃因為磁芯記憶器已被半導體系統所取代處理。本章包括順序記憶器, 僅讀記憶器, 以及隨意出入動態與靜態記憶器。有關於場效電晶體, CCD, 及雙極接面電晶體的記憶器電子學亦予以敘述。

在第十三與十四章中，我們論及數位與類比信號間的介面事件。第十三章介紹類比閘，類比多工器，抽樣與保持電路，積體與抄印電路等。第十四章檢驗數位至類比與類比至數位系統。所論及的各種類比至數位系統為廣泛使用中的合理典範系統。最後，在第十五章中，其定時電路——單定態與非穩定複振器的積體電路等效——予以討論。

在本教科書中所介紹的電路是其領域中所遇到的那些典型電路。並備有 400 多個家庭作業問題，其範圍自通用習題至頗有技巧的設計問題。其題解手冊可由教師向出版商處獲得。其答案本亦可索取。本書作者將樂意供給紐約市立學院目前所使用而與本教科書有關的一套實驗室實驗。

我們衷心感謝我們的同事及學生所給的襄助。我們特別感謝阿派里韋克 (T. Apelewicz) 先生準備本書題解手冊，加羅尼克 (J. Garodnick) 先生嚴格地複習及批評許多本書教材，以及泰南 (Edward Tynan) 先生與席林 (Ronald Schilling) 博士，承他們的好意而獲得摩托羅拉 (Motorola) 公司出版的許多極有用的技術文件。我們還要特別感謝魯萍 (Joy Rubin) 太太在打稿件方面所作精巧而熟練的服務。

赫伯特陶勃

(Herbert Taub)

唐納德席林

(Donald Schilling)

目 次

第九章 正反器	1
9.1 概 說	1
9.2 術 語	2
9.3 正反器作記憶元件	3
9.4 正反器使用 NAND 閘	5
9.5 無顫動開關	5
9.6 鐘控正反器	7
9.7 正反器的互相連接：主僕正反器	12
9.8 交流耦合邊緣觸發正反器	17
9.9 鐘控交流耦合正反器	21
9.10 電容儲存正反器	24
9.11 傳遞延遲正反器	25
9.12 JK 正反器	27
9.13 D 型正反器	29
9.14 RTL SR 正反器	32
9.15 DTL 正反器	33
9.16 RTL 傳遞延遲正反器	37
9.17 ECL 正反器	39
9.18 JK 交流耦合 ECL 正反器	41
9.19 廠商規格	44
9.20 TTL JK 正反器	46
9.21 MOS 正反器	49

第十章	記錄器與計數器	54
10.1	移位記錄器.....	54
10.2	時衝控制.....	57
10.3	串列-並行資料轉移	58
10.4	端廻進位.....	58
10.5	右移左移記錄器.....	59
10.6	鏈波計數器.....	60
10.7	增進計數器速率的方法	65
10.8	非二進計數器.....	68
10.9	模-3 計數器	69
10.10	模-5 計數器	72
10.11	鎖 住.....	75
10.12	模計數器的組合.....	77
10.13	其他計數器設計.....	79
10.14	遞升-遞降鏈波計數器	82
10.15	遞升-遞降同步計數器	84
10.16	環式計數器.....	85
10.17	順序產生器.....	87
第十一章	算術運算	96
11.1	二個二進數的加法.....	96
11.2	全加器.....	100
11.3	串加器.....	101
11.4	並行加法.....	103
11.5	多於二個數的加法.....	105
11.6	高速加法器：前看進位.....	108
11.7	減 法.....	112

11.8	互補數字.....	114
11.9	記錄器中帶符號數字的表示法.....	118
11.10	由變補與加法做減法.....	121
11.11	2 補數加法與減法.....	122
11.12	1 補數加法與減法.....	123
11.13	帶符號數字順序的加法與減法.....	125
11.14	飽和加法器.....	126
11.15	定 比.....	129
11.16	乘 法.....	133
11.17	除 法.....	135
11.18	算術邏輯單位.....	137

第十二章 半導體記憶器 140

12.1	記憶器種類.....	140
12.2	移位記錄器順序記憶器.....	142
12.3	MOS 記錄器級	145
12.4	二相無比率移位記錄器.....	150
12.5	四相無比率記錄器級.....	151
12.6	CMOS 記錄器級	153
12.7	靜態移位記錄器級.....	156
12.8	三相靜態記錄器級.....	158
12.9	僅讀記憶器.....	160
12.10	ROM 的製作	163
12.11	可編寫與可抹除的 ROM	165
12.12	ROM 的用途	165
12.13	雙極接面電晶體隨意出入記憶器格.....	168
12.14	其他雙極電晶體記憶器格.....	171
12.15	MOS RAM	173

12.16	RAM的組織	179
12.17	半導體記憶器積體電路切片的並行	182
12.18	電荷耦合裝置 (CCD)	186
12.19	電荷的儲存	188
12.20	電荷的轉移	190
12.21	輸入與輸出佈置	193
第十三章 類比開關		196
13.1	類比開的基本作用原理	196
13.2	開關電路的應用	198
13.3	二極體傳輸開	209
13.4	雙極接面電晶體開	225
13.5	FET開	228
13.6	運算放大器	229
13.7	用運算放大器負載的FET開	232
13.8	抽樣並保持電路	234
13.9	FET開驅動器	241
13.10	CMOS開	245
13.11	類比開關的應用	249
13.12	S/H放大器的廠商規格	252
第十四章 類比至數位變換器		254
14.1	概 說	254
14.2	抽樣定理	255
14.3	劃時多工制	258
14.4	量 化	260
14.5	衡量電阻器D/A變換器	264
14.6	$R-2R$ 梯形D/A變換器	268

14.7	D/A 變換器的開關	271
14.8	電流驅動 D/A 變換器	275
14.9	倒梯形 D/A 變換器	279
14.10	D/A 變換器的輸入與輸出格式	283
14.11	D/A 變換器的規格	287
14.12	A/D 變換器：並行比較器式	291
14.13	連續-接近變換器	298
14.14	計數變換器	304
14.15	雙斜率變換器	308
14.16	變換器種類的比較	310
14.17	使用電壓對頻率變換的變換器	312
14.18	使用電壓對時間變換的變換器	314
14.19	A/D 變換器規格	316
14.20	連接 S/H 與 A/D 變換器	317
14.21	三角調變	319
14.22	適應三角調變	324
第十五章 定時電路		327
15.1	CMOS 複振器	327
15.2	CMOS 非穩定複振器	335
15.3	使用 ECL 閘的單定態複振器	337
15.4	短定時間隔的複振器	344
15.5	積體電路 TTL 單定態複振器	346
15.6	積體電路定時器	349
問 題		354
索 引		399

第九章 正反器

9.1 概 說

圖 9.1-1 的電路表明一對相互耦合的 NOR 閘，稱之為正反器 (flip-flop)。它有一對輸入接端 S 與 R ，分別代表“定置”(set) 與“重置”(reset)。我們將使用這些符號 S 與 R ，不僅來命名接端，而且亦指定在接端上的邏輯層階。因此， $S=1$ 指示在接端 S 上正常出現相當於邏輯層階 1 的電壓。同樣地，其輸出接端與其相當的輸出邏輯層階為 Q 與 $\bar{Q}$ 。在這種記法中，照我們即將瞭解，我們顯然已經計及在正常工作中的事實，即在二輸出處的邏輯層階是互補的。

正反器的基本而最重要的特性是它有一種“記憶”(memory)。即是假定在 S 與 R 上的現在邏輯層階為 0 與 0，從檢查輸出中，可能決定在 S 與 R 上它們得到這些現在層階之前最近的邏輯層階。

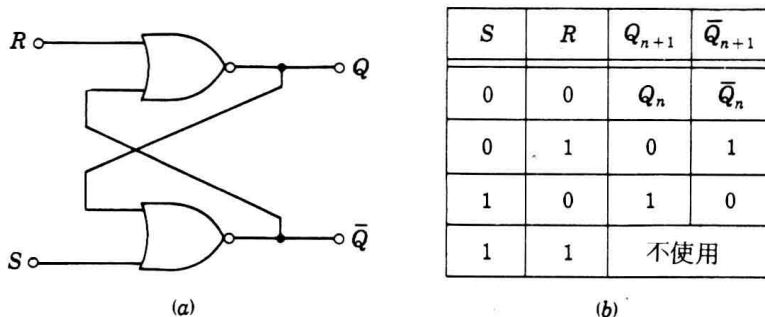


圖 9.1-1 (a) SR 正反器與 (b) 真理表。

9.2 術語

關於隨後討論起見，介紹一些有的術語是適宜的，它將有助於知道一般流行於邏輯系統設計者的態度。

在NAND與NOR閘中(AND與OR閘中亦一樣)，當它會合我們的用處如此地做，我們能任意選用一個輸入接端，而將它視作一啓用-無效輸入(enable-disable input)。因此，設想一個NOR或OR閘。若一個所選用的輸入是在邏輯**1**，其閘的輸出就與所有其他的輸入無關。這一個所選用的輸入負起閘的控制，而這閘對於任何別的輸入失去效用。[術語“禁止”(inhibit)與“無效”為同義字，常是使用的。]在另一方面言，若所選用的輸入是在邏輯**0**，它就不負擔控制，而這閘就被啓用來響應其他輸入。在NAND或AND中，當一個所選用的輸入進至邏輯**0**時，它就負起控制，而使閘失效。關於用一個輸入在邏輯**0**，其閘輸出就不能對別的輸入響應。在一方面NOR或OR閘，而另一方面NAND或AND閘，兩者之間的不同是要注意的。在第一種情形中，當控制輸入進入邏輯**1**時，它就獲得它的控制；在第二種情形中，當控制輸入進入邏輯**0**時，它才獲得它的控制。

在數位系統中，有一種一般流行的態度，視邏輯**0**作為一基本，未騷擾，未動亂，靜態的狀態，而視邏輯**1**狀態作為激發，有源，有效的狀態，即有些事情已經發生後所到達的狀態。因此，當其效果已經被產生時，所想要的是來定義其結果的狀態，作為一個相當於有些邏輯變數已經進至邏輯**1**的狀態。當“沒有什麼發生過”時，其邏輯變數是在邏輯**0**。同樣地，若由邏輯變數中的變動來產生一效果，這寧願是這樣的，所牽連的邏輯變數是如此的樣子來作定義，當邏輯變數進至邏輯**1**時，其效果就被得到。在我們討論的正反器中，我們將看到這種狀態的事例。

9.3 正反器作記憶元件

在圖 9.1-1 的正反器中， S 與 R 為控制輸入。讓我們假設 $S = R = 0$ 。在這情形中，因為包含的是 NOR 閘，其控制輸入不行施控制，我們可以不理它們。其閘輸入僅視其他二個輸入上出現的邏輯層階。於是讓我們設想 $\bar{Q} = 1$ 。在這情形中，上面一個 NOR 閘的輸出是在邏輯 0。因此，我們有 $Q = 0$ ，依照預知的，其輸出全然地是互補的。我們假定 $\bar{Q} = 1$ 者，我們現在應證明這假定是相符的。情形確實是這樣的，在下面一個閘的輸入是 $S = 0$ 與 $Q = 0$ ；因此，其閘輸出 $\bar{Q} = 1$ ，如假定者一樣。

用 $S = R = 0$ ，若我們曾更換假定作 $\bar{Q} = 0$ ，我們應求得 $Q = 1$ ；這假定像以前的假定一樣，為自己符合的。因此，雖然出現 $S = R = 0$ ，其正反器可以始終在兩種情形（常稱作為穩定狀態）中任一個，其中一個為 $Q = 0$ 與 $\bar{Q} = 1$ ，另一個為 $Q = 1$ 與 $\bar{Q} = 0$ 。我們將稱第一種狀態作為重置狀態（reset state），第二種狀態作為定置狀態（set state）。其重置狀態常稱為清除狀態（clear state），定義成在這狀態中 $Q = 0$ 。這些術語用於它們的用處者相類似。假如說案頭計算器者，當人們按下清除鈕時，全部記錄器回復至零，即是沒有什麼發生過的起始狀態，機器準備着另一個計算。因此，正反器中這狀態相當於由 $Q = 0$ 來鑑定。

若我們安排 $S = 0$ 時 $R = 1$ ，則可以證明出正反器自己能建立唯一的一個可能狀態，即 $Q = 0$ 的重置狀態。同樣地，以 $S = 1$ 與 $R = 0$ 時，正反器將自己得到 $Q = 1$ 的定置狀態。

其次，讓我們假定正反器是在 $S = 0$ 與 $R = 1$ 的重置狀態，而後在其時間姑且說 $t = T$ 時，在 R 的輸入進來 $R = 0$ 。依照圖 9.1-1 中能證明出， R 中的這變更將不會變換正反器的狀態，這是因為在 NOR 閘輸入上變更發生時其另一輸入 $\bar{Q} = 1$ 的緣故。因此，現在我們得到用 $S = R = 0$ 時，其正反器繼續在重置狀態，再從這事實中，我們能

4 數位積體電子學(下)

推論在 $t = T$ 較早一些的時間，其輸入層階是 $S = 0$ 與 $R = 1$ 。於是其正反器已經記憶 $t = T$ 之前輸入層階所具有的。換句話說，用 $S = R = 0$ 者，其正反器的狀態視輸入層階之前最近的經歷而定。同樣地，若在起始時 $S = 1$ 與 $R = 0$ ，其正反器將是在 $Q = 1$ 的定置狀態，而後若 S 將變更使 $S = R = 0$ ，其正反器將仍然在定置狀態。

最後，設想 S 與 R 兩者安置在 $S = R = 1$ 。在這種情形中，二個輸出將是在邏輯 0。(在這情形中，圖 9.1-1 輸出互補的含意是不正確。)若現在將發生二個輸入同時變更至 $S = R = 0$ 的話，其正反器的終結狀態將不能預測。關於以 $S = R = 0$ 時，有二種狀態是可能的，所能得到的狀態將不會比擲錢結果更能預示。因為有這樣的二種可能情形， $S = R = 1$ 不會被使用。

討論正反器工作的結果摘要如圖 9.1-1b 所示真理表。在表中我們打算輸入 S 與 R 以任意式樣變更它們的邏輯層階。有的時間中將 $S = 0$ 與 $R = 0$ ，有的時間在 $S = 0$ 與 $R = 1$ 等等。讓我們數計 1, 2, ..., n , $n+1$, ...。因此，在時間 $n+1$ 中當 $S = 0$ 與 $R = 1$ 時，則不管 S 與 R 在以前時間的過去經歷如何，我們將得 $Q_{n+1} = 0$ ($\bar{Q}_{n+1} = 1$)。同樣地，以 $S = 1$ 與 $R = 0$ ，我們將有 $Q_{n+1} = 1$ 。可是，若在時間 $n+1$ 中 $S = R = 0$ 時，則其正反器的狀態將和它在時間 n 中者相同。

假定在時間 n 中我們將有 $S = R = 1$ 而在時間 $n+1$ 中 $S = R = 0$ 。在此處我們想像 S 與 R 同時變更。在實際上正確的同時變更是不可能實現的。若實際上 S 將首先變更，使我們從 $S = R = 1$ 進至 $S = 0$ ， $R = 1$ ，而再至 $S = 0$ ， $R = 0$ ，我們將得 $Q_{n+1} = 0$ 。若 R 將首先變更，

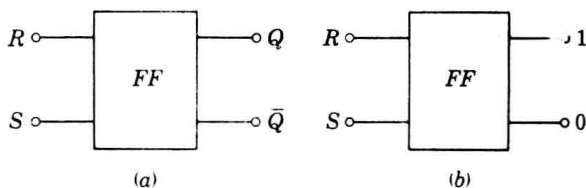


圖 9.3-1 SR 正反器的典型表示法。

則我們將有 $Q_{n+1} = 1$ 。

正反器電路元件表示法如圖 9.3-1(a) 所示。在圖 9.3-1(b) 中, 其輸出是以分別相當於 Q 與 $\overline{Q}$ 的邏輯層階 1 與 0 來標指。當然, 我們不會有意在這些輸出接端上含有固定邏輯層階的意思。其目的是示意當其定置接端被激勵, 即 $S = 1$ ($R = 0$) 時, 這標記 1 的接端是在邏輯層階 1。

9.4 正反器使用 NAND 閘

使用 NAND 閘的正反器如圖 9.4-1(a) 所示。我們能容易證明出這正反器的真理表如圖 9.4-1(b) 所示。在這情形中, $\overline{S} = \overline{R} = 0$ 使邏輯層階在二個閘的輸出上為相同 (邏輯 1) 而因此不被使用。在真理表中我們已經剔去了 Q 行, 當 Q 行可使用時, $\overline{Q}$ 行則為多餘的。因為 NAND 閘被使用, 其輸入在邏輯層階 0 行施控制。這就是當任一輸入置在邏輯 0 時, 其正反器變更狀態。因為這情形和較先前所討論的提出不相一致, 我們已經將控制輸入標記 $\overline{S}$ 與 $\overline{R}$, 而不用 S 與 R 。

無變補變數 S 與 R 不出現在圖 9.4-1(a) 的電路中。然而我們可以想像二個變數 S 與 R , $\overline{S}$ 與 $\overline{R}$ 是它們的補數, 然後再設想 $S = 1$, $R = 0$ 與 $S = 0$, $R = 1$ 分別來定置與重置這正反器。使用這二個虛的或假的變數及使用圖 9.4-1(b) 真理表中的資訊, 我們能構出圖 9.4-1(c) 的真理表, 看上去是與圖 9.1-1(b) 的真理表相同, 後者在用 NOR 閘時直接地應用着。因此, 用真的或假的變數, 圖 9.1-1(b) 的真理表成為一“通用的”表, 它應用於正反器而與所用閘的種類無關。正反器的電路表示法如圖 9.3-1(a) 或 9.4-1(d) 所示。

9.5 無顫動開關

依照正反器簡單而有用的應用, 設想圖 9.5-1 中所表示的情形。