

PCI

总线结构

付梦印 吴江 著

 中国轻工业出版社

PCI 总线结构

付梦印 吴江 著



018743

广西工学院鹿山学院图书馆



d018743

中国轻工业出版社

图书在版编目(CIP)数据

PCI 总线结构/付梦印, 吴江著. -北京: 中国轻工业出版社, 1998. 7
ISBN 7-5019-2272-1

I. P... II. ①付... ②吴... III. 总线-结构 IV. TP336

中国版本图书馆 CIP 数据核字 (98) 第 20119 号



责任编辑: 陈 宇 责任终审: 滕炎福 封面设计: 陈 宇
版式设计: 陈 宇 责任监印: 崔 科

*

出版发行: 中国轻工业出版社出版 (北京东长安街 6 号, 邮编: 100740)

印 刷: 中国人民警官大学印刷厂

经 销: 各地新华书店

版 次: 1998 年 7 月第 1 版

1998 年 7 月第 1 次印刷

开 本: 787×1092 毫米 1/16

印张: 10.75

字 数: 254 千字

印数: 1~2000

书号: ISBN 7-5019-2272-1/TP·045

定价: 20.00 元

前 言

总线的发展

众所周知,在计算机问世的将近半个世纪里,其更新换代的速度快得惊人。在这个过程中,计算机总线也是不断发展的,以与计算机的发展相适应。于是相继有了 ISA、EISA 和 MC (Micro Channel) 等总线规范。但目前社会的发展、科技的高度进步为总线提出了更高的要求。

当今的操作环境,往往要求高速的数据块传输,例如当系统包括图像适配器、动画适配器、SCSI 总线适配器以及 FDDI 网络适配器等时,这种要求尤其显得重要。就像在 Windows、OS/2 等操作系统中,需要快速的图像移动、更新,而图像都是存储于 RAM 中,因此处理器必须对显示 RAM 中的内容进行快速的数据块移动、更新,以保证在用户看来没有明显的图像延迟。对于网络适配器来说也是这样,它为了完成与服务器之间的信息文件交换,必须要实现快速的数据块传输。但实际情况是,众多需要高速数据块传输的子系统都位于扩展总线上(如图 0-1),而前面提到的三种总线的传输速率是远远不能满足这类快速要求的。例如一个典型的无线会议系统要求数据传输率为 60.516M 字节/s,而 ISA 只能实现 8.33M、EISA 为 33M、MC 为 40M,都不能满足实际要求。即使将这些子系统集成到系统板上,也就是说,位于 X 总线上(X 总线实际上是扩展总线的缓冲形式),使之与系统 DRAM 之间的数据传输可以通过 Cache 技术以全速完成,但当与扩展总线上的设备进行数据交换时,处理器仍必须进行 I/O 读写操作,并由扩展总线桥转发给扩展总线上的设备。这样,其传输率就被限制在扩展总线的传输率之内了。可见,必须实现一种新的高速总线,以满足这种实际需求。

局部总线的概念

人们为了解决图形处理中数据传输的速率问题,曾提出过“智能卡”的概念,也就是说,在图形适配器上配置 CPU 用于处理高级图像命令。这样,该 CPU 就可以直接处理图形适配器上的 VRAM,无需系统处理器的介入,减少了系统处理器与图形适配器之间的数据传输。但这种方法仅是对实际问题的回避,除此还有一个更加合理的解决办法。如我们所知,系统 CPU 本身的速率是很快的,如果能将图形适配器直接连到 CPU 的局部总线上,就可以以系统处理器的高速对图形适配器的 VRAM 和 I/O 寄存器进行处理,从而解决数据传输的速率问题。这样就有了局部总线的概念(注意这里的局部是指系统 CPU 的局部)。基于这一概念,我们可以采取三种不同形式的局部总线。

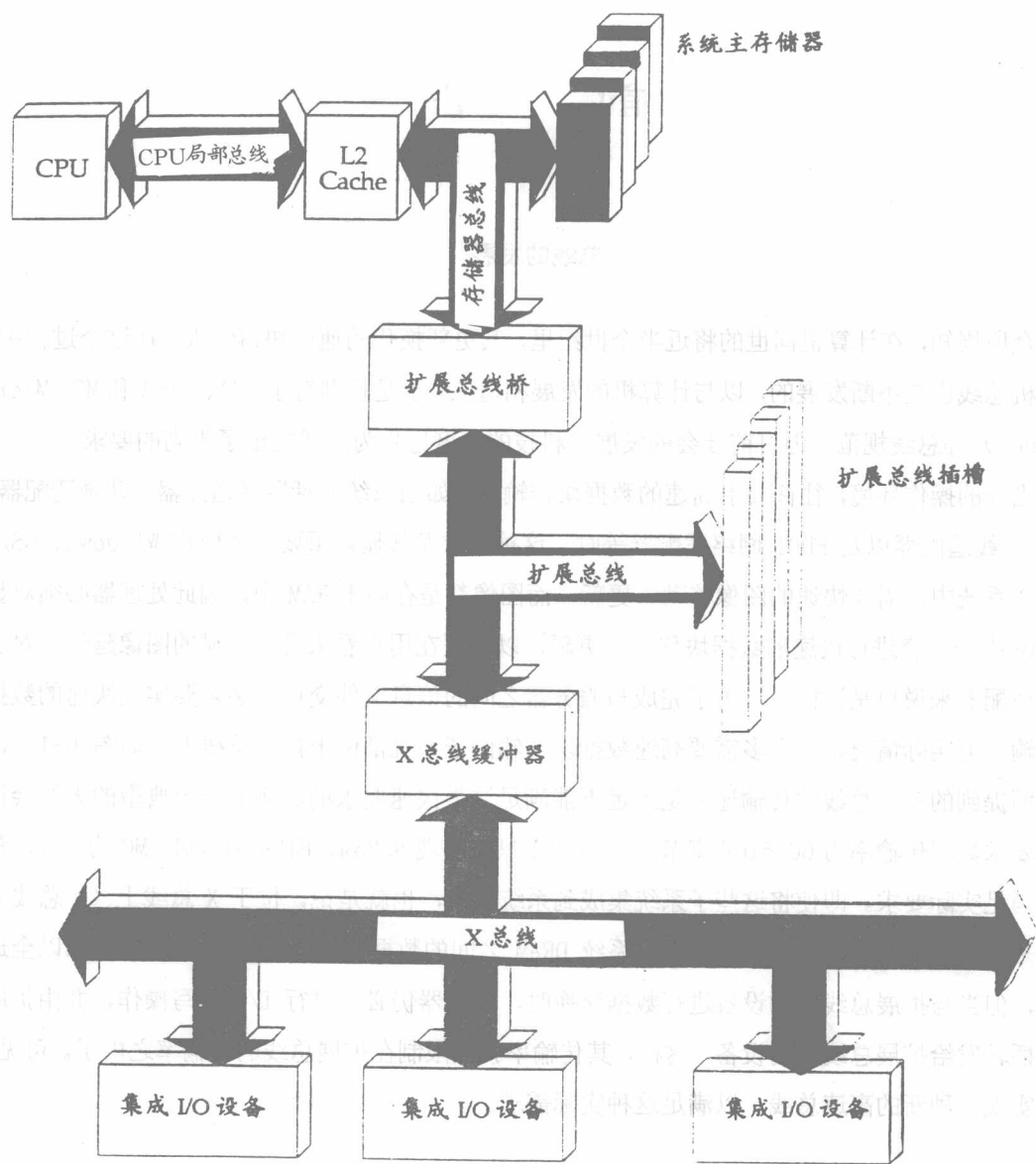


图 0-1 计算机系统的总线结构

第一种称为直接连接方式，也就是将外围设备直接连接到系统 CPU 局部总线上，从而以 CPU 的速度对外围设备进行访问。这种方式存在的问题，主要是：

- (1) 外围设备需要根据 CPU 的不同类型，进行不同的设计才能和 CPU 接口；
- (2) 由于系统 CPU 驱动能力的限制，该总线上只能挂接一个外围设备；
- (3) 由于 CPU 的复杂性，使得外围设备接口设计困难；
- (4) 当局部总线上的外围设备与系统的另外一个设备交换数据时，CPU 不能同时与其他设备交换数据，因为 CPU 的局部总线被占据了。

第二种称为缓冲连接方式，也就是将外围设备通过缓冲器连接到系统 CPU 局部总线上。虽然这种方式可以提高局部总线的驱动能力，从而可以驱动 3 个外围设备，但是和直接连接方式一样存在着 CPU 与外围设备不能同时占有局部总线的问题。

第三种称为工作站连接方式。这种结构方式是许多高性能工作站采用的结构方式。一个称为“桥”的设备和 L2 Cache 控制器集成在一起作为系统 CPU、系统 DRAM 和总线的连接枢纽。通过桥的作用，系统 CPU 或 L2 Cache 控制器对 Cache 进行访问的同时，总线上的其他设备可以对系统 DRAM 或其他总线设备进行访问，而且总线设备不必随着系统 CPU 的更新换代而变更（当然桥的设计需要针对新 CPU 重新进行）。

迄今为止，出现了两种局部总线的规范，它们是 VL 总线（VESA Local Bus）和 PCI 总线。VL 总线是由图像电子协会（Video Electronics Standard Association，简称 VESA）提出的，先后有过两个版本 V1.0 和 V2.0，后者只是在前者基础上增加了对总线主控器的支持。VL-Bus V1.0 有两个类型：A 类型和 B 类型。A 类型采用了直接连接方式，B 类型则采用缓冲连接方式。

VL 总线的特点可以概括如表 0-1 所示：

表 0-1

特点	A 类型	B 类型
成本	0	缓冲器的成本
性能	总线速率 33M 时，突发读操作为 132MB/秒，写操作 66MB/秒	同 A 类型，但缓冲器引起在每个操作中增加了一个等待状态
发展	限于 386/486	限于 386/486
扩展性	一个总线设备	三个总线设备
电气一致性	未定义	未定义
插卡	无	三个 MC 插座
自动设置	支持	支持

Intel 公司出于长远发展的考虑，在 1992 年提出了 PCI 总线的最初规范 V1.0。在 1995 年又发布了最新的 V2.1 版本——这是本书说明所采用的版本。PCI 总线标准决不是 VL 总线的翻版，而是在充分考虑了将来可能出现的问题的基础上提出的一种长远性规范。

PCI 总线采用工作站连接方式，总线上的设备可以以系统 CPU 局部总线的速度在相互之间进行数据传输，或直接访问系统 RAM，且所有这些数据操作都是突发的（即每个操作可以完成多个数据的传输）——这与 VL 总线对突发的限制形成鲜明对比，而且也正是 PCI 总线的主要优点之一。PCI 总线的主要特点可以概述如下：

- (1) PCI 设备的设计独立于系统 CPU 的类型；
- (2) 每条 PCI 总线上最多支持 256 个功能设备和 256 条子 PCI 总线；
- (3) 支持 66M 总线传输率和 64 位总线宽度；
- (4) 支持总线主控器和隐藏总线仲裁；
- (5) 支持自动设置功能；

目 录

第一章 PCI 总线概述.....	(1)
1.1 PCI 总线的基本概念和操作过程.....	(1)
1.2 PCI 总线的功能信号组.....	(4)
1.3 PCI 空间和译码器概述.....	(12)
第二章 总线仲裁.....	(14)
2.1 总线仲裁的基本过程.....	(14)
2.2 总线独占.....	(19)
2.3 访问延迟.....	(23)
第三章 操作的提前结束和错误检测.....	(25)
3.1 结束操作.....	(25)
3.2 错误检测、报告和处理.....	(38)
第四章 中断.....	(45)
4.1 PCI 中断结构.....	(45)
4.2 中断链接.....	(51)
4.3 中断共享.....	(53)
第五章 PCI 操作.....	(56)
5.1 PCI 操作概述.....	(56)
5.2 读写操作的时序.....	(58)
5.3 读写操作的寻址.....	(65)
5.4 其他 PCI 操作.....	(69)
5.5 信号线的步进驱动.....	(77)
第六章 系统的设置.....	(82)
6.1 PCI 系统的设置空间.....	(82)
6.2 系统设置的过程.....	(84)
6.3 设置寄存器的定义.....	(94)
第七章 扩展 ROM.....	(108)

7.1 ROM 的内容.....	(108)
7.2 初始化代码的执行.....	(112)
第八章 PCI 插槽和插卡规范.....	(115)
8.1 PCI 插槽.....	(115)
8.2 PCI 插卡.....	(120)
第九章 PCI BIOS.....	(126)
9.1 PCI BIOS 支持的操作环境.....	(126)
9.2 32 位 BIOS.....	(128)
9.3 调用 PCI BIOS.....	(129)
第十章 锁定的实现.....	(132)
10.1 为什么要实现锁定.....	(132)
10.2 PCI 系统的锁定机制.....	(133)
10.3 PCI 系统的资源锁定.....	(134)
第十一章 PCI 系统的高速缓存.....	(141)
11.1 高速缓存概述.....	(141)
11.2 PCI 系统中的高速缓存.....	(147)
11.3 PCI 系统中高速缓存的实现.....	(149)
附录 1 类型码定义.....	(156)
附录 2 PCI 操作规则.....	(160)

第一章

PCI 总线概述

在计算机系统中，核心是 CPU（Central Process Unit）和系统存储器 DRAM，其用来完成机器指令的执行，但它还必须通过外围设备与外界进行信息交换，或完成其他一些特定功能。PCI 总线便是一种连接形式，它将系统的处理器部分和各种外围设备连接在一起，实现其相互之间的数据传输。在一个 PCI 系统中，一个称为 HOST/PCI 桥的部件（实际上是一个芯片组）将处理器部分挂接到 PCI 总线上，其他设备则通过 PCI 接口挂到总线上。如果存在扩展总线的话，则是通过扩展总线桥挂接到总线上。这里扩展总线是相对局部总线（如 PCI 总线）而言的，主要包括 ISA、EISA、Micro Bus。一般情况下，计算机生产商已将一些常用的外围设备安置于计算机主板上，并通过主板上的走线连接到 PCI 总线上。而另外一些附加的外围设备，则是以插卡的形式，插到主板提供的 PCI 插槽中，实现与总线的连接。这种连接方式和我们熟知的 ISA 插卡等是一样的，今后我们将这一类插卡形式的外围设备称为**扩展板**。显然所有挂接到 PCI 总线上的设备必须严格按照 PCI 规范进行操作，才能成功地完成其相互之间的数据传输。

在介绍 PCI 总线规范之前，先说明几个重要的基本概念和 PCI 的基本操作过程。

1.1 PCI 总线的基本概念和操作过程

1.1.1 PCI 总线的基本概念

1、PCI 设备

PCI 设备是挂接在 PCI 总线上，并遵循 PCI 规范、利用 PCI 总线进行数据传输的所有设备的总称。按照其在数据传输中所起的作用，可分为主控器和目标；按照其功能可分为单功能设备和多功能设备。

2、主控器和目标

在 PCI 总线上,数据传输总是首先由一个设备提出,期望将其数据传给另外一个设备,或从另一个设备读取数据。我们将前一个提出进行数据操作的设备称为主控器,后一个响应数据操作的设备称为目标。

3、单功能设备和多功能设备

PCI 设备既可以作为一个元件安放在系统主板上,也可以以插卡的形式插在 PCI 插槽中。出于实际考虑,通常将多个设备集成在一个元件或插卡中,形成一组设备,我们称之为多功能 PCI 设备。注意这里各功能虽然可以是相互独立地工作,但它们与 PCI 总线的接口却只有一个。如果一个元件或插卡只完成一项功能,则称之为单功能 PCI 设备。

4、桥

顾名思义,桥是一种连接设备,或者说是一种接口设备。按照功能分,PCI 总线系统中有三种桥:

(1)HOST/PCI 桥:这种桥一般与 Cache 控制器集成为一体,用来将系统的主处理器 (HOST CPU) 和 DRAM 连接到 PCI 总线上,将主处理器和 DRAM 各种利用总线的操作转化为符合 PCI 规范的操作,转发到总线上。这种桥是 PCI 系统的核心,并随主处理器的不同而应有不同的设计。

(2)PCI/扩展总线桥:这种桥将扩展总线连接到 PCI 总线上,用来完成 PCI 总线操作和扩展总线操作之间的转化。

(3)PCI/PCI 桥:按照 PCI 规范,PCI 总线允许层次结构,即一条 PCI 总线上可以挂接另外的 PCI 总线,PCI/PCI 桥便是它们之间的接口。

5、PCI 操作

挂接在 PCI 总线上的各个设备,利用 PCI 总线完成其相互之间的信息交换,这种符合 PCI 规范的信息交换的最小单位称为 PCI 操作。PCI 规范规定了多种 PCI 操作,例如中断响应操作、特殊周期操作、存储器读/写操作和 I/O 读/写操作等。

6、中央资源和 PCI 接口

PCI 中央资源是指计算机主板上对 PCI 总线进行管理和控制,使其符合 PCI 规范的部分,它一般包括以下功能:

- 提供总线仲裁器,用来进行 PCI 总线的分配;
- 提供一些总线信号的上拉电阻,这些信号包括:所有的维持三态信号、AD[63::32]、C/BC[7::4]、PAR 和 SERR#;
- 提供检错逻辑,将采集到的有效 SERR#信号转发给主处理器;
- 在对各 PCI 设备进行设置空间访问时,产生适当的设备选择信号 IDSEL#;

- RESET 期间，负责对 REQ64#的控制；
- 提供逆向译码器。

PCI 接口是 PCI 设备内用来与 PCI 总线连接的电路部分，它使该设备有关 PCI 总线的操作符合 PCI 规范。可以说 PCI 接口是设备内部电路与 PCI 总线之间的“桥”。

7、PCI 总线周期 (PCI CLK)

这是 PCI 总线的诸多信号中的一个，总线的所有操作都必须与这个信号同步。它的频率可以在 0Hz~33MHz 之间任意变化，而且所有 PCI 设备都必须支持这种可变频率。这里对 0Hz 的支持是为了提供低功耗和静态调试功能的。一般而言，系统主板上的 PCI 设备可以只支持一种频率，但插卡上的设备必须支持可变频率，以适应不同型号的计算机平台。

1.1.2 PCI 总线的基本操作过程

PCI 总线的所有操作都是突发操作，也就是说，主控制器在提起一次操作后，只提供一次访问地址，便可以完成以此地址为开始地址的多个数据的传输。我们称主控制器提供访问地址的时段为地址阶段，称数据传输的时段为数据阶段。下面参照图 1-1 描述 PCI 总线的基本操作过程。注意在 PCI 总线中，地址和数据总线是复用的。

当一个主控制器期望进行一次操作时，首先向总线仲裁器请求总线占有权。在获得总线后，开始地址阶段：把将要传输的数据的开始地址送上 PCI 地址/数据总线，把该次操作的类型代码送上命令/字节使能总线以指定操作类型，然后将总线信号 FRAME#置为有效，表明总线上的开始地址和操作类型信号为有效。目标设备在发现 FRAME#信号有效后，将总线上的开始地址和操作类型码锁存并进行译码，根据该地址是否落入它的地址范围来决定该次操作的目标是否为它；如果是，则置 DEVSEL#（设备选通）信号有效，通知主控制器它将作为本次操作的目标参与下面的阶段。如果主控制器在预定时间内不能采得有效的 DEVSEL#信号，就会认为本次操作的目标不存在或有故障而结束本次操作，不再进行以下的数据阶段。

地址阶段持续一个 PCI CLK 时间，然后进入数据阶段。该阶段中，主控制器和目标必须分别以总线信号 IRDY#和 TRDY#向对方表明自己已做好数据传输准备，否则必须插入等待周期；而且这时数据/地址总线上的信号不再是地址，而是将传送的数据，命令/字节使能总线上的信号表明本次数据阶段的有效字节是数据总线上 4 个字节中的哪一个或哪几个。目标自动对其锁存的开始地址递增，而顺序得到各数据阶段数据的地址。

当进行到最后一个数据阶段时，主控制器撤消 FRAME#信号，表明这是最后一个数据阶段。该数据阶段完成后，主控制器撤消 IRDY#信号，结束本次数据操作，并将总线释放为空闲状态，其他主控制器可以再占有总线进行操作。

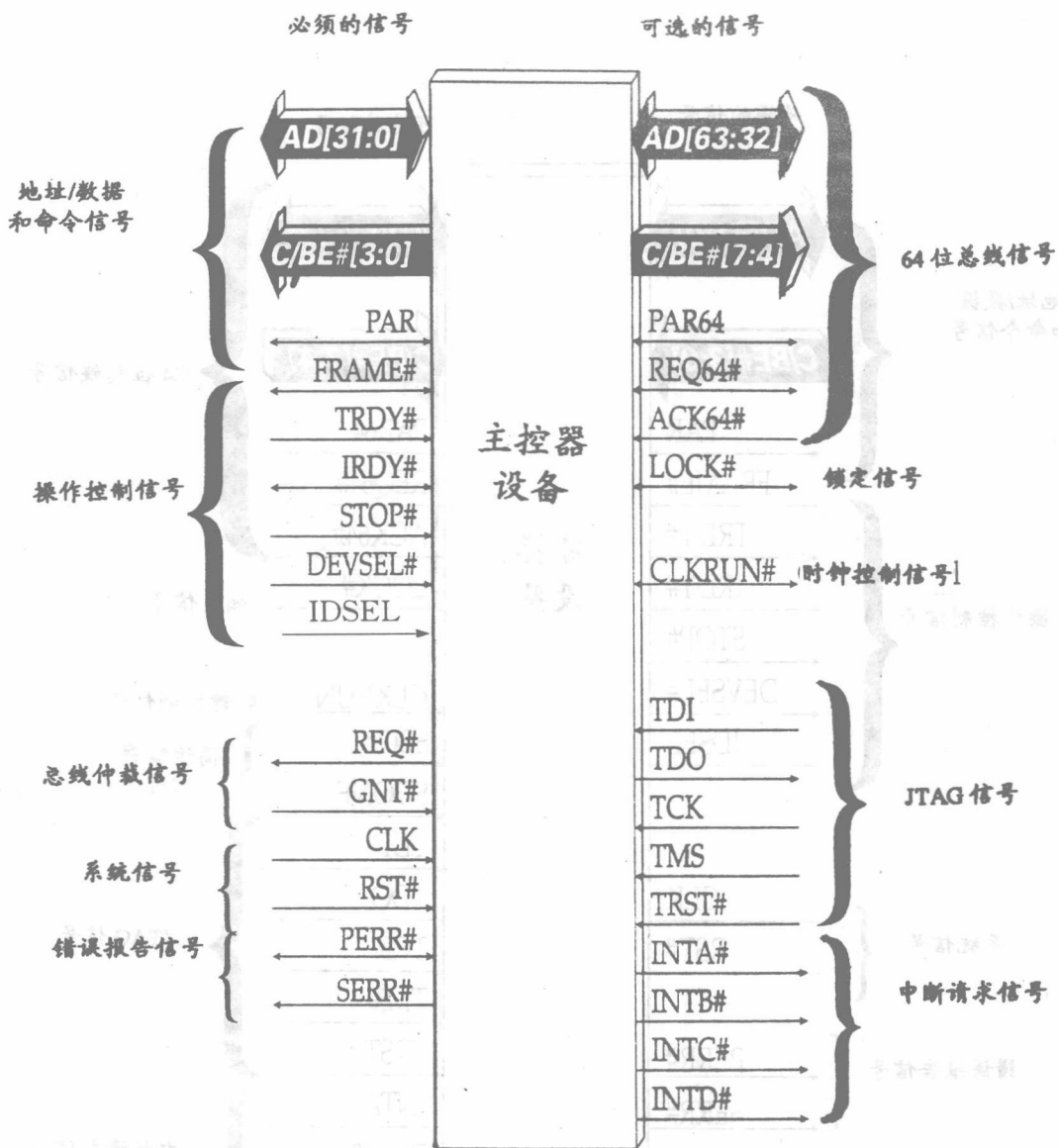


图 1-2 主控器设备的总线信号

(3) 三态信号 (Tri-state, 简称 t/s), 即信号为三态双向传输。

(4) 维持三态信号 (Sustained Tri-state, 简称 s/t/s), 这种信号是低电平有效的三态信号, 而且每一时刻只能由一个驱动源来驱动。一个驱动源在将要释放该信号时, 必须首先将它驱动为高电平 (无效电平), 并维持至少一个 PCI CLK, 然后才能释放为三态。同样, 当另外一个设备将要接管该信号时, 也必须在此信号成为三态之后一个 PCI CLK 后, 才能接管驱动该信号。一般地, 主板要为维持三态信号提供一个上拉电阻, 来保证当没有驱动源驱

动该信号时，此信号线为稳定的高电平（无效电平）。

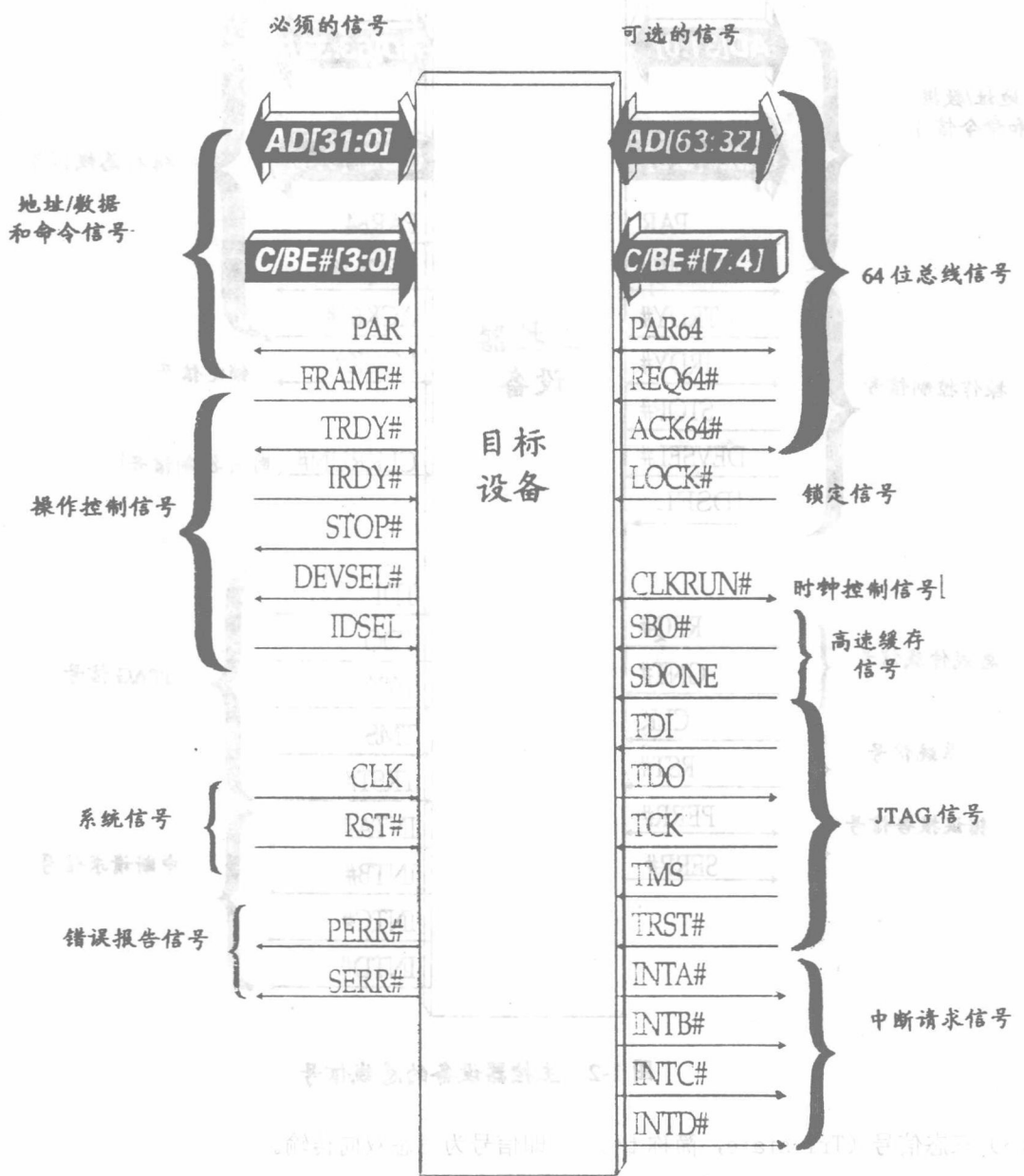


图 1-3 目标设备的总线信号

这些类型的信号可以用下图（图 1-4）来表示：

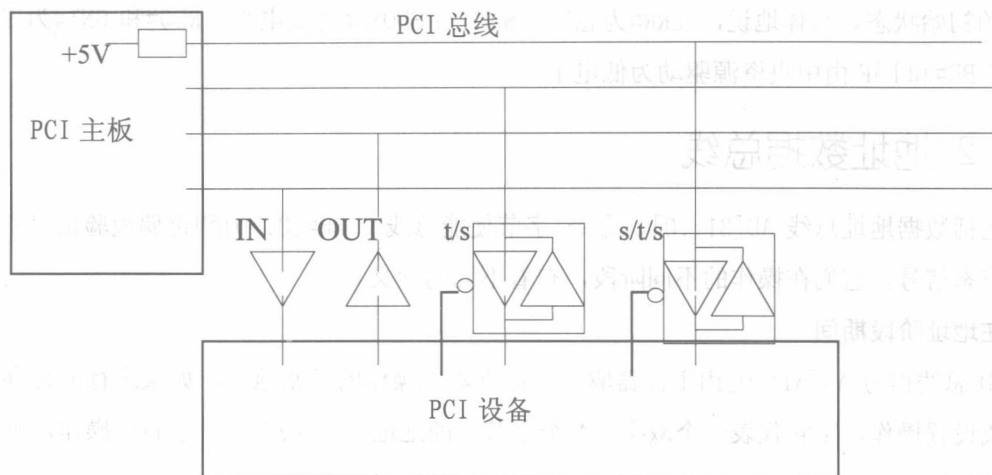


图 1-4：信号类型

下面按照各总线信号的功能，将其分组进行介绍。

1.2.1 系统信号

1. PCI 时钟信号 (PCI CLK)

CLK 信号由系统主板驱动，输出给 PCI 总线上的所有设备，用于总线所有操作的同步（包括总线仲裁操作）。除复位信号 RST#和中断信号（INTA#、INTB#、INTC#、INTD#）外，PCI 总线的所有信号都是在 CLK 信号的上升沿进行采样的，并且各种参数也都是相对于此上升沿定义的。CLK 的频率可变性在前一节已经介绍过了。

2. CLKRUN#信号

此信号是可选信号，只是为便携机规定的，在 PCI 插槽信号中未规定此信号。在便携机中，设计有一个时钟产生电路，CLKRUN#信号相对于该电路，为一维持三态信号。在时钟正常时，时钟产生电路驱动该信号为有效；当时钟将要停止或降低时，时钟产生电路将该信号置为无效（高电平），并维持一个 CLK 时间，随后将该信号驱动器置为三态，并利用一个上拉电阻保持该信号的无效。在时钟停止或降低后，时钟产生电路作为输入监视该信号，决定是否设备要求时钟的改变。当采得此信号有效时（此信号被要求时钟改变的主控器驱动为有效），说明有设备要求改变时钟（重新启动时钟或提高时钟频率），时钟产生电路便改变时钟，并重新接管驱动此信号为有效。

3. 复位信号 RST# (Reset)

当此信号有效时,所有的 PCI 接口、PCI 寄存器以及 PCI 信号线等都必须置为良性的、可知的初始状态。具体地说, SERR# 为悬空, SBO# 和 SDONE# 为低电平, REQ# 和 GNT# 为三态, AD、C/BE# 和 PAR 由中央资源驱动为低电平。

1.2.2 地址数据总线

包括数据地址总线 AD[31::0]、命令/字节使能总线 C/BE#[3::0] 和奇偶校验信号 PAR, 均为三态信号。它们在操作的不同阶段, 有着不同的含义。

1. 在地址阶段期间

AD 总线信号 AD[31::0] 由主控器驱动, 提供本次操作的开始地址。如果进行的是存储器操作或设置操作, 则它代表一个双字 (4 个字节) 的地址; 如果进行的是 I/O 操作, 则是一个字节的地址。

命令 / 字节使能总线 C/BE#[3::0] 由主控器驱动, 指定本次操作的操作类型, 这 4 位的不同编码代表不同的操作类型, 如存储器读/写操作等。

奇偶校验信号 PAR 在地址阶段结束后一个 CLK 有效, 由本次操作的主控器驱动, 或者为高电平或者为低电平, 使得它与地址阶段的 AD[31::0] 和 C/BE[3::0] 共同构成偶校验, 即这 37 个信号中高电平的个数 (或者说 “1” 的个数) 为偶数。

2. 在数据阶段期间

AD[31::0] 为数据总线, 由主控器 (写操作时) 或目标 (读操作时) 驱动, 提供本次操作所传输的数据。

命令 / 字节使能总线 C/BE#[3::0] 由主控器驱动, 指定此次操作的有效数据是当前 4 个字节中的哪一个或哪几个。如同 386、486 CPU 的结构那样, PCI 总线也将 32 位数据分成 4 个通路 (Lane) 来进行传输, 每个通路为 8 位, 一个字节。AD[7::0] 为通路 0, AD[15::8] 为通路 1, AD[23::16] 为通路 2, AD[31::24] 为通路 3。当前寻址的双字数据的 4 个字节分别由这 4 个通路来传输。而 C/BE#[3::0] 分别用来控制这 4 个通路是否有效, 其关系如下表:

表 1-1

C/BE#0	AD[7::0]
C/BE#1	AD[15::8]
C/BE#2	AD[23::16]
C/BE#3	AD[31::24]

4 位 C/BE#[3::0] 可以任意编码, 而其任意一种编码都指定了本次数据传输的数据通路, 当然也就指定了当前寻址的双字中的有效传输字节, 下面的几个例子便可以说明这种关系。