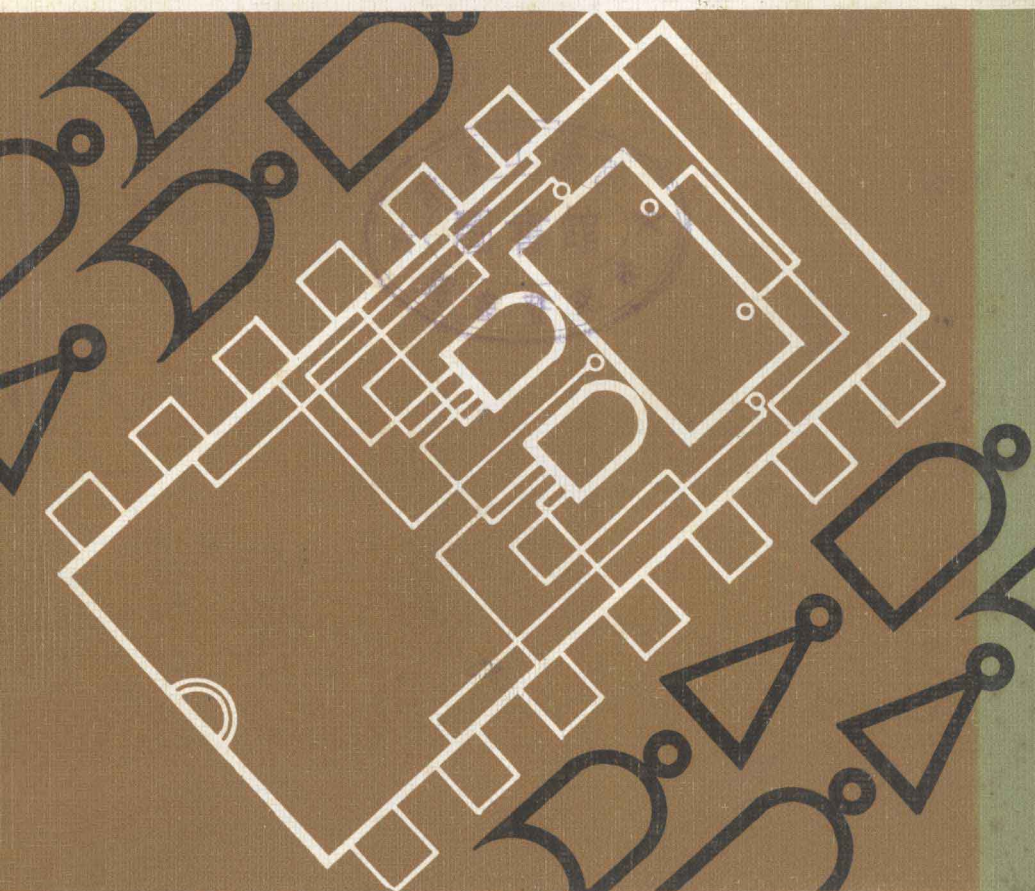


最新部訂專科課程標準  
數位系統原理叢書(2)

# 序向邏輯

任建葳 編著



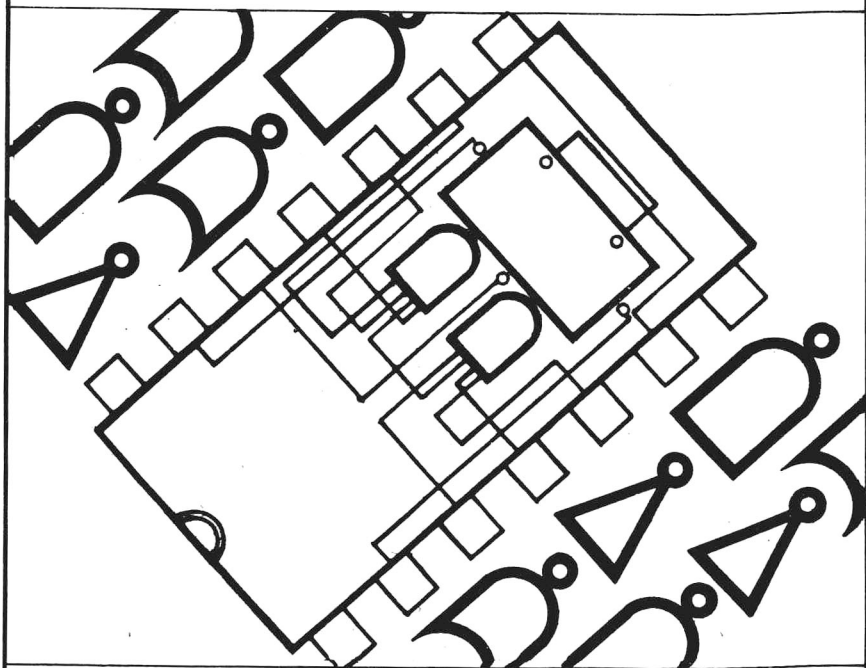
全華科技圖書公司印行

最新部訂專科課程標準

數位系統原理叢書(2)

# 序向邏輯

任建葳 編著



全華科技圖書公司印行



全華圖書 版權所有 翻印必究  
局版台業字第0223號 法律顧問：陳培豪律師

## 序向邏輯

任建葳 編著

出版者 全華科技圖書股份有限公司  
北市龍江路76巷20-2號  
電話：581-1300・564-1819  
581-1362・581-1347  
郵撥帳號：1 0 0 8 3 6  
發行者 蕭 而 鄭  
印刷者 欣瑜彩色印刷廠  
定價 新臺幣 130 元  
再版 中華民國71年7月

# 序

序向邏輯是數位系統的心臟部份，與計算機結構有密切的關係。正反器是記憶體的基本組成單元，暫存器用來作資料的儲存並與輸出／入界面有關。另外計算機的控制單元也多半是以序向邏輯來設計成（但目前有些已採用ROM軟體）。除此以外，IC計時器現在已被普遍地使用，計數器是數位儀表的主要組成元件。這些都顯示序向邏輯的重要性。

本書是數位系統原理第二冊，承接第一冊組合邏輯而來。本書編輯有下列特點：

1. 正反器是序向邏輯的基本元件，本書加強介紹各型正反器的特性與使用。
2. 正反器的兩個衍生元件，計數器和暫存器，本書也分別各以一章來詳加討論。
3. 對於脈衝式和位準式序向邏輯之設計，本書以舉實例來述說其設計的分驟及所遭遇的問題。讀者在設計時，可參考本書所列之設計步驟，逐步完成。
4. 對於雜波和競賽等問題，本書也詳加討論其產生原因與避免之道。

本書乃利用課餘之暇，編輯而成，尚盼先進不吝指正。任建茂先生（服務於電信局）對本書編輯提供許多協助，在此深致謝意。

任 建 茂      於 新 竹  
中華民國六十八年十二月

# 感謝您 全華

感謝您選購全華圖書！

希望本書能滿足您求知的慾望！

## 圖書之可貴在其量也在其質

量指圖書內容充實、質指資料新穎够水  
準，我們就是本著這個原則，竭心  
盡力地為國家科學中文化努力  
，貢獻給您這一本全是精  
華的全華圖書。

# 目 錄

## 第一章 序向邏輯導論

|                    |   |
|--------------------|---|
| 1.1 序向邏輯舉例 .....   | 2 |
| 1.2 為何要用序向電路 ..... | 3 |

## 第二章 正反器 (Flip-Flops)

|                             |    |
|-----------------------------|----|
| 2.1 樞密特觸發器和復振器 .....        | 6  |
| 2.2 RS 正反器 .....            | 11 |
| 2.3 時脈 (CLK) RS 正反器 .....   | 17 |
| 2.4 D 正反器 .....             | 22 |
| 2.5 JK 正反器 .....            | 25 |
| 2.6 T 正反器 .....             | 28 |
| 2.7 激發正反器的方法 .....          | 30 |
| 2.8 主從式正反器 .....            | 33 |
| 2.9 邊緣觸發正反器 .....           | 39 |
| 2.10 主從正反器和邊緣觸發正反器的比較 ..... | 40 |
| 2.11 電容耦合正反器 .....          | 42 |
| 2.12 正反器的動作 .....           | 43 |
| 2.13 有關正反器的其他問題 .....       | 44 |

## 第三章 計數器

|                        |    |
|------------------------|----|
| 3.1 非同步 (鏈波) 計數器 ..... | 47 |
| 3.2 任何模數的鏈波計數器 .....   | 55 |

|                          |     |
|--------------------------|-----|
| 3-3 非同步往下和上 / 下計數器 ..... | 63  |
| 3-4 鏈波計數器的傳播延遲 .....     | 66  |
| 3-5 同步（並行）計數器 .....      | 67  |
| 3-6 並行往下和上 / 下的計數器 ..... | 70  |
| 3-7 同步 / 非同步計數器 .....    | 73  |
| 3-8 計數器的解碼 .....         | 75  |
| 3-9 BCD 計數器串接 .....      | 82  |
| 3-10 可規劃的計數器 .....       | 83  |
| 3-11 計數器的設計與轉換 .....     | 85  |
| 3-12 低模數計數器設計 .....      | 97  |
| 3-13 高模數計數器設計 .....      | 100 |
| 3-14 IC 計數器的電特性 .....    | 107 |
| 3-15 計數器應用：計頻器 .....     | 108 |
| 3-16 計數器應用：數位鐘 .....     | 111 |
| 3-17 計數器的應用 .....        | 117 |

## 第四章 暫存器

|                       |     |
|-----------------------|-----|
| 4-1 移位暫存器原理 .....     | 127 |
| 4-2 移位暫存器形式 .....     | 131 |
| 4-3 右移 / 左移暫存器 .....  | 135 |
| 4-4 端迴連位 .....        | 137 |
| 4-5 移位暫存器串接 .....     | 137 |
| 4-6 數位延遲線和序向記憶體 ..... | 139 |
| 4-7 暫存器的轉移 .....      | 142 |
| 4-8 MOS 移位暫存器 .....   | 144 |
| 4-9 移位暫存計數器 .....     | 147 |
| 4-10 序列產生器 .....      | 155 |
| 4-11 串行加法器 .....      | 159 |

|                    |     |
|--------------------|-----|
| 4-12 二進制乘除法器 ..... | 162 |
| 4-13 BRM .....     | 168 |

## 第五章 脈衝和時脈序向邏輯設計

|                      |     |
|----------------------|-----|
| 5-1 米利 - 摩爾模型 .....  | 175 |
| 5-2 狀態圖 .....        | 177 |
| 5-3 轉換表 .....        | 179 |
| 5-4 狀態指定 .....       | 180 |
| 5-5 以T正反器合成電路 .....  | 181 |
| 5-6 以RS正反器合成電路 ..... | 184 |
| 5-7 以JK正反器合成電路 ..... | 187 |
| 5-8 時脈序向邏輯 .....     | 189 |
| 5-9 摩爾機器設計 .....     | 190 |
| 5-10 以D正反器合成電路 ..... | 191 |
| 5-11 機器狀態的減化 .....   | 192 |
| 5-12 未完全述明機器 .....   | 197 |

## 第六章 位準式序向邏輯設計

|                    |     |
|--------------------|-----|
| 6-1 位準式序向電路 .....  | 199 |
| 6-2 一個問題一實例 .....  | 201 |
| 6-3 流程表 .....      | 202 |
| 6-4 激勵矩陣 .....     | 204 |
| 6-5 電路設計 .....     | 205 |
| 6-6 流程表簡化 .....    | 205 |
| 6-7 合併圖 .....      | 207 |
| 6-8 競賽 .....       | 209 |
| 6-9 轉換圖和狀態指定 ..... | 211 |
| 6-10 靜態雜波 .....    | 212 |

|                 |     |
|-----------------|-----|
| 6-11 動態雜波 ..... | 215 |
| 6-12 必要雜波 ..... | 216 |
| 6-13 最後設計 ..... | 218 |

# 序向邏輯導論

在“組合邏輯”一書中，我們已經學過組合邏輯電路的分析與設計。對於一個系統的一般模型來看（如圖1-1），有  $n$  個輸入變數（或稱為激勵） $x_k(t)$ ， $k=1, 2, \dots, n$  和  $p$  個輸出變數（或稱為反應） $z_i(t)$ ， $i=1, 2, \dots, p$ ，所有的輸入，輸出變數都是時間的函數。如果在某一特定時間，輸出的當時值只與輸入的當時值有關，則我們稱此系統為組合邏輯系統。而此系統可用一組具有下列型式的方程式來描述。

$$z_i = F_i(x_1, x_2, \dots, x_n), i=1, 2, \dots, p$$

另一方面，如果輸出的當時值不僅與輸入的當時值有關，而且與此系統的過去歷史有關，則我們稱此系統為序向邏輯系統（Sequential Logic System）。



圖 1-1 系統的一般模型

## 1-1 序向邏輯舉例

為了便於區分這兩種系統，我們舉兩種型式的號碼組合鎖作為例子。圖 1-2(a)是一般常見的掛鎖，僅有一個轉盤。圖 1-2(b)是另一種常用於皮箱的號碼鎖，有數個轉輪。輸入可看作是轉盤或轉輪的定位，輸出就是鎖的狀況，開或閉。對於第一種型式的鎖（圖 1-2(a)），鎖之現在狀況（開

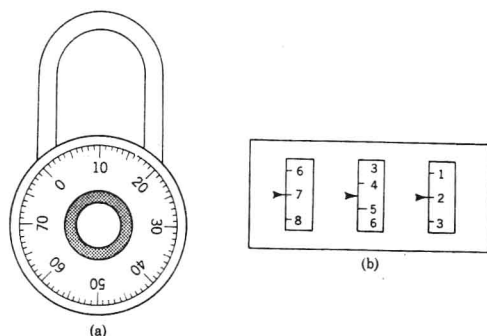


圖 1-2 號碼組合鎖之兩種型式

或閉)不僅與轉盤的現在定位有關，而且也與轉盤剛才如何定位有關。至於第二種型式的鎖，只要三個轉輪定在正確數目上，鎖就打開。而與轉輪以前如何定位，以及定位的順序都沒有關係。顯然地，單轉盤的鎖是屬於序向裝置，而多轉輪的鎖是屬於組合裝置。

電話系統是序向系統的另一個例子。假如你已經撥了電話號碼的前六個數目字，現在正要撥第七個數目字（假設電話號碼是七位數）。這第七個數目字就是系統的現在輸入，而輸出就是你所聽到的接通訊號（設沒有忙線的情形）。顯然的，電話是否接通不僅與現在輸入有關，而前面的六位數字也為同等重要。

數位計算機是序向系統的最重要例子。計算機的結構和操作大部份都是序向邏輯。我們要學過序向邏輯才能開始學計算機的結構與設計。

## 1-2 為何要用序向電路

我們已經知道一些序向邏輯系統的例子。作為一個系統設計者來說，

他的工作不單單是在“分析”，而是要選擇一個最佳的方式來合成。現在如果有一個系統要你來合成，你是選擇組合邏輯電路呢？還是選擇序向邏輯電路？讓我們以一個例子來說明。

茲以設計井字遊戲機器為例。今以甲方代表挑戰人，乙方代表機器，整個的遊戲系統如圖 1-3 所示。遊戲面板上包括一些開關，使得乙方能夠以開關表示他的動向。另外要包括一些燈示，來表示遊戲進行的現在狀態。對機器而言，它應該包含一些邏輯系統以決定甲方下過後，乙方應如何下子。

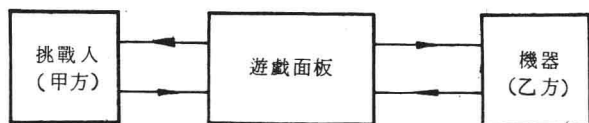


圖 1-3  
井字遊戲模型

當然，整個遊戲過程是有順序性的，但這並不意味著機器（乙方）須是一個序向裝置。它也可以是一個組合邏輯電路。現在板上共有 9 個方格，每一方格可以有 3 種狀況（空白，0，×），所以一共有  $3^9 = 19683$  個情況。如用組合邏輯方式來設計，則要考慮：對於  $3^9$  個可能輸入狀況中之任何一個輸入狀況，要從 9 種可能反應中選擇最恰當的一種。輸入數目是這麼大，可想而知此組合邏輯電路是非常龐大複雜的。

現在我們從另一個角度看這問題。假設由甲方先下，甲方有 9 種選擇，所以機器就要設計成針對這 9 種情形而做適當反應。接下來甲方有 7 種選擇，機器因此就要根據 7 種選擇而做適當的反應。這樣反覆下去直到遊戲結束。這一類的序向方式設計，將原來很大的問題分成一些小問題。我們不設計很大的組合邏輯性電路而代之以一些小電路，這些小電路是在遊戲中的某特定時間針對可能的有限幾種狀況而設計的。當遊戲進行時，乙方就按著順序一個電路接著一個電路來作決定。

這個例子本來就是屬於序向性的，因為實際上它是甲乙兩方在互相連續的作資料交換。這種序向過程用序向邏輯設計，一定會比較經濟的。除了電路的複雜性外，速度也是一項我們要考慮的因素。但這個例子，因甲方要思考下子，所以速度就不是一項重要的因素了。



# 2

## 正反器 (Flip-Flops)

數位系統中，常用的元件之一就是邏輯閘，我們已在組合邏輯書中介紹過。現在我們要談的是第二種常用元件，正反器 (flip-flop)。正反器 (簡寫 FF) 是一個邏輯電路，它有兩個輸出端，彼此以相反狀態作穩定的輸出。圖 2.1 即是一般正反器的符號，輸出端以  $Q$  和  $\bar{Q}$  表示， $Q$  輸出端稱為 FF 的正常輸出， $\bar{Q}$  是 FF 的反態輸出。當一個正反器稱為擁有高態 (1 態) 或低態 (0 態) 時，它所指的就是  $Q$  輸出端的狀態。還有一點請讀者注意，除非有特別說明否則以後我們用的都是正邏輯。

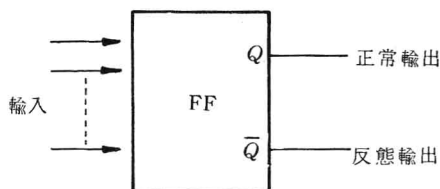


圖 2.1 一般正反器的符號

正反器有兩種可能的工作狀態：(1)  $Q=0$ ,  $\bar{Q}=1$  和 (2)  $Q=1$ ,  $\bar{Q}=0$ 。正反器有一個或一個以上的輸入，輸入可能使得正反器改變狀態。一旦某

## 6 數位系統原理(序向邏輯)

一種輸入造成 FF 進入某種狀態時，FF 就一直停留在該狀態，即使輸入信號已經終止。它就像有“記憶”的特性。電燈開關就是一個機械性正反器的例子，它有兩個穩定狀態，ON 和 OFF，輸入可以使得輸出進入二者狀態中之一種。與邏輯閘不同，正反器是屬於序向元件，它有回授電路，使得以前的輸出與現在的輸入共同決定了現在的輸出狀態。

正反器另外有許多不同的名稱，例如雙穩複振器 (bistable multivibrator)，閘門 (latch) 和二元器 (binary)。在數位系統中，正反器主要用在(1)儲存資料 (記憶體) (2)改變數據型式，例如串—並變換器 (serial-parallel converter)，亦即移位暫存器 (shift register) 之應用 (3)計數 (計數器) (4)控制其他元件。目前已有 TTL, CMOS, ECL 等邏輯族製成之正反器積體電路。

### 2-1 樞密特觸發器和複振器

在正式談到正反器之前，我們先介紹一些與正反器和一般數位系統有關的電子電路。這些電路都是讀者們在電子學課程所學過的，所以我們不

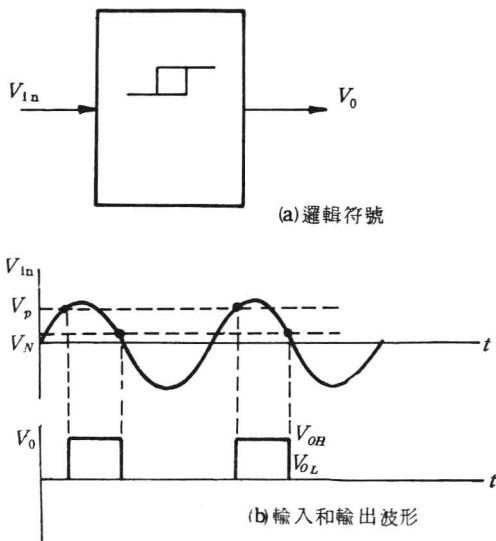


圖 2.2 樞密特觸發器

再討論電路內部工作情形，而只將其特性提出介紹。況且這些電路目前都已製成 IC，大家可將其視為數位 IC 元件，懂得如何去應用即可。

### (一) 樞密特觸發器 (Schmitt trigger)

它的輸出只有高(1)，低(0)兩種狀態，如圖 2.2 所示。當輸入電壓超過正向臨界電壓值  $V_P$  時，輸出為高階(1)。然後一直維持在高階，只有在輸入電壓降至負向臨界電壓值  $V_N$  以下時，輸出才會轉為低階(0)。此臨界電壓值在 IC 製造時即已決定，不能任意調整。樞密特觸發器最大的用途就是可以拿來做電波整形，請看下面的例題。

#### 例題 2.1

數字鐘大多以 60Hz 市電來當時間基準。說明如何用樞密特觸發器將 110V 市電轉換成可推動 CMOS 元件 ( $V_{DD}=5V$ ) 的矩形波？

解：

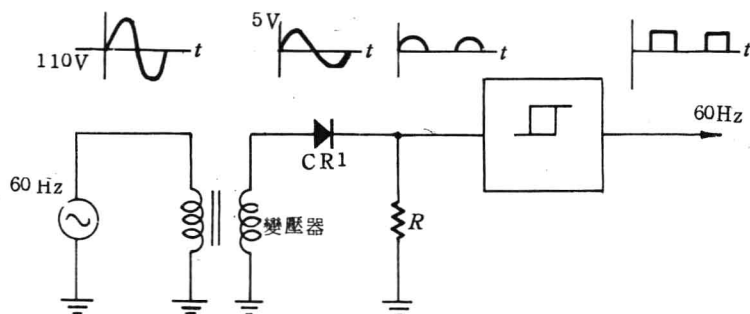


圖 2.3 用樞密特觸發器產生 60Hz 矩形波

樞密特觸發器在本例中，當做“過零偵測器”用。因每當輸入電壓超過零電壓時，它就產生一脈波輸出。

樞密特觸發器適於製成 IC 來使用，TTL 7413、7414 即是目前常用中的一種，其規格列於附錄二。

雖然 IC 邏輯樞密特觸發器的臨限電壓值不能調整。但如將其製成電壓比較器 (Voltage comparators)，比較輸入電壓，則常具有可調整的臨限電壓值。電壓比較器的應用也很廣，以下特介紹一例。

#### 例題 2.2

**脈波高度鑑別器：**物理實驗中，常要測量位於某段能階範圍內的中子。今有一轉換器，能將中子能量轉換成與其能量成正比的電壓。試設計一套邏輯系統，能偵測到位於一特定能量（電壓）的中子，得到一輸出。

**解：**用兩個電壓比較器。它們的輸入接在一起，如圖 2.4 所示。其中一個比較器的正向臨界電壓，調整至上限電壓（能量） $V_U$ 。另一個比較器的正向臨界電壓 $V_P$ ，調整至下限電壓 $V_L$ 。譬如說，上下限電壓設在 $V_U=4V$ ， $V_L=2V$ 。那麼，如輸入電壓 $V_{in}$ 為 $3V$ 時，比較器 $A$ 的輸出將為高階(1)而比較器 $B$ 輸出為低階(0)，因此 $EX-OR$  閘的輸出為高階(1)。如 $V_{in}=1V$ ，兩個比較器輸出都是低階(0)，故 $D$ 為低階(0)。如 $V_{in}=6V$ ，則兩個比較器輸出都是高階(1)，故 $D$ 為低階(0)。所

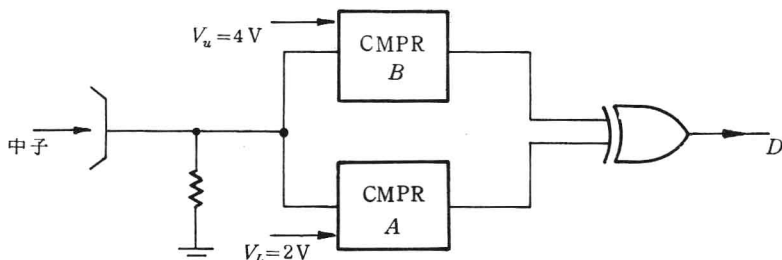


圖 2.4 脈波高度鑑別器

以說，這種裝置只有在脈波高度（振幅）位於 $V_L=2V$ 與 $V_U=4V$ 之間時，才可使輸出為 1。其他高度的脈波都被抑制。另有“脈波寬度鑑別器”，我們將之留為習題。

## (二) 單穩複振器 (Monostable multivibrator) 或單發 (One-Shots)

它有兩個輸出 $Q$ 及 $\bar{Q}$ ，如圖 2.5a 所示，每個輸出都有兩種狀態。一種是穩定態( $Q=0, \bar{Q}=1$ )；另一種是不穩態( $Q=1, \bar{Q}=0$ )。也就是說它的輸出正常是維持在穩定態；只有在觸發脈波輸入時轉為不穩態一段時間，然後又自動回復到穩定態。將圖 2.5(b)分析如下：

- (1) 只要觸發脈波前緣出現，輸出即進入不穩態一段時間 $t_p$
- (2) 輸入脈波的長短與單穩複振器的動作無關。
- (3) 當單穩複振器進入不穩態後，如此時再出現另一觸發脈波，則此脈波