

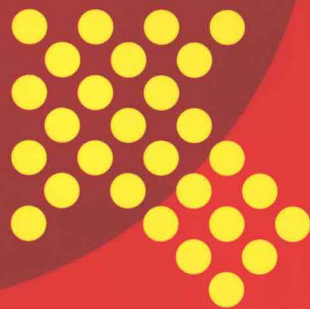
21世纪高等学校规划教材



EDA JISHU JI YINGYONG

# EDA 技术及应用

王树昆 主 编  
辛 征 焦营营 副主编



中国电力出版社  
CHINA ELECTRIC POWER PRESS

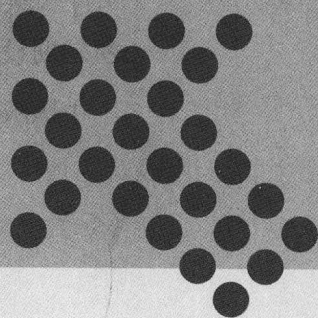
21世纪高等学校规划教材



EDA JISHU JI YINGYONG

# EDA 技术及应用

主 编	王树昆	
副主编	辛 征	焦营营
编 写	耿淑娟	赵春亮
	庄华伟	程 艳
主 审	王祖强	



中国电力出版社  
CHINA ELECTRIC POWER PRESS

## 内 容 提 要

本书为 21 世纪高等学校规划教材。

本书是根据不断发展的 EDA 技术以及作者多年的教学经验和工程实践,并在参阅大量同类教材和相关文献的基础上编写完成。本书在内容结构、基本方法、应用实例等方面的安排和取舍上,既考虑了 EDA 技术理论的系统性、完整性和简洁性,又注重了 EDA 技术教学的可操作性和实践性,尽量做到用理论指导电子设计实践,用设计实例验证理论技术,实现了理论与实践的有机结合。另外,本书每章均附有内容提要、本章小结和习题与正文配合,便于组织教学和自学。

本书主要作为普通高等学校电子信息类、计算机类、电气类等相关专业的本科生教材,也可作为高职高专与函授教材,同时可供相关工程技术人员参考。

### 图书在版编目(CIP)数据

EDA 技术及应用/王树昆主编. —北京:中国电力出版社, 2012.2

21 世纪高等学校规划教材

ISBN 978-7-5123-2727-6

I. ①E… II. ①王… III. ①电子电路—电路设计:计算机辅助设计—高等学校—教材 IV. ①TN702

中国版本图书馆 CIP 数据核字(2012)第 024598 号

中国电力出版社出版、发行

(北京市东城区北京站西街 19 号 100005 <http://www.cepp.sgcc.com.cn>)

航远印刷有限公司印刷

各地新华书店经售

\*

2012 年 6 月第一版 2012 年 6 月北京第一次印刷  
787 毫米×1092 毫米 16 开本 19.25 印张 471 千字  
定价 34.00 元

### 敬告读者

本书封面贴有防伪标签,加热后中心图案消失  
本书如有印装质量问题,我社发行部负责退换

版权专有 翻印必究

# 前 言

EDA (Electronic Design Automation, 电子设计自动化) 技术是现代电子工程领域的一门新技术, 它提供了基于计算机和微电子技术的电路系统设计方法。EDA 技术的出现和不断发展, 使得电子电路设计者仅利用硬件描述语言和 EDA 软件开发工具即可完成对系统硬件功能的实现, 极大地提高了设计效率和灵活性, 并可定做出有着自主知识产权的集成电路芯片, 从而使制造商可以快速开发出满足市场众多需求的电子产品。EDA 教学和产业界的技术推广是当今世界的一个技术热点, EDA 技术已经成为电子设计的重要工具, 正在发挥越来越重要的作用。

近年来, 为适应新世纪人才培养的需要, 培养学生利用计算机等先进设备进行电子设计自动化的能力, 众多高校纷纷加大了对 EDA 技术的教学力度和 EDA 实验室的建设, 并已陆续在本科生中增开此类课程。作者认为有必要整合和优化相关内容, 合理安排教学和训练内容, 力求学生在最短的时间里, 获得最必要和专门的设计知识。为此, 我们编写了这本教材, 希望通过本教材的学习, 可以使学生掌握 EDA 的一般方法和专用 EDA 软件的使用, 并在有限的学时内完成数字系统设计课题。

根据长期在教学和科研第一线的体会, 本书选取了目前主流之一的 Quartus II 设计工具和 Verilog HDL 硬件描述语言。Altera 公司的 Quartus II 是我国高校普遍采用的 EDA 设计工具, 其设计功能强大, 界面友好, 符合设计者使用习惯, 更新换代快, 支持最新的 FPGA 器件。Verilog HDL 语言是设计者们喜爱的语言, 较 VHDL 语言节省代码, 更接近 C 语言, 适合有 C 语言基础者学习, 并被业界广泛使用。为方便学习, 本书编写了部分实验和应用实例及开发板资料, 本书的所有程序均经上机调试验证, 许多实例给出了仿真波形, 希望能够对读者的学习有所帮助。

本书共分 6 章, 第 1 章介绍了 EDA 的基本知识; 第 2 章对大规模可编程逻辑器件的结构原理作了概括介绍; 第 3 章介绍了常用 EDA 软件开发工具 Quartus II 和仿真软件 ModelSim 的使用方法; 第 4 章通过典型实例介绍了 Verilog HDL 语法结构及设计方法; 第 5 章介绍了部分 EDA 基础实验的原理, 以进一步巩固 Quartus II 软件的使用方法和 Verilog HDL 设计方法; 第 6 章通过用 Verilog HDL 实现的设计实例, 进一步介绍 EDA 技术在测量仪器、自动控制、通信系统等技术领域的具体应用。另外, 附录 A 中详细介绍了清大超智科技有限公司的 TE3 教学与开发平台, 附录 B 中详细介绍了友晶科技股份有限公司的 DE2 教学与开发平台, 以供具有不同开发平台的读者学习和参考。

本书由王树昆任主编, 负责全书的组织、统稿和定稿, 辛征、焦营营任副主编。本书第 1、4 章由王树昆编写, 第 5、6 章由辛征编写, 第 2 章由焦营营、耿淑娟编写, 第 3 章由焦营营编写, 附录 A 由辛征、程艳编写, 附录 B 由赵春亮、庄华伟编写, 另外赵春亮还为本书的部分图表和程序调试验证付出了许多辛勤的劳动。

特别感谢本书审稿人山东大学王祖强教授认真的审阅以及对书稿的修改建议。在本书的编写过程中，参考和引用了诸多专家学者的著作和教材，已在书中的参考文献中一一列出，在此向他们表示衷心的感谢。

由于 EDA 技术发展迅速，加之作者水平有限，时间仓促，书中难免有疏漏和错误之处，殷切希望使用本教材的师生和读者给予批评指正。

编者  
2012 年 1 月

## 目 录

前言

第 1 章 EDA 技术概述	1
1.1 EDA 技术的含义	1
1.2 EDA 技术的发展	2
1.3 EDA 技术的主要内容	4
1.4 EDA 设计方法	8
1.5 EDA 设计流程	9
本章小结	12
习题	12
第 2 章 可编程逻辑器件	14
2.1 概述	14
2.2 可编程逻辑器件的组成和分类	15
2.3 可编程阵列逻辑 (PAL) 器件	17
2.4 通用逻辑阵列 (GAL) 器件	20
2.5 复杂可编程逻辑器件 (CPLD)	24
2.6 现场可编程门阵列 (FPGA) 器件	27
2.7 FPGA 和 CPLD 的差别与特点	31
2.8 可编程逻辑器件产品简介	31
本章小结	57
习题	57
第 3 章 EDA 开发软件及应用	59
3.1 Quartus II 简介	59
3.2 Quartus II 软件的安装	59
3.3 Quartus II 软件的设计流程	66
3.4 Quartus II 软件的设计应用	66
3.5 Quartus II 中可参数化宏模块介绍及应用	86
3.6 嵌入式逻辑分析仪 SignalTap II	91
3.7 仿真软件 ModelSim 及其应用	95
本章小结	102
习题	103
第 4 章 Verilog HDL 硬件描述语言	104
4.1 Verilog HDL 概述	104
4.2 Verilog HDL 语言要素	105

4.3 Verilog HDL 设计模块的基本结构 .....	117
4.4 门级建模 .....	119
4.5 数据流建模 .....	125
4.6 行为级建模 .....	127
4.7 结构建模 .....	145
4.8 任务和函数 .....	151
4.9 编译预处理 .....	155
4.10 系统任务和系统函数 .....	158
本章小结 .....	161
习题 .....	161
<b>第 5 章 EDA 基础实验 .....</b>	<b>166</b>
5.1 原理图输入法设计实验 .....	166
5.2 Verilog HDL 输入法设计实验 .....	178
5.3 硬件控制接口实验 .....	195
本章小结 .....	209
习题 .....	209
<b>第 6 章 EDA 技术的应用 .....</b>	<b>211</b>
6.1 数字钟设计 .....	211
6.2 键盘扫描及数码管显示应用 .....	220
6.3 串行接口应用 .....	230
6.4 计算器设计 .....	242
6.5 交通控制器设计 .....	247
本章小结 .....	254
习题 .....	254
附录 A TE3 教学与开发平台 .....	255
附录 B DE2 教学与开发平台 .....	276
参考文献 .....	300



## 第 1 章 EDA 技术概述

### 内 容 提 要

本章主要介绍 EDA 技术的基础知识。首先讲述了 EDA 技术的含义和发展概况, 然后介绍了 EDA 技术包含的主要内容, 最后对 EDA 一般设计方法、设计流程作了较为系统的介绍。

### 1.1 EDA 技术的含义

20 世纪末, 电子技术获得了飞速的发展, 电子产品几乎渗透到工业、生活的各个领域。电子技术发展的根基是微电子技术的进步, 即建立在半导体工艺技术的大规模集成电路加工技术的基础上。微电子技术和现代电子设计技术相互促进, 相互推动, 又相互制约。随着电子技术、仿真技术、电子工艺和设计技术与新的计算机软件技术的融合和升华, 产生了 EDA (Electronics Design Automation, 电子设计自动化) 技术。

EDA 技术是一门迅速发展起来的新技术, 涉及面广, 内容丰富, 目前尚无统一严格的定义。

从理论角度理解 EDA 技术, 可以认为 EDA 技术是以计算机和微电子技术为先导, 汇集了电路和系统、数据库、计算机图形学、图论与拓扑逻辑、计算数学、优化理论以及微电子工艺与结构学等多种学科最新成果的先进技术。

从技术应用角度理解 EDA 技术, 可以认为 EDA 技术是以大规模集成电路为设计载体, 以硬件描述语言 (Hardware Description Language, HDL) 为描述系统的主要表达方式, 以计算机为设计环境, 利用软件开发工具自动完成设计系统的编译、化简、综合、仿真、布局布线、优化, 直至完成对特定芯片的适配、映射、编程下载, 最终将设计系统集成到特定的芯片中, 如大规模可编程逻辑器件 (现场可编程门阵列 FPGA, 复杂可编程逻辑器件 CPLD) 或专用集成电路 (Application Specific Integrated Circuit, ASIC), 从而实现既定的电子电路设计功能。

利用 EDA 技术进行电子系统的设计, 具有以下几个重要的特点。

- (1) 用编写程序的方式描述设计对象的功能, 从而实现硬件设计。
- (2) 用软件方式设计的系统到硬件系统的转换, 是由有关的软件工具自动完成的。
- (3) 设计过程中可用有关软件工具进行各种仿真。
- (4) 基于可编程逻辑器件的系统可现场编程, 在线升级。
- (5) 整个系统可集成在一个芯片上, 具有体积小、功耗低、可靠性高等特点。

EDA 技术的出现和不断的发展, 使得电子电路设计者的工作仅限于利用硬件描述语言和 EDA 软件开发工具来完成对系统硬件功能的实现, 极大地提高了设计效率和灵活性, 并可定做出有着自主知识产权的集成电路芯片。



## 1.2 EDA 技术的发展

EDA 技术伴随着计算机、集成电路和电子系统设计的发展,经历了计算机辅助设计(Computer Assist Design, CAD)、计算机辅助工程设计(Computer Assist Engineering Design, CAED)和电子设计自动化(Electronic Design Automation, EDA)三个发展阶段。

### 1. 20 世纪 70 年代的计算机辅助设计(CAD)阶段

CAD 是 EDA 技术发展的早期阶段。在这个阶段,人们开始利用计算机取代手工劳动,但当时的计算机硬件功能有限,软件功能较弱,人们主要借助计算机对所设计的电路进行一些模拟和预测,辅助进行集成电路版图编辑和印制电路板 PCB(Printed Circuit Board) 布局和布线等简单的版图绘制等工作。

### 2. 20 世纪 80 年代的计算机辅助工程设计(CAED)阶段

初期阶段的硬件设计是用大量不同型号的标准芯片实现电子系统设计的。随着微电子工艺的发展,相继出现了集成上万只晶体管的微处理器、集成几十万直到上百万存储单元的随机存储器和只读存储器。此外,可编程逻辑器件 PAL 和 GAL 等一系列微结构和微电子学的研究成果都为电子系统的设计开辟了新天地。因此,可以用少数几种通用的标准芯片实现电子系统的设计。

伴随着计算机和集成电路的发展,EDA 技术进入到计算机辅助工程设计阶段。20 世纪 80 年代初推出的 EDA 工具以逻辑模拟、定时分析、故障仿真、自动布局和布线为核心,重点解决电路设计完成之前的功能检测等问题。利用这些工具,设计师能在产品制作之前预知产品的功能与性能,能生成产品制造文件,在设计阶段就可以进行产品性能的分析。

如果说 20 世纪 70 年代的自动布局布线的 CAD 工具代替了设计工作中绘图的重复劳动,那么 20 世纪 80 年代出现的具有自动综合能力的 CAE 工具则代替了设计师的部分工作,对保证电子系统的设计,制造出最佳的电子产品起着关键的作用。到了 20 世纪 80 年代后期,EDA 工具已经可以进行设计描述、综合与优化和设计结果验证。CAED 阶段的 EDA 工具不仅为成功开发电子产品创造了有利条件,而且为高级设计人员的创造性劳动提供了方便。但是,大部分从原理图出发的 EDA 工具仍然不能适应复杂电子系统的设计要求,并且具体化的元件图形制约着优化设计。

### 3. 20 世纪 90 年代电子设计自动化(EDA)阶段

20 世纪 90 年代以来,微电子工艺有了惊人的发展,工艺水平已经达到了深亚微米级,甚至达到超深亚微米级。在一个芯片上已经可以集成上百万乃至上亿只晶体管,芯片速度达到了 Gb/s 量级,百万门以上的可编程逻辑器件陆续面世。为了满足千差万别的系统用户提出的设计要求,最好的办法是由用户自己设计芯片,让他们把想设计的电路直接设计在自己的专用芯片上。这个阶段发展起来的 EDA 工具,目的是在设计前期将原来设计师从事的许多高层次设计工作改由工具来完成,如可以将用户要求转换为设计技术规范,有效地处理可用的设计资源与理想的设计目标之间的矛盾,按具体的硬件、软件和算法分解设计等,设计师可以通过一些简单标准化的设计过程,利用微电子厂家提供的设计库来完成数万门 FPGA/CPLD 和集成系统的设计与验证。这样,就对电子设计的工具提出了更高的要求,提供了广阔的发展空间,促进了 EDA 技术的形成。特别是世界各 EDA 公司致力于推出兼容各种硬件实现方

案和支持标准硬件描述语言的 EDA 工具软件，这都有效地将 EDA 技术推向成熟。

伴随着微电子技术的进步，集成电路设计在不断地向超大规模、极低功耗和超高速的方向发展。微电子技术的发展，特别是可编程逻辑器件的发展，使得微电子厂家可以为用户提供各种规模的可编程逻辑器件，以软件编程和程序下载的方式实现电子系统功能。由于专用集成电路（Application Specific Integrated Circuit, ASIC）的设计成本不断降低，在功能上，现代的集成电路已能实现单片电子系统 SoC（System on a Chip，即片上系统）的功能。

20 世纪 90 年代，设计师逐步从使用硬件转向设计硬件，从单个电子产品开发转向系统级电子产品开发 SoC。因此，EDA 工具是以系统级设计为核心，包括系统行为级描述与结构综合、系统仿真与测试验证、系统划分与指标分配、系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具不仅具有电子系统设计的能力，而且能提供独立于工艺和厂家的系统级设计能力，具有高级抽象的设计构思手段。例如，提供方框图、状态图和流程图的编辑能力，具有适合层次描述和混合信号描述的硬件描述语言（如 VHDL 和 Verilog HDL），同时含有各种工艺的标准元件库。只有具备上述功能的 EDA 工具，才可能使电子系统工程师在不熟悉各种半导体工艺的情况下，完成电子系统的设计。这个阶段的 EDA 技术的主要特征如下。

(1) 采用硬件描述语言，形成了被 IEEE 采纳的两种标准化硬件描述语言 VHDL 和 Verilog HDL，支持不同层次的描述，使设计描述更加规范化，便于传递、交流、保存、修改以及重复利用。

(2) 采用高层次综合，设计层次提高到系统级，或称为行为级，并划分为逻辑综合与测试综合。逻辑综合是对不同层次的设计描述进行转换，将电子系统的描述转换到底层硬件描述及其物理实现，使设计人员不必了解具体的逻辑器件，从而把精力集中到系统行为建模上。测试综合是以设计结果的性能，如时序特性、功耗、电磁辐射和负载能力等为目的的测试方法，保证系统设计结果稳定、可靠地工作。

(3) 建立并行设计框架，使用统一的数据库管理系统与完善的通信管理系统，共享数据库和知识库，并行进行设计。

(4) 软硬件协调设计与验证，弥补了软件设计与硬件设计之间的空隙，保证了软硬件之间的同步协调工作。

进入 21 世纪后，EDA 技术得到了更大的发展，突出表现在以下几个方面。

(1) 软硬件 IP（Intellectual Property，知识产权）核在电子行业的产业领域、技术领域和设计应用领域得到进一步确认，使电子设计成果以自主知识产权的方式得以明确表达和确认成为可能。

(2) 电子技术全方位纳入 EDA 技术领域，除了日益成熟的数字技术外，传统的电路系统设计建模理念发生了重大的变化，比如软件无线电技术的崛起、模拟电路系统硬件描述表达和设计的标准化、系统可编程模拟器件的出现、数字信号处理和图像处理的全硬件实施方案的普遍接受、软硬件技术的进一步融合等。

(3) EDA 技术使得电子领域各学科的界限更加模糊，更加互为包容，比如模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA、行为与结构等。

(4) 基于 EDA 工具的 ASIC 设计标准单元已涵盖大规模电子系统及 IP 核模块。

(5) SoC 高效低成本设计技术的成熟。

(6) SOPC (System on Programmable Chip, 可编程片上系统) 技术的出现。

在现代高新电子产品的设计和生产中, 微电子技术和现代电子设计技术是相互促进、相互推动又相互制约的两个技术环节, 严格地说, EDA 技术应该是微电子技术和现代电子设计技术的结合。微电子技术代表了物理层在广度和深度上硬件电路实现的发展, 现代电子设计技术则反映了现代先进的电子理论、电子技术、仿真技术、设计工艺和设计技术与最新的计算机软件技术有机的融合和升华。未来的 EDA 技术将向广度和深度两个方向发展, EDA 技术将会超越电子设计的范畴进入其他领域, 随着基于 EDA 技术的 SoC (单片系统) 设计技术的发展, 软、硬核功能库的建立, 以及基于硬件描述语言所谓自顶向下设计理念的确立, EDA 技术已经成为电子设计的重要工具, 无论是设计芯片还是设计系统, 如果没有 EDA 工具的支持, 都将是难以完成的。EDA 工具已经成为现代电路设计工程师的重要武器, 正在发挥越来越重要的作用。

### 1.3 EDA 技术的主要内容

EDA 技术研究的对象是电子设计的全过程, 有系统级、电路级和物理级各个层次的设计; 涉及的电子系统从低频、高频到微波, 从线性到非线性, 从模拟到数字, 从通用集成电路到专用集成电路构造的电子系统, 因此 EDA 技术研究的范畴相当广泛。

从 FPGA/CPLD 开发与应用角度看, EDA 技术主要包含以下四个方面的内容:

- (1) 大规模可编程逻辑器件;
- (2) 硬件描述语言;
- (3) 软件开发工具;
- (4) 实验开发系统。

其中, 可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体; 硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段; 软件开发工具是利用 EDA 技术进行电子系统设计的智能化、自动化设计工具; 实验开发系统是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。

下面对 EDA 技术的主要内容进行概要的介绍。

#### 1.3.1 大规模可编程逻辑器件

数字集成电路在不断地进行更新换代, 它由早期的电子管、晶体管、中小规模集成电路发展到超大规模集成电路 (VLSIC) 以及许多具有特定功能的专用集成电路。但是, 随着微电子技术的发展, 设计与制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师们更愿意自己设计专用集成电路 (ASIC) 芯片, 而且希望 ASIC 的设计周期尽可能短, 最好是在实验室里就能设计出合适的 ASIC 芯片, 并且立即投入实际应用之中。

可编程逻辑器件 (Programmable Logic Device, PLD) 是近十几年才发展起来的一种新型集成电路, 它是一种由用户编程以实现某种逻辑功能的逻辑器件。其中应用最广泛的是现场可编程门阵列 (Field Programmable Gate Arrays, FPGA) 和复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD)。国际上生产 FPGA/CPLD 的主流公司, 并且在国内占有市场份额较大的主要是 Altera、Xilinx、Lattice 三家公司。

FPGA/CPLD 的集成规模非常大, 可利用先进的 EDA 工具进行电子系统设计和产品开发。

由于开发工具的通用性、设计语言的标准化以及设计过程几乎与所用器件的硬件结构没有关系，因而设计开发的各类逻辑功能块具有很好的兼容性和可移植性。它几乎可用于任何型号和规模的 FPGA/CPLD 中，使得产品设计效率大幅度提高，并可以在很短时间内完成十分复杂的系统设计。

目前，大规模的 FPGA/CPLD 大多都支持可编程片上系统，与 CPU 或 DSP Core 的有机结合使 FPGA/CPLD 已经不仅仅是传统的硬件电路设计手段，而且逐步升华为系统级实现工具。

### 1.3.2 硬件描述语言

硬件描述语言（Hardware Description Language, HDL）是用文本形式来描述数字电路的内部结构和信号连接关系的一类语言，类似于一般的计算机高级语言的语言形式和结构形式。设计者可以利用 HDL 描述设计的电路，然后利用 EDA 工具进行综合和仿真，形成目标文件，最后用 ASIC 或 FPGA/PLD 等器件实现。

硬件描述语言的发展至今约有 20 多年的历史，并成功地应用于数字系统开发的各个阶段，如设计、综合、仿真和验证等，使设计过程达到高度自动化。

硬件描述语言 HDL 是 EDA 技术的重要组成部分，目前常用的 HDL 主要有 VHDL（Very High Speed Integrated Circuit Hardware Description Language）、Verilog HDL、System Verilog 和 System C。其中 Verilog、VHDL 是最具代表性的和使用最广泛的，在 EDA 设计中使用最多，也得到几乎所有的主流 EDA 工具的支持，并被 IEEE 采纳为 IEEE 标准。而 System Verilog 和 System C 这两种 HDL 语言还处于完善过程中，主要加强了系统验证方面的功能。Verilog HDL 是电子设计主流的硬件描述语言之一，本书将重点介绍它的编程方法和使用技术。

### 1.3.3 软件开发工具

全球提供 EDA 软件工具的厂商有近百家之多，可以分为两大类：一类是 EDA 专业软件公司开发的通用 EDA 软件工具；另一类是半导体器件厂商为了销售公司产品开发的专用 EDA 软件工具。

通用 EDA 软件工具具有良好的标准化和兼容性，与半导体器件厂商无关。通用 EDA 软件工具对硬件环境要求高，一般运行平台要求是工作站，操作系统要求也比较高，EDA 软件工具资金投入较大。这些工具功能齐全、性能优良，涉及电子设计的许多领域，如数字电路设计、模拟电路设计、数模混合设计、通信系统设计、自动测试向量生成、仿真综合、仿真验证、电磁兼容设计、IC 设计等。比较著名的 EDA 专业软件公司有 Cadence Design Systems、Mentor Graphics Corp.、Synopsys Inc.、Altium Ltd. 等。

国际上比较著名的可编程逻辑器件（Programmable Logic Device, PLD）厂商有 Altera、Xilinx、Lattice、Actel、AMD 等，这些器件公司开发的 EDA 软件工具，一般只能用来开发本公司的 PLD 器件，操作和使用相对简单，对硬件环境要求低，运行平台是 PC 和 Window 或 Windows NT 操作系统，EDA 软件工具资金投入少。由于器件厂商是针对自己的器件开发的 EDA 软件工具，因此可以针对公司器件的特点进行优化设计，在资源利用率、降低功耗、改善性能等方面都有优势，非常适合科研、产品开发和学校教学使用。

这里只介绍目前器件厂商提供的针对可编程逻辑器件开发的几类专用软件工具。

#### 一、Altera 公司软件工具

Altera 公司提供的软件工具有 MAX+plus II 和 Quartus II，这些工具易学易用，具有可视

化界面、集成化设计环境和具有工业标准的 EDA 工具接口等。设计人员无需精通器件的内部原理,只需运用自己熟悉的输入方法进行设计,通过 MAX+plus II 和 Quartus II 把设计转换为器件下载所需要的文件格式。

### 1. MAX+plus II

MAX+plus II 是 Multiple Array Matrix and Programmable Logic Use System 的缩写,是 Altera 公司推出的一个使用非常广泛的 EDA 软件工具,它支持原理图、VHDL 和 Verilog 语言的文本文件,以及波形图与 EDIF 等格式的文件作为设计输入,并支持这些文件的任意混合设计。它具有门级仿真器,可以进行功能仿真和时序仿真,能够产生精确的仿真结果。在适配之后,MAX+plus II 生成供时序仿真用的 EDIF、VHDL 和 Verilog 三种不同格式的网表文件。MAX+plus II 界面友好,使用便捷,被誉为业界最易学易用的 EDA 软件之一,并支持主流的第三方 EDA 工具,支持 Altera 公司的部分 PLD 系列器件的编程,如 Classic 系列、MAX 系列、FLEX 系列和 ACEX1K 系列等。

### 2. Quartus II

Quartus II 是 Altera 公司新近推出的 EDA 软件工具,支持 APEX 系列、Cyclone 系列、Stratix 系列和 Excalibur 系列等新型系列器件的开发。为了缩短开发周期、降低设计复杂程度,Quartus II 除含有 MAX+plus II 已有的功能外,还集成了逻辑分析仪、EDA 工具集成、多过程支持、增强重编译和 IP 集成等特性。同样,Quartus II 具备仿真功能,也支持第三方的仿真工具,如 ModelSim。此外,Quartus II 为 Altera DSP 开发包进行系统模型设计提供了集成综合环境,它与 MATLAB 和 DSP Builder 结合可以进行基于 FPGA 的 DSP 系统开发,是 DSP 硬件系统实现的关键 EDA 工具。Quartus II 还可与 SOPC Builder 结合,实现 SOPC 系统开发。

## 二、Xilinx 公司软件工具

Xilinx 公司的 EDA 软件工具伴随 FPGA/CPLD 技术的发展不断升级,由早期的软件开发系统 Foundation 逐步发展到目前的 ISE。根据 PLD 的设计流程,这些集成软件开发系统包含设计流程所需要的各种开发工具,如项目管理器、设计输入工具、逻辑综合工具、布局布线工具、下载编程工具以及 IP Core 产生工具等。其中 IP Core 产生工具为设计者提供了方便,设计者可以非常方便地调用和编辑已有的 IP 资源,缩短设计周期,避免复杂设计中的重复劳动。这些 IP 资源有标准总线接口模块、数学运算模块、通信及网络模块、数字信号处理器模块以及各种存储器模块等。

### 1. Foundation

Foundation 开发系统主要的构成工具有项目管理器、设计输入工具、设计实现工具、设计仿真工具、编程工具和辅助设计工具。

(1) 项目管理器:管理所有在设计过程中相关的 Foundation 系列工具的应用程序。

(2) 设计输入工具:硬件描述语言编辑器、状态机编辑器和原理图编辑器分别支持硬件描述语言、状态机和原理图三种输入文件,便于具有不同设计习惯的设计者选择适合自己的设计输入工具,也可以采用混合输入方式进行设计。

(3) 设计实现工具:包括综合和实现,实现设计电路的逻辑综合、布局布线等,生成网表文件。

(4) 设计仿真工具:含有功能仿真、延时仿真和时序分析器,利用综合时产生的网表文

件对设计进行功能验证,初步验证设计思路的正确性;在选定器件作完布局布线后进行带延时特性的仿真分析,真实反映实现后的结果是否达到设计目标。

(5) 编程工具:经过综合实现后,会产生一个可以直接下载到芯片的下载文件,通过编程工具,将下载文件下载到芯片中,最后将芯片装到实际系统中进行实际调试。

(6) 辅助设计工具:有输出网表、原理图模块库管理器、命令历史表、实现模板管理器、硬件语言转换器等辅助工具。

## 2. ISE

ISE (Integrated Software Environment) 是集成系统环境的简称,是 Xilinx 公司提供的一套完整的软件工具集,利用 ISE 可以完成 FPGA/CPLD 开发过程中的全部操作。

Xilinx 公司提供的集成系统环境 ISE,从设计输入、仿真、编译、综合、布局布线直至下载都在 ISE 集成环境下完成。ISE 系列的版本仍在继续升级,ISE 新版本支持 Xilinx 公司所有的主流产品和最新器件,如 Spartan<sup>TM</sup>-II/III、Virtex<sup>TM</sup>-E/-II/-II PRO、Cool Runner-II、CPLD (9500、9500XL、9500XV) 等系列器件,不再支持逐渐被淘汰的器件,如 Spartan XL、XC4000E/EX/L/XL/XLA 等器件,如果仍需使用这些器件,必须安装 ISE4 等早期版本的软件工具。

ISE 工具分为输入工具、仿真工具、综合工具、实现工具和辅助工具等几大类。

ISE 集成的输入工具主要有硬件描述语言编辑器、状态机编辑器、原理图编辑器和 IP 核生成器,接受各种方式的输入文件。

ISE 集成的仿真工具有测试激励生成器和 Model Tech. 公司出品的 ModelSim 仿真软件。

ISE 集成的综合工具主要有 Xilinx 公司的 XST (Xilinx Synthesis Technology), Synplcity 公司的 Synplify, Mentor 的子公司 Exemplar Logic 提供的 Leonardo Spectrum 等。

ISE 集成的实现工具主要有约束编辑器、引脚与区域约束编辑器、时序分析器、FPGA 底层编辑器、芯片观察器和布局规划器。

ISE 集成的辅助工具主要有配置器、功耗仿真器、在线逻辑分析仪和模块化设计等工具。

## 三、Lattice 公司软件工具

Lattice 公司已经推出了第四代 ispLSI 器件的开发软件 ispDesign EXPERT。在推出 ispDesign EXPERT 开发软件之前,先后有 pDS 开发软件、ispSynario System 开发软件和 ispEXPERT System 开发软件,这些开发软件均可对 Lattice 公司的所有 ispLSI 器件进行设计文件的输入、编译、仿真、下载。

### 1. ispSynario System

ispSynario System 开发软件是一套完整的对 ispLSI 器件进行编程的设计系统,以美国 Data I/O 公司推出的、运行于 Window 环境下的通用电子设计软件平台为基础。ispSynario System 开发软件由设计输入、设计适配和下载编程等几部分组成。

ispSynado System 开发软件支持原理图输入、硬件描述语言 ABEL 输入以及混合输入方式,设计输入灵活简便。

设计输入完成后,利用 pDS+Synario 适配软件执行多层次的逻辑综合,自动完成布局与布线,生成编程所需要的标准 JEDEC 文件;还可以针对不同性能和器件利用率的需求进行优化设计。

菊花链下载软件可同时对多个 ISP 器件进行菊花链编程。

## 2. ispEXPERT System

ispEXPERT System 开发软件能够完成 Lattice 公司全系列 PLD 器件的设计输入、编译、仿真和下载编程。

ispEXPERT System 开发软件中有原理图、ABEL、Verilog HDL 和 VHDL 硬件描述语言输入、混合输入方式、波形显示和波形编辑等功能。

ispEXPERT System 开发软件的项目管理器，将各种源文件联系在一起，以跟踪软件运行流程。ispEXPERT 编译器是该软件的核心，能够进行逻辑优化，将逻辑映射到器件中去，自动完成布局布线，生成编程所需要的熔丝图文件。

## 3. ispDesign EXPERT

ispDesign EXPERT 是一套完整的 EDA 软件。ispDesign EXPERT 开发系统能完成 Lattice 公司全系列 PLD 器件的设计输入、编译、功能仿真、时序仿真、优化和编程。

ispDesign EXPERT 开发系统的设计输入可采用原理图、ABEL-HDL、VHDL 和 Verilog HDL 等多种输入方式，同时具有波形分析、时序分析、下载编程等功能。

### 1.3.4 实验开发系统

实验开发系统提供芯片下载电路及 EDA 实验/开发的外围资源（类似于用于单片机开发的仿真器），供硬件验证用。实验开发系统一般包括以下几种模块。

- (1) 实验或开发所需的各类基本信号发生模块，包括时钟、脉冲、高低电平等。
- (2) FPGA/CPLD 输出信息显示模块，包括数码显示、发光管显示、声响指示等。
- (3) 监控程序模块，提供“电路重构软配置”。
- (4) 目标芯片适配座以及上面的 FPGA/CPLD 目标芯片和编程下载电路。

本教材附录 A 中详细介绍了清大超智科技有限公司的 TE3 教学与开发平台，附录 B 中详细介绍了友晶科技股份有限公司的 DE2 教学与开发平台。

## 1.4 EDA 设计方法

传统的电子系统设计技术通常是自底向上的，即首先确定构成系统的最底层的电路模块或元件的结构和功能，然后根据主系统的功能要求，将它们组合成更大的功能块，使它们的结构和功能满足高层系统的要求，以此流程，逐步向上递推，直至完成整个目标系统的设计，最后搭建电路、检测测试，直到符合设计要求。

对于一般的数字系统的设计，如果采用自底向上的设计方法，必须首先根据设计者的要求决定使用什么器件类别和规格，比如 74 系列的器件、某种门电路、某种 RAM 和 ROM、某类单片机以及某些专用功能芯片等；然后根据设计要求构成多个具体功能模块，如信号系统模块、数据采集控制模块、信号处理模块、数据存储和数据交换的接口模块等，直至最后利用这些功能模块完成整个系统的设计。在这个过程中，任何一级发生问题，通常都不得不返工重来。

可见自底向上的设计方法的特点是必须首先关注并致力于解决系统最底层硬件的可获得性，以及它们的功能特性方面的诸多细节问题；而且要始终顾及具体目标器件的技术细节。在这个设计过程中的任一时刻，最底层目标器件的更换，或某些技术参数不满足总体要求，或缺货，或由于市场竞争的变化，临时提出降低系统成本，提高运行速度等不可预测的外部



因素，都将可能使前面的工作前功尽弃，工作又得重新开始。

实际上，在某些情况下，自底向上的设计方法是一种低效、低可靠性、费时费力且成本高昂的设计方法。设计中，设计者没有灵活性可言，搭成的系统需要的芯片种类多且数量大。

可编程逻辑器件 PLD (Programmable Logic Device) 的出现，改变了传统的数字系统设计方法，其设计方法为 EDA 技术开创了广阔的发展空间。可编程逻辑器件 PLD 是一种半定制集成电路，在其内部集成了大量的门和触发器等基本逻辑电路，用户通过编程来改变 PLD 内部电路的逻辑关系或连线，就可以得到需要的设计电路。

采用 PLD 进行的数字系统设计，是基于芯片的设计，它跟传统的设计有本质的不同。它可以直接通过设计 PLD 芯片来实现数字系统功能，将原来由电路板设计完成的大部分工作放在 PLD 芯片的设计中进行。这种新的设计方法能够由设计者根据实际情况和要求定义器件的内部逻辑关系和引脚，这样可通过芯片设计实现多种数字系统功能，同时由于引脚定义的灵活性，不但大大减轻了系统设计的工作量和难度，提高了工作效率，而且还可以减少芯片数量，缩小系统体积，降低能源消耗，提高系统的稳定性和可靠性。

硬件描述语言 HDL 给 PLD 和数字系统的设计带来了新的设计方法和理念，产生了目前最常用的并称之为“自顶向下”(Top-Down)的设计方法。自顶向下的设计采用功能分割的方法，从顶向下逐次将设计内容进行分块和细化。在设计过程中采用层次化和模块化方式，将使系统设计变得简捷和方便。层次化设计是分层次、分模块地进行设计描述。描述器件总功能的模块放在最上层，称为顶层设计；描述器件某一部分功能的模块放在下层，称为底层设计；底层模块还可以再向下分层，直至最后完成硬件电子系统电路的整体设计。

所以，对于目标器件为 FPGA/CPLD 的 VHDL 和 Verilog HDL 设计，其设计方法采用自顶向下的设计方法。因为，自顶向下设计方法的有效应用必须基于功能强大的 EDA 工具、具备集系统描述、行为描述和结构描述功能为一体的 VHDL 和 Verilog HDL，以及先进的 ASIC 制造工艺和 FPGA/CPLD 开发技术。这些工具和先进的开发技术，在目前都已经开始运用，并且逐步走向成熟。所以，自顶向下的设计方法已经是目前 EDA 的首选设计方法，是 ASIC 或 FPGA 开发的主要设计手段。

应用 VHDL 和 Verilog HDL 进行自上而下的设计，就是使用 VHDL 和 Verilog HDL 模型在所有综合级别上对硬件设计进行说明、建模和仿真测试。自顶向下的设计方法能使系统被分解为各个模块的集合之后，对设计的每个独立模块指派不同的工作小组。这些小组可以工作在不同地点，甚至可以分属不同的单位，最后将不同的模块集成为最终的系统模型，并对其综合测试和评价。

## 1.5 EDA 设计流程

利用 EDA 技术进行电路设计的大部分工作是在 EDA 软件工作平台上进行的，EDA 设计流程如图 1.5.1 所示。EDA 设计流程包括设计准备、设计输入、设计处理和器件编程四个步骤，以及相应的功能仿真、时序仿真和器件测试三个设计验证过程。

### 1.5.1 设计准备

设计准备是设计者在进行设计之前，依据任务要求，确定系统所要完成的功能及复杂程度，器件资源的利用、成本等所要做的准备工作，如进行方案论证、系统设计和器件选择等。

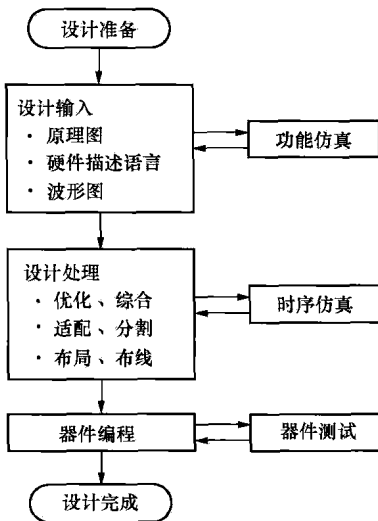


图 1.5.1 EDA 设计流程

## 1.5.2 设计输入

设计输入是将设计的电路或系统按照 EDA 开发软件要求的某种形式表示出来，并送入计算机的过程。设计输入有多种方式，包括采用硬件描述语言（如 VHDL 和 Verilog HDL）进行设计的文本输入方式、图形输入方式和波形输入方式，或者采用文本、图形两者混合的设计输入方式；也可以采用自顶向下（Top-Down）的层次结构设计方法，将多个输入文件合并成一个设计文件等。

### 1. 图形输入方式

图形输入也称为原理图输入，这是一种最直接的设计输入方式。它使用软件系统提供的元器件库及各种符号和连线画出设计电路的原理图，形成图形输入文件。这种方式大多用在对系统及各部分电路很熟悉的情况，或在系统对时间特性要求较高的场合。优点是容易实现仿真，便于信号的观察和电路的调整。

### 2. 文本输入方式

文本输入是采用硬件描述语言进行电路设计的方式。硬件描述语言有普通硬件描述语言和行为描述语言，它们用文本方式描述设计和输入。普通硬件描述语言有 AHDL、CUPL 等，它们支持逻辑方程、真值表、状态机等逻辑表达方式。行为描述语言是目前常用的高层硬件描述语言，有 VHDL、Verilog HDL 等，它们具有很强的逻辑描述和仿真功能，可实现与工艺无关的编程与设计，可以使设计者在系统设计、逻辑验证阶段就确立方案的可行性，而且输入效率高，在不同的设计输入库之间转换也非常方便。运用 VHDL 或 Verilog HDL 硬件描述语言进行设计已是当前的趋势。

### 3. 波形输入方式

波形输入主要用于建立和编辑波形设计文件及输入仿真向量和功能测试向量。波形设计输入适合用于时序逻辑和有重复性的逻辑函数，系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。

波形编辑功能还允许设计者对波形进行复制、剪切、粘贴、重复与伸展，从而可以用内部节点、触发器和状态机建立设计文件，并将波形进行组合，显示各种进制的状态值。还可以通过将一组波形重叠到另一组波形上，对两组仿真结果进行比较。

## 1.5.3 设计处理

设计处理是 EDA 设计中的核心环节。在设计处理阶段，编译软件对设计输入文件进行逻辑化简、综合和优化，并适当地用一片或多片器件自动地进行适配，最后产生编程用的编程文件。设计处理主要包括设计编译和检查、设计优化和综合、适配和分割、布局和布线、生成编程数据文件等过程。

### 1. 设计编译和检查

设计输入完成之后，立即进行编译。在编译过程中，首先进行语法检验，如检查原理图的信号线有无漏接、信号有无双重来源、文本输入文件中关键词有无错误等各种语法错误，并及时标出错误的类型及位置，供设计者修改。然后进行设计规则检验，检查总的设计有无