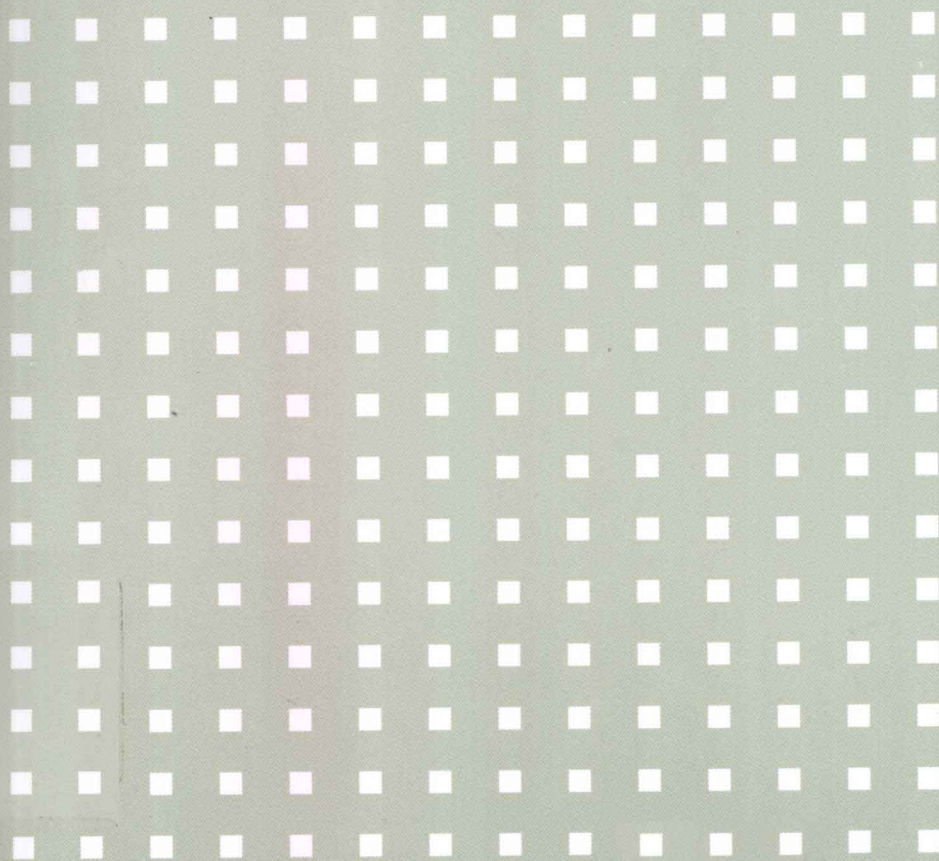


计算机硬件技术基础

颜志英 杨东勇 编著



高等学校计算机专业教材精选·计算机硬件

计算机硬件技术基础

颜志英 杨东勇 编著

清华大学出版社
北京

内 容 简 介

本书按照普通高等教育“十二五”国家级重点教材编写的要求,从高等院校理工类专业本科教育对计算机应用能力培养的要求出发,以 Intel 80X86 PC 为基础,系统地介绍计算机的指令系统和硬件技术。全书共分为 9 章,主要讨论微型计算机系统的组成与结构、汇编语言程序设计基础、BIOS 和 DOS 系统功能调用、存储器的组织结构、输入/输出接口与中断、接口技术及其应用、计算机总线技术、人机交互接口与多媒体技术以及计算机硬件技术综合应用与实验等内容。

本书的内容阐述深入浅出,实例丰富,应用性很强。在内容的编排上,本书注重微型计算机的系统性、基础性,并把原理和应用技术结合在一起,以便于学生学习和实践。

本书可以作为高等院校理工科各类专业本科学生的教材,也可以作为工程技术人员的学习和参考书,还适合初学者自学使用。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

计算机硬件技术基础/颜志英,杨东勇编著. —北京:清华大学出版社,2011.11
(高等学校计算机专业教材精选·计算机硬件)

ISBN 978-7-302-26359-3

I. ①计… II. ①颜… ②杨… III. ①硬件—高等学校—教材 IV. ①TP303

中国版本图书馆 CIP 数据核字(2011)第 156650 号

责任编辑:白立军 王冰飞

责任校对:白 蕾

责任印制:何 芊

出版发行:清华大学出版社

地 址:北京清华大学学研大厦 A 座

<http://www.tup.com.cn>

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62795954,jsjic@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015,zhiliang@tup.tsinghua.edu.cn

印 刷 者:北京富博印刷有限公司

装 订 者:北京市密云县京文制本装订厂

经 销:全国新华书店

开 本:185×260

印 张:23.75

字 数:589 千字

版 次:2011 年 11 月第 1 版

印 次:2011 年 11 月第 1 次印刷

印 数:1~3000

定 价:39.00 元

产品编号:040026-01

出版说明

我国高等学校计算机教育近年来迅猛发展,应用所学计算机知识解决实际问题,已经成为当代大学生的必备能力。

社会的进步与经济的发展对高等学校计算机教育的质量提出了更高、更新的要求。现在,很多高等学校都在积极探索符合自身特点的教学模式,涌现出一大批非常优秀的精品课程。

为了适应社会的需求,满足计算机教育的发展需要,清华大学出版社在进行了大量调查研究的基础上,组织编写了《高等学校计算机专业教材精选》。本套教材从全国各高校的优秀计算机教材中精挑细选了一批很有代表性且特色鲜明的计算机精品教材,把作者们对各自所授计算机课程的独特理解和先进经验推荐给全国师生。

本系列教材特点如下。

(1) 编写目的明确。本套教材主要面向广大高校的计算机专业学生,使学生通过本套教材,学习计算机科学与技术方面的基本理论和基本知识,接受应用计算机解决实际问题的基本训练。

(2) 注重编写理念。本套教材作者群为各高校相应课程的主讲教师,有一定经验积累,且编写思路清晰,有独特的教学思路和指导思想,其教学经验具有推广价值。本套教材中不乏各类精品课配套教材,并力图努力把不同学校的教学特点反映到每本教材中。

(3) 理论知识与实践相结合。本套教材贯彻从实践中来到实践中去的原则,书中的许多必须掌握的理论都将结合实例来讲,同时注重培养学生分析问题、解决问题的能力,满足社会用人要求。

(4) 易教易用,合理适当。本套教材编写时注意结合教学实际的课时数,把握教材的篇幅。同时,对一些知识点按教育部教学指导委员会的最新精神进行合理取舍与难易控制。

(5) 注重教材的立体化配套。大多数教材都将配套教师用课件、习题及其解答,学生上机实验指导、教学网站等辅助教学资源,方便教学。

随着本套教材陆续出版,我们相信它能够得到广大读者的认可和支持,为我国计算机教材建设及计算机教学水平的提高,为计算机教育事业的发展做出应有的贡献。

清华大学出版社

前 言

本书按照普通高等教育“十二五”国家级重点教材编写的要求,从高等院校理工类专业本科教育对计算机应用能力培养的要求出发,在广泛吸取了国家级各种同类重点教材的基础上,对计算机系统的结构进行优化组织。全书以 Intel 80X86 PC 为基础,系统地介绍了计算机的指令系统和硬件技术。在汇编语言程序设计的基础上,加强了计算机接口技术与应用设计的相关内容。本书是作者长期从事计算机应用方面教学与科研的积累和经验之结晶,着重从计算机应用的角度来组织教材及其教学,力求做到既有一定的理论基础,又能运用理论知识解决实际问题,既掌握一定的微型计算机的先进技术,又着眼于当前的计算机应用。本书对所讲解的每一个主题都有大量的案例加以说明,便于教师备课。

全书共分为 9 章,主要介绍了微型计算机系统的组成与结构、汇编语言程序设计基础、BIOS 和 DOS 系统功能调用、存储器的组织结构、输入/输出接口与中断、接口技术及其应用、计算机总线技术、人机交互接口与多媒体技术以及计算机硬件技术综合应用与实验等内容。

本书语言表述精练、流畅、清晰,内容阐述深入浅出,通俗易懂,实例丰富,应用性很强。作者始终认为,微型计算机硬件技术的学习不仅仅是有关硬件基本原理的分析与设计,也应该包括软件的设计与编程。所以,在内容的编排上,注重微型计算机的系统性、基础性,并把原理和应用技术结合在一起,非常适合学生阅读、学习和上机实践。书中每一个章节的内容都配以大量的例题加以说明,各章后面都附有适量的思考题和练习题,以便于学生对重点知识的理解、巩固与掌握。学习本书时应该多做实验,包括汇编语言程序设计的实验和接口电路及其控制程序的实验,才能掌握微型计算机硬件系统开发设计的思想与方法。

建议本书的授课时间为 64 学时。

本书可以作为高等院校理工科各类专业本科学生的教材,也可以作为工程技术人员的学习和参考书,还适合初学者自学使用。

由于微型计算机技术的发展日新月异,作者的水平有限,书中可能会有不妥之处,希望读者给予批评指正。

颜志英

2011 年 7 月于浙江工业大学

目 录

第 1 章 微型计算机系统的组成与结构	1
1.1 微型计算机系统的硬件结构	1
1.2 微处理器的基本结构	3
1.2.1 8086 微处理器的基本结构	4
1.2.2 Pentium CPU 内部结构	8
1.2.3 80x86 的 32 位寄存器结构	9
1.3 存储器	12
1.4 输入输出系统与 I/O 组织	12
1.5 计算机总线	13
1.6 计算机系统的主要性能指标	15
1.7 微型计算机的发展	16
1.8 微型计算机的新技术	19
1.8.1 中断技术	20
1.8.2 指令流水线技术	20
1.8.3 cache 技术	21
1.8.4 虚拟存储技术	22
1.8.5 多媒体技术	22
思考与练习	23
第 2 章 汇编语言程序设计基础	25
2.1 80x86 处理器的寻址方式	25
2.1.1 固定寻址	26
2.1.2 立即数寻址	26
2.1.3 寄存器寻址	27
2.1.4 存储器寻址	28
2.1.5 I/O 端口寻址	36
2.1.6 与转移地址有关的寻址	38
2.2 80x86 处理器的指令系统	42
2.2.1 数据传送类指令	42
2.2.2 地址传送类指令	52
2.2.3 算术运算类指令	55
2.2.4 逻辑运算类指令	69
2.2.5 串操作类指令	75

2.2.6 控制转移类指令	83
2.2.7 处理器控制类指令	91
2.3 汇编语言程序格式及其上机过程	92
2.3.1 汇编语言的特性	92
2.3.2 伪指令	95
2.3.3 汇编语言源程序举例	101
2.3.4 汇编语言程序的调试	104
2.3.5 汇编语言程序设计的上机过程	112
2.4 汇编语言程序设计方法	114
2.4.1 表格与数组的处理	114
2.4.2 子程序设计	120
2.4.3 模块化程序设计	121
2.4.4 汇编语言程序设计举例	124
2.4.5 高级语言与汇编语言的程序接口	132
思考与练习	139
第3章 BIOS 和 DOS 系统功能调用	146
3.1 系统资源的软接口	146
3.2 BIOS 和 DOS 系统功能调用方法	146
3.3 常用的 DOS 功能调用	147
3.4 常用的 BIOS 功能调用	151
3.5 利用 DOS 和 BIOS 功能调用进行汇编语言程序设计	158
思考与练习	161
第4章 存储器的组织结构	163
4.1 存储器概述	163
4.2 半导体存储器	164
4.3 存储器接口的设计	167
4.4 新型半导体存储器	173
4.5 虚拟存储器	176
4.5.1 段式虚拟存储器	176
4.5.2 页式虚拟存储器	177
4.5.3 段页式虚拟存储器	178
思考与练习	179
第5章 输入/输出接口与中断	181
5.1 输入/输出接口的基本概念	181
5.1.1 计算机的输入/输出系统	181
5.1.2 接口电路的基本功能与结构	182

5.1.3	CPU 与外设之间的数据传送控制方式	183
5.1.4	输入/输出端口的编址方式与译码	185
5.2	中断与中断控制	186
5.2.1	中断的基本概念	186
5.2.2	中断处理的过程	194
5.2.3	外部中断源的管理	196
5.3	可编程中断控制器 Intel 8259	198
5.3.1	Intel 8259 外部特性与内部结构	198
5.3.2	Intel 8259 的工作过程	200
5.3.3	Intel 8259 的应用编程	200
5.3.4	中断服务程序设计	211
	思考与练习	215
第 6 章	接口技术及其应用	218
6.1	定时/计数控制技术	218
6.1.1	Intel 8254 的外部特性与内部结构	218
6.1.2	Intel 8254 控制字/状态字	221
6.1.3	Intel 8254 的编程命令	223
6.1.4	Intel 8254 的工作方式	225
6.1.5	Intel 8254 的初始化编程	232
6.1.6	Intel 8254 在计算机系统中的应用	236
6.2	并行接口技术	239
6.2.1	Intel 8255 的外部特性与内部结构	240
6.2.2	Intel 8255 控制字	241
6.2.3	Intel 8255 的 3 种工作方式及应用	244
6.3	串行接口技术	255
6.3.1	串行通信的基本方式	256
6.3.2	Intel 8251 的外部特性与内部结构	257
6.3.3	Intel 8251 的控制字	260
6.3.4	Intel 8251 的初始化编程	262
6.3.5	异步串行通信的实现	264
6.4	模拟量输入/输出接口及其应用	271
6.4.1	典型的模拟量输入/输出通道	272
6.4.2	D/A 转换器接口	272
6.4.3	D/A 转换器的应用	282
6.4.4	A/D 转换器接口	286
6.4.5	A/D 转换器的应用	294
6.4.6	计算机系统的模拟 I/O 通道	298
	思考与练习	299

第7章 计算机总线技术	302
7.1 计算机总线概述	302
7.1.1 总线与接口标准	302
7.1.2 总线标准的基本特性	303
7.1.3 总线操作	304
7.1.4 总线控制	304
7.1.5 总线的层次结构	305
7.2 系统总线	307
7.2.1 ISA 总线与 EISA 总线	307
7.2.2 PC-104 总线	308
7.2.3 STD 总线	308
7.3 PCI 局部总线	309
7.4 AGP 总线	310
7.5 PCI Express 总线	311
7.6 外部总线	313
7.6.1 USB 通用串行总线	313
7.6.2 IEEE 1394 通用串行总线	314
7.6.3 IEEE 1394 总线与 USB 总线的比较	315
思考与练习	316
第8章 人机交互接口与多媒体技术	317
8.1 PC 键盘及键盘接口技术	317
8.1.1 PC 键盘的工作原理	317
8.1.2 PC 键盘及键盘接口	319
8.2 PC 视频显示器及其接口	321
8.2.1 CRT 显示器	321
8.2.2 显示卡	321
8.2.3 液晶显示器	323
8.3 打印机及其接口	324
8.3.1 打印机原理	324
8.3.2 打印机接口技术	325
8.3.3 打印机的主要技术指标	327
8.4 鼠标器及其接口	327
8.5 常用多媒体设备及接口	328
8.5.1 扫描仪	328
8.5.2 触摸屏	331
8.5.3 数码相机	332
8.6 多媒体技术	332
8.6.1 音频处理技术	332

8.6.2 视频处理技术.....	334
思考与练习.....	335
第9章 计算机硬件技术综合应用与实验	337
9.1 中断控制器(Intel 8259)实验	337
9.2 可编程定时器/计数器(Intel 8254) 实验	338
9.3 利用 Intel 8254 模拟实时时钟实验	339
9.4 可编程并行接口(Intel 8255)实验	342
9.5 可编程串行接口(Intel 8251)实验	343
9.6 串行通信实验	343
9.7 数/模转换实验.....	344
9.8 模/数转换实验.....	344
附录	346
附录 A 汇编语言程序设计的上机过程	346
附录 B 标准 ASCII 码表	347
附录 C PC 中断表	348
附录 D DOS 功能调用(INT 21H 的功能)[AH 中存放功能号]	350
附录 E BIOS 功能调用	353
附录 F 动态调试程序 DEBUG 常用的命令	355
参考文献	364

第 1 章 微型计算机系统的组成与结构

1.1 微型计算机系统的硬件结构

微型计算机的硬件系统的基本功能是接受计算机程序,并在程序的控制下完成数据输入、数据处理和输出结果等任务。

硬件系统包括主机和输入输出系统,如图 1.1 所示。

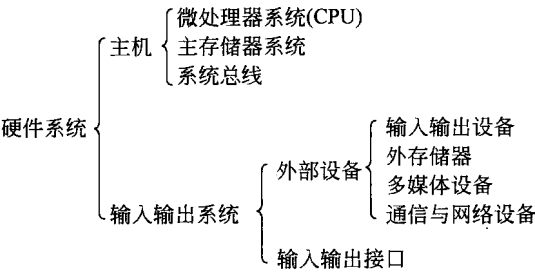


图 1.1 微型计算机的硬件系统

一个典型的计算机系统的硬件结构与组成如图 1.2 所示,它主要由以下四大部分构成:微处理器系统(CPU)、主存储器系统、输入输出系统、总线。

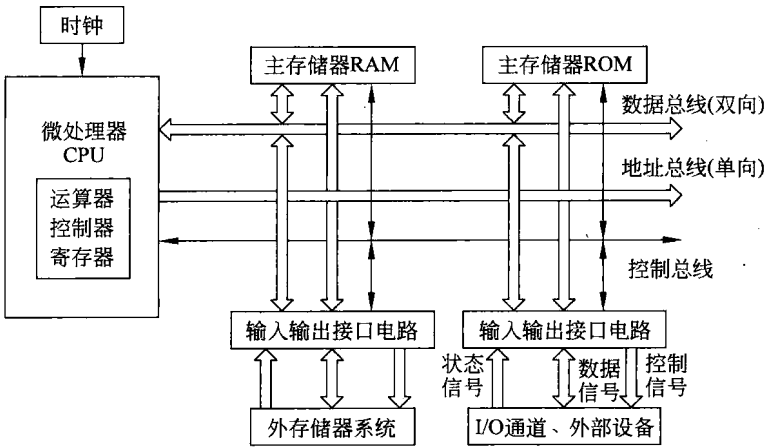


图 1.2 一个典型的计算机系统的硬件结构

整个计算机系统的核心是微处理器,芯片内集成了控制器、运算器、寄存器等。微处理器及其支持电路共同构成了计算机系统的控制中心,对系统的各个部件进行统一的协调和控制。

存储器是用来存放程序和数据部件的。

输入输出设备是指计算机上配备的外部设备,简称外设,其功能是为计算机提供具体的

输入输出手段。而输入输出接口电路用以完成信号变换、数据缓冲、与 CPU 的联络等工作。在计算机系统中,输入输出接口电路一般是制作在电路插板上,俗称“卡”,只要将它们插入 I/O 总线插槽上,就把它们连接到了系统中。微型计算机的主板上一般会安排多个 I/O 总线插槽,供用户连接各种插卡和外设。

总线是模块之间传送信息的一组公用通道。

时钟用于 CPU 的内部操作与其他系统部件之间的同步。

计算机的核心是主板,主板上安装着 CPU、系统支持芯片、主存储器、输入输出接口、电源接口以及扩展槽。所有这些部件通过总线相互连接,包括地址总线、数据总线和控制总线。I/O 接口扩展卡是插在 I/O 接口扩展槽上的各类设备的接口电路板,如显示卡、声卡、网卡等。

一个典型的 IA-32 系统主要有以下功能:

- (1) 浮点运算单元 FPU: 处理浮点运算和扩展的整数运算。
- (2) 时钟发生器 82C284: 给计算机系统的 CPU 以及其他部件提供时钟。
- (3) 可编程中断控制器 8259: 处理来自外部设备的中断,如键盘、磁盘驱动器等的中断请求。
- (4) 可编程计数器 8254: 用于更新系统日期和时钟,并负责对动态 RAM 的定时刷新。
- (5) 可编程并行接口 8255: 通过该接口芯片,可以与使用 IEEE 并口的计算机通信,通常用于打印机以及其他输入输出设备。
- (6) 可编程串行接口 8250: 用于实现数据的串行→并行和并行→串行的转换,完成数据的串行通信。

此外,主板还包含了若干集成的微处理器和控制器,它们决定了计算机的性能。常见的芯片如下。

- (1) DMA 控制器 Intel 8237: 它允许外部设备和内存之间直接数据传送,而不需要 CPU 的参与。
- (2) 与 PCI 总线连接的微处理器局部总线。
- (3) 系统主存控制器和缓存控制器。
- (4) PCI 总线与 ISA 总线连接的总线桥。
- (5) 键盘和鼠标控制器 Intel 8042。

由于 80486 微处理器集成了 80387 协处理器,在计算机结构中就不再使用专门的数字协处理器,但它们都使用 ISA 总线将系统的各个模块连接起来,都使用高速缓冲存储器(cache),并且都采用了一组多功能芯片来代替原来的单功能的接口芯片。

其中,ISA 总线在性能上与 PC/AT 总线兼容,它支持 24 位地址线、16 位数据线、15 级硬件中断以及 7 个 DMA 通道。

系统支持芯片采用几个多功能芯片组成的芯片组来代替 PC/XT 机中的多个单功能芯片。例如,80386 计算机中采用由 85C310 cache/存储器控制器、85C320 AT 总线控制器、85C330 数据缓冲器、82C206 集成外围控制器组成的芯片组。其中,82C206 提供了与 8086/8088 兼容的 7 个 DMA 通道、15 级硬件中断请求、两个定时器/计数器、一个实时钟、一个存储器映像器。80486 计算机中采用了 82C461 系统控制器、82C362 总线控制器、82C465 cache 控制器、82380 集成外围控制器组成的芯片组。其中,82380 包含与 8086/8088 系统兼

容的 8 个 32 位 DMA 通道、15 个外部中断请求、5 个内部中断请求、4 个 16 位的定时器/计数器。

而 Pentium 系列微处理器系统最大的变化是主板的总线结构、根据各部件处理信息的速度、采用三级总线结构来提高计算机系统的整体性能,包括 CPU 总线(host bus)、局部总线(PCI 总线)、系统总线。

其中,CPU 总线是 64 位数据线、32 位地址线的同步总线,使用 66MHz 或 100MHz 的总线时钟频率。PCI 总线是 32 位或 64 位数据/地址分时复用同步总线,采用 33.3MHz 或 66.6MHz 的时钟频率,作为高速的外围总线可以直接连接高速的外围设备,还可以通过桥芯片与更高速的 CPU 总线与系统总线相连。系统总线以低速总线(ISA 总线)发展到以高速 PCI 总线为主,这种结构的变化对现代计算机性能的提高起着很重要的作用。

三级总线之间通过集成度很高的多功能桥芯片组成的芯片组相连接,构成一个系统,这些桥路芯片起着数据缓冲、电平转换和控制协议转换的作用。从 Pentium III 计算机开始,计算机系统基本结构采用中心结构(hub)的形式,使存储器控制芯片和 I/O 控制芯片之间不再使用 PCI 总线连接,而是通过中心高速专用总线相连,使存储器控制芯片和 I/O 控制芯片之间频繁而大量的数据交换不会增加 PCI 总线的负担,也不用受 PCI 总线带宽的限制。

当前使用 ISA 总线的外围设备已经很少,新的设备都选用了高速的 PCI 总线,使高速 I/O 设备通过 PCI 总线直接和 CPU 片内总线相连接,提高了高速 I/O 设备和 CPU 的并行处理能力。

目前,使用 Pentium II 和 Pentium III 处理器的现代计算机系统采用 DIMM 封装的内存条,使用 SDRAM、RDRAM、DDRDRAM,单条容量主要有 64MB 和 128MB,常规配置的总存储器容量有 64MB、128MB、512MB、1GB 等。

现代计算机系统的主要的 I/O 插槽有:5~6 个 PCI 插槽、一个 AGP 插槽(为显卡准备的一个专用插槽)。有的主板还保留了一个 ISA 插槽,有的还带有 AMR 接口(音频/调制解调器接口)、CNR 接口(网络接口),通过 PCI 插槽可以接网卡、调制解调卡以及符合 PCI 规范的其他扩展卡。

在计算机系统的发展过程中,尽管微处理器、支持芯片以及总线接口等都发生了许多变化,但它们仍然保持了很好的向上兼容性。例如,Pentium 微处理器兼容 8088/8086 的指令系统,新的系统支持芯片组也集成并兼容了 PC/XT 机中的支持芯片,如 8259、8254 和 8237 等接口芯片。现代计算机系统在接口的功能和地址访问等方面都兼容了以前的 PC 系统,如串行口、并行口等。

1.2 微处理器的基本结构

微处理器是计算机系统的核心部件,又称为中央处理器 CPU(central processing unit)。微处理器包括运算器 ALU(arithmetical logic unit)、控制器 CU(control unit)、寄存器组 RS(register set)3 个基本部件,通常把它们集成在同一块集成电路芯片上,称为 CPU 芯片。

(1) 运算器是计算机中加工和处理数据的功能部件,其主要功能是:

① 对数据进行加工处理,主要包括算术和逻辑运算,如加、减、乘、除、与、或、非等运算。

② 暂时存放参与运算的数据和中间结果。

(2) 控制器控制和指挥计算机内各功能部件协同动作,完成计算机程序功能,由程序计数器(IP)、指令寄存器(IR)、指令译码器(ID)和时序信号发生器组成。

① 程序计数器(IP): 程序指令所在单元地址。

② 指令寄存器(IR): 保存当前正在执行的一条指令。

③ 指令译码器(ID): 将指令的操作码翻译成机器能识别的命令信号。

④ 时序信号发生器: 根据指令译码器(ID)产生的命令信号产生具体的控制信号。

(3) 寄存器组,包括一组通用寄存器组和专用寄存器。通用寄存器用于暂存参加运算的一个操作数,例如数据寄存器可以用来存放二进制操作数。这些操作数可以是参加操作的数据,操作的中间结果,也可以是操作数的地址,大部分算术和逻辑运算指令都可以使用这些数据寄存器。专用寄存器通常有指令指针 IP 或程序计数器 PC 和堆栈指针 SP 等。CPU 通过插入 CPU 插槽的引脚与计算机系统的其他部件相连,主要与数据总线、控制总线、地址总线相连接。

1.2.1 8086 微处理器的基本结构

8086CPU 内部结构如图 1.3 所示。

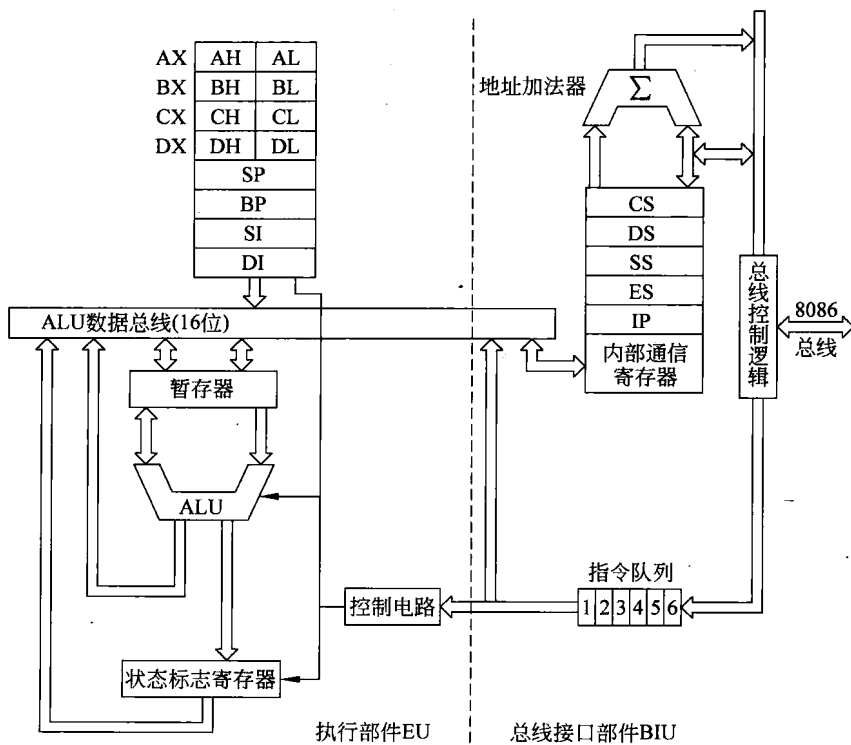


图 1.3 8086CPU 内部结构

1. 执行部件(execution unit, EU)

执行部件由通用寄存器、标志寄存器、运算器(ALU)、数据暂存寄存器、EU 控制单元组

成。执行部件不与系统总线相连,它只是负责指令的译码、执行和数据的运算,执行的指令或所需要的数据从总线接口部件 BIU 单元的指令缓冲器中取得,指令执行后的结果可以通过 BIU 单元向存储器或输入输出设备传送。

其中,ALU 单元的功能是完成算术/逻辑运算,以及按指令的寻址方式计算 16 位有效地址,并将该 16 位有效地址送到总线接口部件 BIU 单元的地址加法器中形成 20 位的物理地址。数据暂存寄存器用于协助 ALU 单元完成运算,对参加运算的数据进行暂存。EU 控制单元接收从指令队列缓冲器来的指令,经过译码形成各种控制信号,对 EU 单元的各部件实现在规定的时间内完成规定的操作。

2. 总线接口部件 (bus interface unit, BIU)

总线接口部件由段寄存器、指令指针 (IP)、指令队列缓冲器、地址产生逻辑、总线控制逻辑等组成。总线接口部件与系统总线相连,它负责管理与系统总线的接口、计算并形成访问内存所需要的物理地址、从内存的指定区域中取出指令并送到指令队列缓冲器中、完成 CPU 与存储器或输入输出设备之间的数据交换。

3. 寄存器结构

寄存器是 CPU 内部的高速存储单元,访问速度比常规内存快得多。8086 CPU 内部包含有 8 个 16 位通用数据寄存器、4 个段寄存器、一个标志寄存器、一个指令指针寄存器,它们都是 16 位的寄存器,如图 1.4 所示。

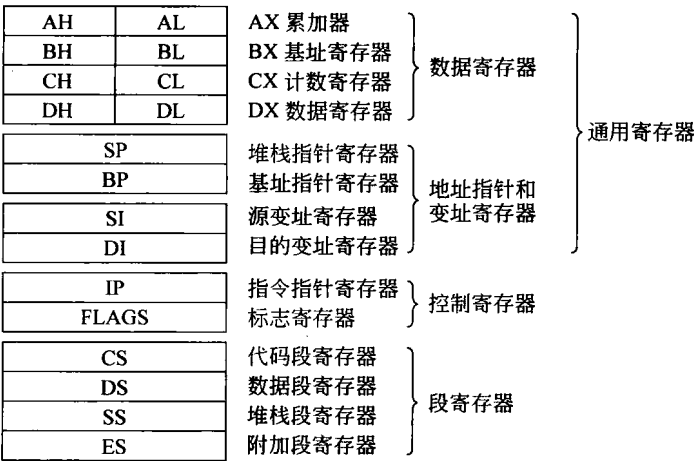


图 1.4 8086CPU 寄存器结构

1) 通用寄存器 (general purpose registers)

通用寄存器由 8 个 16 位寄存器组成,其中 AX、BX、CX、DX 是数据寄存器,可以寄存 16 位数据,这 4 个寄存器又可以将其高 8 位和低 8 位分别作为两个独立的 8 位寄存器使用,它们的高 8 位分别是 AH、BH、CH、DH 寄存器,低 8 位分别是 AL、BL、CL、DL 寄存器。通用数据寄存器可以存放操作数或运算结果,在指令系统中,这些数据寄存器又有如表 1.1 所列的隐含的使用规定。

AX 作为累加器运用在字乘法、字除法和字 I/O 中;而 AL 运用在字节乘法、字节除法和字节 I/O、十进制运算和查表转换中。在 I/O 指令中,AX 和 AL 分别存放 16 位和 8 位的传送数据。

表 1.1 寄存器隐含的使用规定

寄存器	操 作	寄存器	操 作
AX	字乘、字除、字 I/O	CL	移位、循环移位
AL	字节乘除、字节 I/O、查表、十进制运算	DX	字乘、字除、间接 I/O
AH	字节乘、字节除	SP	堆栈操作
BX	查表转换	SI	数据串操作指令(源串)
CX	数据串操作指令、循环指令	DI	数据串操作指令(目的串)

BX 作为基址寄存器,主要用于查表转换和间接寻址时存放基址。

CX 作为计数寄存器,用于串操作和循环指令中的计数器。

DX 作为数据寄存器,在 I/O 间接端口寻址中存放 I/O 端口地址。在双字乘、除法运算中,DX 与 AX 一起存放一个 32 位的双字数据,其中,DX 存放高 16 位,AX 存放低 16 位。

通用寄存器中与偏移地址有关的寄存器是地址指针 SP、BP 和变址寄存器 SI、DI。其中,指针寄存器 SP、BP 用来存放当前堆栈段中的数据,但它们在使用上是有区别的,入栈(PUSH)和出栈(POP)操作时 SP 指出堆栈栈顶的偏移地址,该地址表明栈顶离堆栈段首地址的偏移量,所以 SP 称为堆栈指针(stack point)。而 BP 则表示数据在堆栈段中的基地址,以便访问堆栈中的其他数据,BP 称为基址指针寄存器(base point),主要用在子程序设计中,利用堆栈来传递参数。

变址寄存器 SI、DI 用来存放当前数据段的偏移地址,在串操作指令中,源操作数的偏移地址存放在 SI 中,所以 SI 寄存器称为源变址寄存器(source index);目的操作数的偏移地址存放在 DI 中,所以 DI 寄存器称为目的变址寄存器(destination index),此时 SI 和 DS 联用,DI 和 ES 联用,可以分别在数据段和附加段中寻址。

对 80386 以后的系统,通用寄存器是 32 位的,包括 EAX、EBX、ECX、EDX、ESP、EBP、EDI、ESI。它们可以用来保存不同宽度的数据,如可以用 EAX 寄存器保存 32 位数据、用 AX 寄存器保存 16 位数据、用 AL 或 AH 寄存器保存 8 位数据。

2) 段寄存器(segment registers)

8086CPU 有 20 位的地址总线,可以寻址 $2^{20}B=1MB$ 的主存储器空间,用 5 位十六进制表示其寻址范围是:00000H~FFFFFH,这就是 1MB 主存空间的物理地址。20 位的物理地址无法用 16 位的寄存器来表示,这就产生了一种分段内存的解决方案,8086CPU 将它分为若干个段来管理,每个段的最大空间为 $2^{16}B=64KB$,这样可以用一个 16 位的段寄存器来保存一个段地址,用段地址左移 4 位加上偏移地址来构成一个 20 位的主存储器单元的物理地址(在地址加法器中实现),物理地址是唯一的。

8086CPU 内部有 4 个 16 位的段寄存器,用来存放段地址,它们是:

代码段寄存器 CS(code segment),用来存放代码段的段地址,CS 寄存器与指令指针寄存器 IP 一起构成 CPU 将要执行的下一条指令的物理地址(CS:IP)。代码段是微处理器用来存放程序代码的一段存储区。

数据段寄存器 DS(data segment),用来存放当前使用的数据段的段地址,DS 寄存器与指令中的存储器操作数的偏移地址一起构成数据段中某一单元的物理地址。数据段用来存放当前程序所用的数据。

堆栈段寄存器 SS(stack segment),用来存放当前堆栈段的段地址,SS 寄存器与堆栈指

针寄存器 SP 一起构成堆栈段中某一单元的物理地址(SS:SP)。堆栈是按先进后出的原则规定的一段特殊的存储区。

附加段寄存器 ES(extra segment),用来存放附加段的段地址,附加段通常也用来存放数据。在串操作指令中,附加段作为目的操作数的存储区。

3) 指令指针寄存器(instruction pointer,IP)

这是一个 16 位的寄存器,它存放着 CPU 将要执行的下一条指令的偏移地址,以实现代码段的访问。代码段存放着程序的指令序列,IP 寄存器与 CS 寄存器一起用以确定 CPU 将要执行的下一条指令的物理地址(CS:IP),以控制指令序列的执行流程。

注意: 用户程序不能直接访问 IP 寄存器。IP 寄存器是一个专用寄存器。

4) 标志寄存器 FLAGS

8086CPU 的标志寄存器是一个 16 位的寄存器,只用了 9 个标志,其中 6 个状态标志,3 个控制标志。标志寄存器用于反映指令执行结果或控制指令执行形式。

D ₁₅ ~D ₁₂	D ₁₁	D ₁₀	D ₉	D ₈	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
	OF	DF	IF	TF	SF	ZF		AF		PF		CF

(1) 状态标志: 状态标志用来反映 CPU 执行算术和逻辑运算以后的结果特征。

CF(carry flag): 进位标志,当运算结果从最高位产生进位(加法)或借位(减法)时置 1,否则置为 0。

PF(parity flag): 奇偶标志,当运算结果的低 8 位中 1 的个数为偶数时,PF 置为 1,否则置为 0。

AF(auxilliary carry flag): 辅助进位标志,当运算结果的低 4 位产生了一个进位或借位时,AF 置为 1,否则置为 0。字节相加时,低半字节产生进位。

ZF(zero flag): 零标志,当运算结果为零时,ZF 置为 1,否则置为 0。

SF(sign flag): 符号标志,当运算结果为负数时,SF 置为 1,否则置为 0。

OF(oyerflow flag): 溢出标志,当有符号数在进行算术运算时,运算结果溢出,OF 置为 1,否则置为 0。

(2) 控制标志: 控制标志是用来控制 CPU 的工作方式或工作状态,它由程序根据需要用指令设置或由指令清除,用于控制处理器执行指令的方式。

TF(trap flag): 陷阱标志或单步操作标志,是为了程序调试的方便而设置的。当 TF 为 1 时,程序单步运行,在这种工作方式下,CPU 每执行一条指令就自动产生一次类型码为 1 的内部中断,该中断服务子程序的功能是显示当前指令执行完了以后的结果,以及所有寄存器的内容和将要执行的下一条指令,以便对程序进行逐条指令的调试。如果 TF 置为 0,CPU 正常执行程序。

IF(interrupt flag): 中断允许标志,当 IF 为 1 时,CPU 开放可屏蔽中断,接收外设从 INTR 引脚发来的中断请求信号;当 IF 为 0 时,CPU 不能接收来自 INTR 引脚的中断请求。IF 标志对非屏蔽中断请求和内部中断请求都不起作用。IF 标志可以由指令来设置,CLI 指令使中断标志复位(IF=0),STI 指令使中断标志置位(IF=1)。

DF(direction flag): 方向标志,在串操作中设置地址的步进方向,DF 为 1 时,串操作按