



普通高校“十二五”规划教材

- 面向实际应用
- 理论实践并重
- VHDL设计方法 讲解简明系统
- 基于FPGA的数字系统设计

EDA技术 及应用教程

刘艳萍 高振斌 主编

EDA JISHU JI YINGYONG JIAOCHENG



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS

内 容 简 介

本书根据工程设计、课堂教学和实验教学的要求,以提高实际工程设计能力为目的,对 EDA 技术和相关知识做了系统和完整的介绍;重点讲述了硬件描述语言(VHDL)及用 VHDL 语言设计数字逻辑电路和数字系统的方法;这是电子系统设计方法上的一次革命性的变化,也是 21 世纪的电子工程师必须掌握的专门知识。

全书分为“理论篇”和“实践篇”,共 9 章。“理论篇”详细介绍了 EDA 技术的基本知识、目标器件的结构原理、设计输入方法、VHDL 的设计优化和逻辑综合、综合开发平台以及 EDA 技术的典型应用,每章都配有习题。“实践篇”介绍了常用的 EDA 技术工具的使用方法、实验内容和 FPGA 硬件系统设计。实验内容包含基础性实验、综合性实验和设计性实验三部分,每一个实验后面都有拓展性的思考题,给学习者足够的思考空间和创造空间。

本书可以作为高等院校电子工程、通信、工业自动化、计算机应用技术等学科的本科生或研究生的电子设计或 EDA 技术课程的教材和实验指导书,也可作为相关专业技术人员的参考书。

图书在版编目(CIP)数据

EDA 技术及应用教程 / 刘艳萍, 高振斌主编. -- 北京 :
北京航空航天大学出版社, 2012. 8
ISBN 978-7-5124-0871-5

I. ①E… II. ①刘…②高… III. ①电子电路—电路
设计—计算机辅助设计—高等学校—教材 IV. ①TM702

中国版本图书馆 CIP 数据核字(2012)第 157755 号

版权所有,侵权必究。

EDA 技术及应用教程

刘艳萍 高振斌 主编

责任编辑 金友泉

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) [http //www buaapress. com. cn](http://www.buaapress.com.cn)

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:bookinfo@126.com 邮购电话 (010)82316936

北京时代华都印刷有限公司印装 各地书店经销

开本 787×1 092 1/16 印张:23.75 字数 608 千字

2012 年 8 月第 1 版 2012 年 8 月第 1 次印刷 印数:3 000 册

ISBN 978-7-5124-0871-5 定价:42.00 元

前 言

随着 VLSI(超大规模集成电路)的发展,涉及诸多领域的现代电子设计技术亦迈入一个全新的阶段。目前电子系统的设计可以直接面向用户需求,根据系统的行为和功能要求,自上至下地逐层完成相应的描述、综合、优化、仿真与验证,直到生成器件。上述设计过程除了系统行为和功能描述之外,其余所有设计过程几乎都可以用计算机自动完成,真正做到了电子设计自动化(EDA)。有专家预言,未来的电子技术将是 EDA 技术时代。为了适应时代,各大 VLSI 厂商纷纷推出各种系列的大规模和超大规模 FPGA 和 CPLD 产品。其性能提高之快、品种之多让人应接不暇。Xilinx 公司、Altera 公司和 Lattice 公司相继推出了多种高性能的 FPGA/CPLD 芯片,器件规模已进入千万门的行列,并且内嵌多种 IP 核。与此相适应,世界各大 EDA 公司相继推出各类高性能的 EDA 工具软件,使 EDA 技术成为当代电子设计技术发展的大趋势。

电子设计自动化(EDA)的关键技术之一是要求用形式化方法来描述电子系统的硬件电路,即使用硬件描述语言(HDL)来描述硬件电路。VHDL 作为 IEEE 标准的硬件描述语言和 EDA 的重要组成部分,经过 20 多年的发展、应用和完善,以其强大的系统描述能力、规范的程序设计结构、灵活的语句表达风格和多层次的仿真测试手段,受到业界的普遍认同和广泛的接受,成为现代 EDA 领域的首选硬件设计计算机语言,而且目前流行的 EDA 工具软件全部支持 VHDL。因此,EDA 技术和 VHDL 语言必将成为高等教育中电类专业知识结构的重要组成部分。

与一般的高级语言相比,VHDL 的学习具有更强的实践性,所涉及的内容和工具比较多。类似传统软件编程语言的语法语句和编程联系的学习已经不足以掌握 VHDL。因此本书从实际的应用出发,以实用和可操作性为基础,以初步掌握 EDA 技术和具有 VHDL 开发能力为目标,始终围绕一个主题:学以致用。

系统性和实用性是本书的特点。本书共分为两篇,第一篇是理论篇,第二篇为实践篇,是理论和实践相结合。理论篇包含第 1~6 章,实践篇包含第 7~9 章。第 1 章简述了 EDA 技术的基本知识以及数字系统硬件设计的方法。第 2 章和第 3 章详细介绍了 VHDL 语言的基本知识。第 4 章针对数字系统的典型电路和设计方法给出了相应的 VHDL 设计方法和 VHDL 描述程序。第 5 章借助实际系统设计讲述层次化的系统设计方法和 SOPC 设计的概念。第 6 章介绍了 EDA 目标器件及 EDA 技术的另一重要组成部分仿真与综合的过程和设计实现与优化。第 7 章首先以向导的方式介绍了目前较流行的基于 PC 的 EDA 工具软件 ISE 的使用。第 8 章重点放在 VHDL 开发与应用;首先借助一个 VHDL 设计实例,以向导的方式从编辑、编译、仿真、适配到配置下载和硬件测试,向读者完整的展示了 ISE 软件的各项主要功能使用的全过程,比较适合 EDA 工具的速成式自学;本章设置的实验分为基本性逻辑电路实验、综合性实验和设计性实验三部分,除给出详细的实验目的、实验原理、设计提示、实验报告要求外,附录 B 中还提供了前两部分的参考程序;教师可以根据实验学时和教学实验的要求布置不同层次的实验项目。第 9 章围绕 FPGA 的硬件系统设计,该部分基本涵盖了 FPGA 外围接

口电路的设计。另外,附录 A 中给出了 Quartus II 9.0 简明教程,使得采用以 Altera 公司 FPGA 为核心器件的实验设备的学校也可以使用本教材。所有的参考程序均可以移植到不同的 EDA 实验系统实现。

本书第一篇由刘艳萍主编;第二篇由高振斌主编。其中第 1~3 章由刘艳萍教授编写,第 4~5 章由刘艳萍和伍萍辉老师编写,第 6 章由高振斌和张艳老师编写,第七章由高振斌和王杨老师编写,第八章由韩力英和王杨老师编写,第 9 章由高振斌老师编写。

本书在编写过程中引用了诸多学者和专家的著作中的研究成果,在此向他们表示衷心的感谢。同时也向热情支持和关心该书的同仁,北京航空航天大学出版社的领导、编辑和工作人员表示深深的谢意。

由于作者水平有限,我们真诚地欢迎专家和读者对书中的错误与偏颇之处给予批评指正。

编 者

2012 年 7 月于天津

目 录

第一篇 理 论 篇

第 1 章 绪 论	3
1.1 EDA 概述	3
1.1.1 EDA 技术的发展历程	3
1.1.2 EDA 技术的基本特征	3
1.1.3 EDA 技术实现目标	4
1.1.4 硬件描述语言(HDL)	5
1.1.5 EDA 技术的基本工具	7
1.1.6 EDA 技术的基本设计思路	10
1.1.7 EDA 系统级设计开发流程	11
1.1.8 EDA 技术的发展趋势	15
1.2 数字系统硬件设计概述	17
1.2.1 自底向上的设计	18
1.2.2 自顶向下的设计	18
1.2.3 自顶向下技术的设计流程及关键技术	19
1.2.4 设计描述风格	22
习 题	22
第 2 章 VHDL 语言程序的基本要素及基本结构	24
2.1 VHDL 语言的命名规则	24
2.1.1 数字型文字	24
2.1.2 字符串型文字	25
2.1.3 标识符	26
2.1.4 下标名	26
2.1.5 段 名	27
2.1.6 注 释	27
2.2 VHDL 语言的数据类型及运算操作符	28
2.2.1 VHDL 语言的客体及其分类	28
2.2.2 VHDL 语言的数据类型	32
2.2.3 VHDL 语言的运算操作符	42
2.3 VHDL 语言设计的基本单元及其构成	48

2.3.1 实体说明	49
2.3.2 构造体	52
2.4 VHDL 构造体描述的几种方法	53
2.4.1 行为描述	53
2.4.2 数据流描述	54
2.4.3 结构描述	55
2.5 包集合、库及配置	56
2.5.1 库	57
2.5.2 包集合	59
2.5.3 配置(CONFIGURATION)	62
2.6 VHDL 子程序(SUBPROGRAM)	64
习 题	69
第 3 章 VHDL 语言的主要描述语句	72
3.1 顺序处理语句	72
3.1.1 WAIT 语句	72
3.1.2 断言(ASSERT)语句	77
3.1.3 信号赋值语句	77
3.1.4 变量赋值语句	78
3.1.5 IF 语句	79
3.1.6 CASE 语句	82
3.1.7 LOOP 语句	87
3.1.8 NEXT 语句	89
3.1.9 EXIT 语句	90
3.1.10 过程调用语句	91
3.2 并发处理语句	92
3.2.1 进程(PROCESS)语句	92
3.2.2 并发信号赋值(Concurrent Signal Assignment)语句	93
3.2.3 条件信号赋值(Conditional Signal Assignment)语句	94
3.2.4 选择信号赋值(Selective Signal Assignment)语句	95
3.2.5 并发过程调用(Concurrent Procedure Call)语句	97
3.2.6 块(BLOCK)语句	97
3.2.7 元件例化语句	100
3.2.8 生成语句	104
3.3 其他语句和说明	106
3.3.1 属性(ATTRIBUTE)描述与定义语句	106
3.3.2 文本文件操作	111
习 题	113

第 4 章 VHDL 语言描述的典型电路设计	115
4.1 组合逻辑电路设计	115
4.1.1 编码器、译码器与选择器	115
4.1.2 加法器、求补器	121
4.1.3 三态门及总线缓冲器	124
4.2 时序电路设计	127
4.2.1 时钟信号和复位信号	127
4.2.2 触发器	130
4.2.3 寄存器	135
4.2.4 计数器	140
4.3 存储器	150
4.3.1 存储器描述中的一些共性问题	151
4.3.2 ROM(只读存储器)	151
4.3.3 RAM(随机存储器)	153
4.3.4 FIFO(先进先出堆栈)	154
4.4 有限状态机(FSM)设计	158
4.4.1 一般状态机的设计	158
4.4.2 状态值编码方式	168
4.4.3 剩余状态与容错技术	169
4.5 常用接口电路设计	169
4.5.1 常用显示接口电路设计	169
4.5.2 常用键盘接口电路设计	173
4.5.3 常用 AD 转换接口电路设计	176
4.5.4 MCS-51 单片机与 FPGA/CPLD 总线接口逻辑设计	178
习 题	182
第 5 章 系统设计	185
5.1 系统层次化设计	185
5.1.1 系统层次化设计思路简介	185
5.1.2 利用 VHDL 语言实现系统层次化设计	186
5.1.3 利用图形输入法和 VHDL 语言混合输入实现系统层次化设计	193
5.1.4 系统层次化设计应用举例	197
5.2 应用系统设计举例	205
5.2.1 多功能数字钟设计	205
5.2.2 数据采集系统设计	216
5.3 SOPC 技术简介	222
5.3.1 SOPC 简介	222
5.3.2 IP 模块	224

习 题	227
第 6 章 仿真与实现	228
6.1 仿 真	228
6.1.1 仿真方法	229
6.1.2 测试(平台)程序的设计方法	229
6.1.3 仿真输入信息的产生	233
6.1.4 仿真结果的处理	236
6.2 逻辑综合	238
6.2.1 约束条件	239
6.2.2 工艺库	240
6.2.3 逻辑综合的基本步骤	241
6.3 设计实现	243
6.3.1 设计实现载体	243
6.3.2 设计实现过程	250
6.3.3 设计实现与逻辑综合的关系	251
6.4 优化设计	252
6.4.1 算法优化	252
6.4.2 代码优化	255
6.4.3 综合过程中的优化	256
6.4.4 其他设计技巧	257
习 题	262

第二篇 实 践 篇

第 7 章 Xilinx 软件基本操作	265
7.1 Xilinx 软件流程	265
7.1.1 Xilinx 软件介绍	265
7.1.2 软件流程	266
7.1.3 原理图输入方式	278
7.2 IP 核的应用	282
7.3 时序约束与时序分析初步	288
7.3.1 时序分析	289
7.3.2 时序约束	291
7.3.3 时序约束的实施	293
7.3.4 时序分析报告	294

第 8 章 VHDL 设计实验	298
8.1 Xilinx ISE14.1 软件的基本应用实验	298
8.1.1 ISE 软件的基本应用	298
8.1.2 实验要求	309
8.2 基础实验	309
8.2.1 编码器	309
8.2.2 七段数码管显示译码	311
8.2.3 移位寄存器	312
8.2.4 计数器	314
8.2.5 售货机	315
8.2.6 交通灯控制器	316
8.3 综合实验	318
8.3.1 多功能数字钟实验	318
8.3.2 乘法器实验	319
8.4 设计型实验	320
8.4.1 智力竞赛抢答器设计	320
8.4.2 电子琴设计	321
8.4.3 电子乒乓球游戏系统	321
8.4.4 数字密码锁设计	323
8.4.5 数据采集与检测系统	324
8.4.6 任意波形发生器设计	324
8.4.7 量程自动转换的数字式频率计	325
8.4.8 电梯自动控制器	326
8.4.9 8×8 点阵汉字显示综合实验	327
8.4.10 FIR 滤波器的设计	328
第 9 章 FPGA 硬件电路设计	331
9.1 FPGA 硬件系统组成	331
9.1.1 FPGA 硬件系统	331
9.1.2 FPGA 引脚	331
9.2 电源电路	333
9.2.1 FPGA 电源指标要求	333
9.2.2 电源解决方案	334
9.2.3 FPGA 系统板电源设计实例	335
9.3 FPGA 配置电路	337
9.3.1 Xilinx FPGA 配置概述	338
9.3.2 FPGA 的常用配置电路	339
9.4 存储器接口电路设计	342

9.4.1	高速 SDRAM 存储器	342
9.4.2	异步 SRAM(ASRAM)存储器	342
9.4.3	Flash 存储器	343
9.4.4	DDR2 存储器	343
9.5	人机界面电路设计	345
9.5.1	PS2 键盘/鼠标接口	345
9.5.2	按键与开关	348
9.5.3	显示接口	348
9.6	处理器的接口设计	351
9.6.1	串行接口	351
9.6.2	并行接口	353
9.7	时钟和复位电路	353
9.7.1	时钟电路	353
9.7.2	复位电路	354
附录 A	Quartus II 9.0 简明教程	356
附录 B	基础实验程序	365
参考文献		369

第一篇

理 论 篇

第1章 绪论

1.1 EDA 概述

EDA(Electronics Design Automation)即电子设计自动化,是一种以计算机为基础的工作平台;是利用电子技术、计算机技术、智能化技术等多种应用学科的最新成果,进行电子产品设计的自动设计技术;是一种帮助电子设计工程师从事电子元件产品和系统设计的综合技术。

1.1.1 EDA 技术的发展历程

EAD 技术的发展经历了一个由浅入深的过程。EDA 技术伴随着计算机、集成电路、电子系统设计的发展,经历了计算机辅助设计 CAD(Computer Assist Design)、计算机辅助工程设计 CAE(Computer Assist Engineering Design)和电子系统设计自动化 ESDA(Electronic System Design Automation)三个发展阶段。

20 世纪 70 年代,随着中小规模集成电路的开发应用,传统的手工制图设计印刷电路板和集成电路的方法已无法满足设计精度和效率的要求,因此工程师们开始进行二维平面图形的计算机辅助设计,以便解脱复杂、机械的版图设计工作,这就产生了第一代 EDA 工具。

到了 20 世纪 80 年代,为了适应电子产品在规模和制作上的需要,以计算机仿真和自动布线为中心技术的第二代 EDA 技术应运产生。其特点是以软件工具为核心,通过这些软件完成产品开发的设计、分析、生产和测试等各项工作。

20 世纪 90 年代后,出现了以高级语言描述、系统级仿真和综合技术为特征的第三代 EDA 技术。它们的出现,极大地提高了系统设计的效率,使广大的电子设计师开始实现“概念驱动工程”的梦想,逐步从使用硬件转向设计硬件,从电路级电子产品开发转向系统级电子产品开发。设计师们摆脱了大量的辅助设计工作,把精力集中于创造性的方案与概念的构思上,从而极大地提高了设计效率,缩短了产品的研制周期。

1.1.2 EDA 技术的基本特征

就目前而言,EDA 技术的基本特征是采用高级语言描述,具有系统级仿真和综合能力。它主要采用并行工程“自顶向下”的设计方法,要求开发者从一开始就考虑到产品生成周期的诸多方面,包括质量、成本、开发时间及用户的需求等。然后从系统设计入手,在顶层进行功能方框图的划分和结构设计;在方框图一级进行仿真、纠错,并用 VHDL、Verilog - HDL 等硬件描述语言对高层次的系统行为进行描述,在系统一级进行验证。最后再用逻辑综合优化工具生成具体的门级逻辑电路的网表,其对应的物理实现级可以是印刷电路板、专用集成电路或可编程逻辑器件。近几年来,随着硬件描述语言等设计数据格式的逐步标准化,不同设计风格和应用程序要求导致各具特色的 EDA 工具被集成在同一个工作站上,从而使 EDA 框架日趋标准化。

1.1.3 EDA 技术实现目标

利用 EDA 技术进行电子系统设计,最后的目标是完成专用集成电路(ASIC)的设计与实现,ASIC 作为最终的物理平台,集中容纳了用户通过 EDA 技术将电子应用系统的既定功能和技术具体实现的硬件实体。一般而言,专用集成电路就是具有专门用途和特定功能的独立集成电路器件,根据这个定义,作为 EDA 技术最终实现目标的 ASIC,可以通过三种途径完成,如图 1-1 所示。

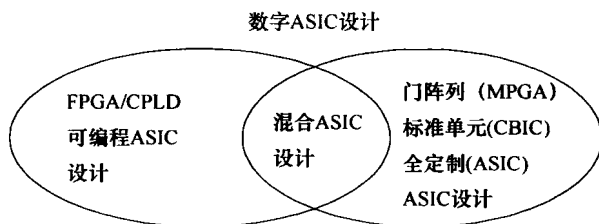


图 1-1 EDA 技术实现目标

1. 超大规模可编程逻辑器件

FPGA(Filed Programmable Gate Array)和 CPLD(Complex Programmable Logic Device)是实现这一途径的主流器件,其特点是直接面向用户,具有极大的灵活性和通用性,使用方便,硬件测试和实现快捷,开发效率高,成本低,技术维护简单,工作可靠性高等。FPGA 和 CPLD 的应用是 EDA 技术有机融合软硬件电子设计技术、SoC(System on Chip)和 ASIC 设计,以及对自动化设计与自动实现最典型的诠释。由于 FPGA 和 CPLD 的开发工具、开发流程和使用方法与 ASIC 有类似之处,因此这类器件通常也被称为可编程专用 IC,或可编程 ASIC。

FPGA 与 CPLD 的辨别和分类主要是根据其结构特点和工作原理,通常的分类方法是:

① 将以乘积项结构方式构成逻辑行为的器件称为 CPLD,如 Lattice 公司的 ispLSI 系列、Xilinx 公司的 XC9500 系列、Altera 公司的 MAX7000S 系列和 Lattice 公司(原 Vantis)的 Mach 系列等。

② 将以查表法结构方式构成逻辑行为的器件称为 FPGA,如 Xilinx 的 Spartan 系列、Altera 的 FLEX10K 或 ACEX1K 系列等。

另外应该注意,就目前 EDA 技术相关概念的流行称谓上看,“FPGA”而非“CPLD”具有更广泛的含义。例如 Synopsys 公司的 Altera 和 Xililnx 公司推出的 FPGA/CPLD 综合器是 FPGA Compiler 和 FPGA express;Mentor 公司的综合器是 FPGA advantage。

2. 半定制或全定制 ASIC

基于 EDA 设计技术的半定制或全定制 ASIC,根据其实现工艺,可统称为掩模 ASIC,或直接称 ASIC。可编程 ASIC 与掩模 ASIC 相比,不同之处在于前者具有面向用户的灵活多样的可编程性。

掩模 ASIC 大致分为门阵列 ASIC、标准单元 ASIC 和全定制 ASIC。

① 门阵列 ASIC:门阵列芯片包括预定制的相连的 PMOS 和 NMOS 晶体管行阵列。设计中,用户可以借助 EDA 工具将原理图或硬件描述语言模型映射为相应门阵列晶体管配置,创

建一个指定金属互连路径文件,从而完成门阵列 ASIC 开发。由于有掩模的创建过程,门阵列有时也称掩模可编程门阵列(MPGA)。但是 MPGA 与 FPGA 完全不同,它不是用户可编程的,也不属于可编程逻辑范畴,而是实际的 ASIC。MPGA 出现在 ASIC 之前,FPGA 技术源自 MPGA。

② 标准单元 ASIC:目前大部分 ASIC 是使用库中的不同大小的标准单元设计,这类芯片一般称为基于单元的集成电路(Cell_based Integrated Circuits,CBIC)。在设计者一级,库包括不同复杂性的逻辑元件:SSI 逻辑块、MSI 逻辑块、数据通道模块、存储器、IP 及系统级模块。库包含每个逻辑单元在硅片级的完整布局的细节。标准单元布局中,所有扩散、接触点、过孔、多晶通道及金属通道都已完全确定。当该单元用于设计时,通过 EDA 软件产生的网表文件将单元布局块“粘贴”到芯片布局之上的单元行上。标准单元 ASIC 设计与 FPGA 设计开发的流程相近。

③ 全定制芯片:全定制芯片中,在针对特定工艺建立的设计规则下,设计者对于电路的设计有完全的控制权,如线的间隔和晶体管大小的确定。

3. 混合 ASIC

混合 ASIC(不是指数模混合 ASIC)主要指既具有面向用户的 FPGA 可编程功能和逻辑资源,同时也含有可方便调用和配置的硬件标准单元模块(IP 核),如 CPU、RAM、ROM 等。Xilinx 和 Altera 公司已经推出了此类器件,如 Virtex-II Pro 系列和 Stratix 系列等。混合 ASIC 成为 SoC 和 SoPC(System on a programmable Chip)设计实现的便捷途径。

1.1.4 硬件描述语言(HDL)

在硬件电路设计中采用计算机辅助设计技术(CAD)到 20 世纪 80 年代才得到普及和应用。在开始阶段,仅仅是利用计算机软件来实现印制电路板 PCB 的布线。随着大规模专用集成电路 ASIC 需要的不断增加,为了提高开发和研制的效率,增加已有开发成果的可继承性以及缩短开发时间,各 ASIC 研制和生产厂商相继开发了用于各自目的的硬件描述语言。

所谓硬件描述语言,就是利用高级语言来描述硬件电路的功能、信号连接关系以及各器件间的时序关系。它能比电路原理图更有效地表示硬件电路的特性,因此硬件描述语言非常适合目前 IC 产业中流行的自顶向下的设计方法。

目前已经存在许多硬件描述语言,如 Silage、Hardware C、CSP、Statecharts、SDL、Gster-el、Speccharts、VHDL 和 Verilog 等,其中 VHDL 和 Verilog 是影响最广泛的两种 HDL。

VHDL 相对于 Verilog 而言,在语法上更严谨一些,却灵活性和多样性稍差,但从文档记录、综合以及器件和系统级的仿真上讲,VHDL 是一种更好的选择。

1. VHDL 语言概述

VHDL 是由美国国防部在 20 世纪 70 年代末和 80 年代初提出的 VHSIC(Very High Speed Integrated Circuit)计划的产物。VHSIC 计划的目标是使工业界可以开发相对于以前更为复杂的 IC,加速美国微电子业的发展。这个计划使 IC 设计与制造的每个阶段都达到了工艺极限,并且有关工艺的各项标准也都得以很好的实现。但设计者却发现,当时的设计工具很难完成这样大型的设计任务;当时普遍采用的基于门级基础的工具很难处理超过十万门电路的设计,因此需要制定一种新方法来完成日益复杂的电路设计任务。

1981 年,美国国防部又提出了一种新的硬件描述语言,称为 VHSIC,也就是目前所说的

VHDL。它是美国国防部委托 IBM 和 Texas Instruments 联合开发的。新语言的设计目标有两个:首先是使设计者可以用这种语言来描述希望描述的复杂电路;其次还希望这种语言成为一种标准,使 VHSIC 计划中每个成员能够按照标准的格式向别的成员提供设计。

1986 年,VHDL 被建议作为 IEEE 标准,经过了多次更改后,直到 1987 年 12 月,才被接纳为 IEEE 1076 标准。该标准经过不断地完善和更新,目前的标准为 IEEE 1164。它已被绝大多数 IC 生产厂家和 EDA 工具供应商所接受。当前几乎所有的 EDA 软件,像 Synopsys、Mentor Graphics、InovaEDA、Cadence 等,均支持该标准。

2. VHDL 语言的特点

VHDL 语言是对逻辑电路进行描述的高级语言。它与其他高级语言相比既有相同之处,也有其自身特点:

(1) VHDL 是工业标准的文本格式语言

VHDL 已成为一种工业标准。设计者、EDA 工具的供应商以及芯片生产厂家,都要遵循这一标准。该语言是一种文本格式的语言,ASIC 的设计者在设计电路时,就像编写其他高级语言一样,用文字来表达所要设计的电路,这样就能比较直观地表达设计者的设计思想,并且易于修改。

(2) VHDL 能同时支持仿真和综合

VHDL 语言是一种能够支持系统仿真的语言。事实上,ASIC 成功的关键在于生产前的设计,而保证设计正确的主要手段是系统仿真。这样,设计者在 ASIC 生产前就能够知道设计的正确与否、系统的性能如何等关键问题。

VHDL 不仅仅是一种仿真语言,而且是一种可综合语言。它的所有语句中有一部分是不支持综合的。也就是说 EDA 工具无法根据所描述的 VHDL 语言产生出电路;但其中的可综合语句足以描述一个大而完整的系统。目前所有的高层综合工具所支持的综合语句,都是 IEEE 标准的一个子集。

因此,VHDL 语言可以有两种完全不同的描述,一种是基于仿真的描述,它可以使用 VHDL 定义的各种语句,这类程序主要适用于编写、测试基准程序和各种仿真模型的工程师使用;另外一种就是用于产生具体电路的可综合描述,它只能使用 VHDL 中的可综合子集,主要适用于从事电路设计的工程师使用,在本书中主要偏重于这种类型的 VHDL 描述。

(3) VHDL 是一种并发执行的语句

我们知道,几乎所有的高级语言的执行都是顺序的,而 VHDL 语言在仿真过程中的执行是并行的。这种特性是符合实际逻辑电路的工作过程。

(4) VHDL 支持结构化设计和 top-down 设计方法

VHDL 语言是一种结构化的语言,它提供的语句可以完成多层结构的描述,所以 VHDL 语言可以支持结构化设计。结构化设计就是将一个系统划分为多个模块,而每个模块又可以继续划分为更多的子模块。这样就可以采用 top-down 的设计方法,从系统整体要求出发,自上而下的逐步将系统内容细化,最后完成系统的整体设计。

(5) VHDL 的描述与工艺无关

设计者在利用 VHDL 描述电路时并不需要关心电路最终将在哪种工艺上实现,EDA 工具可以将 VHDL 源代码映射到不同的工艺库上,提高了设计的可重用性。

(6) 支持多风格的描述方法

VHDL 不仅支持行为级的描述,而且支持数据流及结构描述,这在后面将详细讲述。

1.1.5 EDA 技术的基本工具

EDA 工具的发展经历了两个大的阶段:物理工具和逻辑工具。现在 EDA 和系统设计工具正逐步被理解成一个整体的概念:电子系统设计自动化。物理工具用来完成设计中的实际物理问题,如芯片布局、印刷电路板布线等;逻辑工具是基于网表、布尔逻辑、传输时序等概念,首先由原理图编辑器或硬件描述语言进行设计输入,然后利用 EDA 系统完成综合、仿真、优化等过程,最后生成物理工具可以接受的网表或 VHDL、Verilog-HDL 的结构化描述。现在常用的 EDA 工具有编辑器、仿真器、检查/分析工具和优化综合工具等。

1. 常用的 EDA 工具

本节主要介绍当今广泛使用的以开发 FPGA 和 CPLD 为主的 EDA 工具,及部分关于 ASIC 设计的 EDA 工具。

EDA 工具在 EDA 技术应用中占据极其重要的位置,EDA 的核心是利用计算机完成电子设计全程自动化。因此,基于计算机环境的 EDA 软件的支持是必不可少的。

由于 EDA 的整个流程涉及不同技术环节,每一个环节中必须有对应的软件包或专用 EDA 工具独立处理,包括对电路模型的功能模拟,对 VHDL 进行描述的逻辑综合等。因此单个 EDA 工具往往只涉及 EDA 流程中的某一步骤。这里就以 EDA 设计流程中涉及的主要软件包为 EDA 工具分类,并作简单介绍。EDA 工具大致可以分为如下 5 个模块:

- ① 设计输入编辑器;
- ② HDL 综合器;
- ③ 仿真器;
- ④ 适配器(或布局、布线器);
- ⑤ 下载器。

当然这种分类不是绝对的,现在也有集成的 EDA 开发环境,如 Altera 公司的 Maxplus II 开发环境。

2. 设计输入编辑器

在 FPGA/CPLD 设计中的设计输入编辑器或称设计输入环境,可以接受不同的设计输入表达方式,如原理图输入方式、状态图输入方式、波形输入方式以及 HDL 的文本输入方式。在各可编程逻辑器件厂商提供的 EDA 开发工具中一般都含有这类输入编辑器,如 Xilinx 公司的 Foundation 及 ISE 开发环境、Altera 公司的 Maxplus II 及 QUARTUSII 开发环境等。

通常,专业的 EDA 工具供应商也提供相应的设计输入工具,这些工具一般与该公司的其他电路设计软件整合,这一点尤其体现在原理图输入环境上。如 Innovada 公司的 eProduct Designer 中的原理图输入管理工具 DxDesingner(原为 ViewDraw),既可作为 PCB 设计的原理图输入,又可作为 IC 设计、模拟仿真和 FPGA 设计的原理图输入环境。比较常见的还有 Cadence 公司的 Orcad 中的 Capture 工具等。这一类的工具一般都设计成通用型的原理图输入工具。由于针对 FPGA/CPLD 设计的原理图要含有特殊原理图库(含原理图的 symbol)的支持,因此其输出并不与 EDA 流程的下一步设计工具直接相连,而要通过网表文件(如 EDIF 文件)来传递。