

“十一五”国家重点图书

计算机科学与技术学科前沿丛书

计算机科学与技术学科研究生系列教材（中文版）



异步微处理器设计

王志英 主编

王蕾 石伟 龚锐 阮坚 晋钢 李勇 张光达 著



清华大学出版社

国家科学技术学术著作出版基金资助出版

“十一五”国家重点图书 计算机科学与技术学科前沿丛书

计算机科学与技术学科研究生系列教材（中文版）

异步微处理器设计

王志英 主编

王蕾 石伟 龚锐 阮坚 晋钢 李勇 张光达 著



清华大学出版社
北京

内 容 简 介

异步集成电路技术是和同步集成电路技术相对的集成电路设计技术。与同步集成电路相比,异步集成电路技术具有功耗低、电磁兼容性高、模块化和可重用性好、鲁棒性强等一系列优势,可以有效地解决同步集成电路和微处理器技术在超深亚微米阶段遇到的各种问题。本书内容是作者在异步集成电路和异步微处理器设计领域研究的经验和成果,主要包括异步电路设计和建模分析、异步微处理器体系结构、异步功能单元设计和片内互连、异步微处理器设计方法学、异步微处理器性能和功耗的评估及优化、多核异步微处理器的设计与实现等方面的内容。

本书可用作研究人员的科研参考书,也可作为计算机科学与技术专业和微电子专业高年级本科生和研究生教材使用。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

异步微处理器设计/王志英主编. —北京:清华大学出版社,2012.6

(计算机科学与技术学科前沿丛书)

(计算机科学与技术学科研究生系列教材(中文版))

ISBN 978-7-302-28501-4

I. ①异… II. ①王… III. ①异步计算机—微处理器—研究生—教材 IV. ①TP332

中国版本图书馆 CIP 数据核字(2012)第 067153 号

责任编辑:张瑞庆 战晓雷

封面设计:傅瑞学

责任校对:梁 毅

责任印制:何 芊

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课 件 下 载: <http://www.tup.com.cn>, 010-62795954

印 装 者:北京国马印刷厂

经 销:全国新华书店

开 本:185mm×260mm

印 张:23

字 数:576 千字

版 次:2012 年 6 月第 1 版

印 次:2012 年 6 月第 1 次印刷

印 数:1~3000

定 价:39.00 元

产品编号:035151-01

主·编·简·介

王志英 男, 1956年8月生, 汉族, 山西沁县人, 1988年在国防科学技术大学计算机系获博士学位。现任国防科学技术大学计算机学院教授、博士生导师, 1992年成为国家级突出贡献中青年专家并享受政府特殊津贴, 全国高等院校优秀骨干教师, 人事部百千万跨世纪优秀人才库一二层次人选, 中国计算机学会教育专业委员会主任委员、全国计算机教育研究会副理事长、湖南省计算机学会理事长、教育部高等学校计算机科学与技术专业教学指导分委员会副主任, 国家精品课程“计算机体系结构”负责人。主要研究方向为计算机系统结构和微处理器设计等。20多年来作为项目负责人参加的各类项目, 包括国家自然科学基金、国家973重大基础研究、国家863高技术研究、型号工程和对外合作等共计20多项。已获国家科技进步二等奖1项, 国家教学成果一、二等奖各1项, 部委级科技进步奖14项, 部委级自然科学奖1项, 部委级教学成果奖3项, 获国家发明专利15项。出版专著和教材8部, 其中2部获国家优秀教材。已经指导毕业博士研究生40多名, 发表进入SCI或EI检索的论文160多篇。

通信地址: 湖南长沙国防科学技术大学计算机学院 410073
E-mail: zywang@nudt.edu.cn

前言

随着集成电路技术的迅猛发展,在深亚微米的工艺条件下,单芯片集成的晶体管数越来越多,芯片面积越来越大,很难使用全局时钟同步芯片各个部分的操作,因而不可避免地出现了时钟扭曲、功耗过大、可重用性差、电磁兼容性差和可靠性低等问题。这对微处理器的设计和应用产生了重大影响。

异步集成电路技术是和同步集成电路技术相对的集成电路设计技术。异步集成电路由于天然地取消了时钟结构,与同步集成电路相比具有功耗低、电磁兼容性高、模块化和可重用性好、鲁棒性强等一系列优势,可以有效地解决同步集成电路和微处理器技术在超深亚微米阶段遇到的各种问题,也是未来高能效和绿色计算技术发展的重要途径。但是由于异步集成电路和异步微处理器设计的技术起点高,设计难度大,使其一直没有得到广泛的应用。解决异步微处理器设计中的关键问题对推动异步微处理器设计技术的进步具有重要的理论意义和实用价值。

本书作者所在的 ATOM(Asynchronous Technology On Microprocessor)课题组自 20 世纪 90 年代起,就开始从事微处理器体系结构和 VLSI 实现的研究。从 2004 年以来,本课题组的老师和研究生们把学术研究的重点逐渐集中到异步微处理器设计上来,想要通过异步电路这种形式来解决最为复杂的数字集成电路——微处理器的设计过程中遇到的各种问题。该研究过程获得了多个项目的支持。其中主要的项目和成果包括以下三个方面。

1. 2005 年国家自然科学基金重大研究计划项目“异步微处理器设计关键技术研究”。对异步微处理器体系结构、异步流水线设计、异步存储系统设计展开了研究,提出了面向宏单元的异步电路设计流程、解同步电路的优化设计方法、大规模异步电路综合技术、异步电路建模分析技术、异步微处理器设计方法学、低功耗特性和安全特性分析方法等,设计实现了异步微处理器原型系统。

2. 2007 年国家 863 项目“低功耗异步数据触发体系结构研究”。主要研究了适合异步电路特性的微处理器体系结构。提出了数据触发体系结构,异步数据触发计算模型、异步功能单元设计、异步片内互连、异步低功耗存储系统等,设计实现了 32 位异步低功耗数据触发微处理器“腾跃-I”,并在 UMC 0.18 μm 工艺线流片生产。

3. 2008 年国家自然科学基金项目“多核异步数据触发微处理器设计关键技术研究”。将异步数据触发微处理器扩展到多核结构,重点研究了数据驱动的异步电路技术、多核异步数据触发体系结构及其编程模型、多核异步数据触发微处理器的性能和功耗评估及优化技术等,设计实现了异步多核微处理器“腾跃-II”,并在 UMC 0.18 μm 工艺线流片生产。

通过一系列项目的研究,我们逐步解决了异步电路设计与实现、异步微处理器体系结构以及多核异步微处理器设计与实现等关键问题,在有关学术会议和期刊上发表了一系列的

高水平学术论文,也得到国内外同行专家的认可。ATOM 课题组还和英国曼彻斯特大学计算机学院从事异步微处理器研究的“先进处理器技术研究小组”(APT)进行了长期深入的交流,并先后选派 3 名博士生赴 APT 小组进行联合研究和培养。

异步集成电路和异步微处理器设计技术的研究仍在继续之中,我们相信该技术有很好的发展和应用前景。本书的宗旨是介绍异步电路和异步微处理器设计的主要思想和基本概念,在此基础上,介绍 ATOM 课题组在异步集成电路和异步微处理器设计领域取得的研究成果。

本书由王志英主编,并与王蕾共同策划和统筹。本书共分 10 章,内容安排如下:第 1 章为概述;第 2 章介绍异步电路设计思想;第 3 章介绍基于宏单元的异步集成电路设计流程;第 4 章介绍异步控制电路设计;第 5 章介绍异步片上网络设计;第 6 章介绍解同步异步电路设计;第 7 章介绍异步电路的性能分析和优化;第 8 章介绍基于异步数据触发体系结构的异步微处理器的设计和实现;第 9 章介绍在异步电路的容错领域进行的探索,第 10 章对全书进行总结并提出未来异步电路可能的发展趋势。在写作上各作者分工如下:第 1 章、第 2 章由王志英、王蕾撰写,第 3 章由王蕾、李勇撰写,第 4 章由阮坚撰写,第 5 章由石伟、张光达撰写,第 6 章由王蕾撰写,第 7 章由王蕾、晋钢撰写,第 8 章由石伟撰写,第 9 章由龚锐撰写,第 10 章由王蕾撰写。张光达、王友瑞、苏博等硕士研究生收集和整理了大量的资料,提供了良好的素材,并参与部分章节的撰写。

本书的编写得到了清华大学出版社的大力支持,并获得了国家科学技术学术著作出版基金的立项批准。

本书是国内第一部该领域的学术专著。本书可用作研究人员的科研参考书,也可作为计算机科学与技术专业和微电子专业高年级本科生和研究生教材使用。

由于作者的能力和知识面有限,书中难免存在错误和缺陷,恳请读者批评指正。

王志英

于湖南长沙 国防科技大学

zywang@nudt.edu.cn

2012 年 2 月

目 录

第 1 章 概述	1
1.1 异步电路出现的背景	1
1.1.1 同步电路的问题	2
1.1.2 异步电路的优势和问题	2
1.2 异步电路的发展概况	4
1.3 微处理器发展史	5
1.4 处理器设计	6
1.4.1 数字系统设计过程	6
1.4.2 体系结构实现、逻辑实现和物理实现	7
1.4.3 指令集设计	8
1.4.4 微处理器性能	9
1.5 异步处理器的发展概况	11
1.5.1 Amulet 微处理器简介	11
1.5.2 Amulet 1(1993)	12
1.5.3 Amulet 2e(1996)	12
1.5.4 Amulet 3i(2000)	12
1.5.5 其他几种异步处理器	13
1.6 为什么用异步微处理器作为设计实例	14
1.7 小结	14
参考文献	14
第 2 章 异步电路设计思想	17
2.1 基本概念	17
2.1.1 握手协议	17
2.1.2 数据编码方式	18
2.1.3 C 门	19
2.1.4 握手协议和编码方式的组合	21
2.1.5 完成检测	24
2.2 异步电路基本模型	26
2.2.1 延迟模型	26

2.2.2 异步电路的分类	26
2.3 信号转换图	28
2.4 异步电路设计方法	30
2.4.1 异步电路设计方法发展历程	30
2.4.2 语法驱动转换的异步电路设计方法	32
2.4.3 同步-异步电路转换的异步电路设计方法	34
2.4.4 基于定制的细粒度高性能异步电路设计方法	38
2.5 异步电路的测试	39
2.6 小结	40
参考文献	40
第3章 基于宏单元的异步集成电路设计流程	44
3.1 设计流程	44
3.1.1 数据通路设计方法	46
3.1.2 控制通路设计方法	46
3.2 宏单元全定制	46
3.3 基于宏单元的异步电路设计自动化流程	47
3.3.1 异步数据通路自动生成	49
3.3.2 异步控制通路自动生成	52
3.3.3 相关工作比较	52
3.4 设计实例：异步乘法器	53
3.4.1 乘法算法设计	53
3.4.2 异步乘法器体系结构	55
3.4.3 异步乘法器的实现	62
3.4.4 对异步乘法器的评测	67
3.5 设计实例：异步加法单元	71
3.6 设计实例：异步乘累加单元设计	72
3.7 设计实例：异步 ALU 单元设计	74
3.8 设计实例：异步 DLX 流水线	75
3.8.1 DLX 流水线	75
3.8.2 异步 DLX 流水线设计实现	77
3.8.3 面积比较	78
3.8.4 性能比较	78
3.9 小结	80
参考文献	80
第4章 异步控制电路设计	82
4.1 Burst-Mode 状态机层次化分解技术	82
4.1.1 Burst-Mode 状态机逐级分解	83

4.1.2 接口状态机设计	85
4.1.3 层次化分解实例	87
4.2 Burst-Mode 状态机直接映射技术	93
4.2.1 晶体管级直接映射技术	94
4.2.2 门级直接映射技术	101
4.3 Burst-Mode 异步控制电路设计方法	104
4.3.1 基本设计流程	104
4.3.2 接口状态机设计	105
4.3.3 Burst-Mode 电路实现	108
4.3.4 设计实例与结果分析	111
4.4 小结	113
参考文献	113
第 5 章 异步片上网络设计	115
5.1 片上网络简介	115
5.1.1 片上网络的基本要素	115
5.1.2 片上网络的分类	116
5.2 异步片上网络	118
5.2.1 异步片上网络研究现状	118
5.2.2 异步片上网络体系结构	119
5.3 片上网络设计	123
5.3.1 同步片上网络体系结构	123
5.3.2 基于层次位线的片上缓冲结构	126
5.3.3 同步路由器的设计	130
5.3.4 异步路由器的设计	141
5.4 相关实验设计	148
5.5 片上网络未来的研究方向	154
5.5.1 完善的异步片上网络设计流程	154
5.5.2 异步片上网络的评测	155
5.6 小结	156
参考文献	156
第 6 章 解同步异步电路设计	160
6.1 基于延迟匹配的解同步异步电路设计和优化	160
6.1.1 局部控制器握手协议及延迟单元的改进	161
6.1.2 控制通路抽象模型和等价性证明	164
6.1.3 局部控制器聚集优化算法	170
6.1.4 32 位乘法器设计实例	177

6.2 基于完成检测的解同步异步电路设计和优化	179
6.2.1 基于显式完成检测的 NCL 电路	179
6.2.2 NCLX 电路的延迟抽象模型	183
6.2.3 基于延迟分析的 NCLX 电路优化方法	187
6.3 小结	192
参考文献	193
第 7 章 异步电路的性能分析和优化	195
7.1 基于排队网络的异步电路性能分析	195
7.1.1 异步时延电路的性能分析	195
7.1.2 排队网络的基本理论	197
7.1.3 基于闭环排队网络的分析技术	200
7.1.4 基于开环排队网络的分析技术	208
7.1.5 相关工作和比较	215
7.2 基于 Petri 网的异步电路性能分析	215
7.2.1 Petri 网的基本理论	216
7.2.2 异步电路和 Petri 网	220
7.2.3 时钟周期分析技术	222
7.3 解同步异步电路流水线的性能分析	228
7.3.1 解同步异步电路流水线的排队网络描述	229
7.3.2 排队网络描述的等价随机标记图模型	231
7.4 异步电路的性能优化	237
7.4.1 异步时延电路的性能优化技术	237
7.4.2 解同步异步流水线缓冲优化方法	247
7.5 相关工作和比较	253
7.5.1 异步电路时钟周期分析技术	253
7.5.2 异步电路流水线优化技术	254
7.6 小结	254
参考文献	255
第 8 章 腾越-II 异步微处理器	259
8.1 数据触发体系结构	259
8.1.1 数据触发思想	260
8.1.2 指令集格式	261
8.1.3 DTA 流水线结构	262
8.1.4 功能单元与寄存器文件	263
8.1.5 局部传输网络	265
8.2 异步数据触发体系结构	265
8.2.1 微处理器体系结构软硬件折衷	265

8.2.2	DTA 异步化设计问题分析	267
8.2.3	异步数据触发体系结构	269
8.3	微体系结构及电路实现	270
8.3.1	异步 DTA 流水线结构	270
8.3.2	功能单元优化	271
8.3.3	数据源选择策略	272
8.4	腾越-II 异步微处理器实现及评测	273
8.4.1	腾越-II 总体结构	274
8.4.2	数据触发计算内核	274
8.4.3	Cache 系统	277
8.4.4	外围设备	279
8.4.5	VLSI 实现	280
8.4.6	测试和验证	283
8.5	小结	286
	参考文献	286
第 9 章	异步电路在容错领域的应用	288
9.1	基于异步 C 单元的双模冗余结构	288
9.1.1	DMR 冗余结构	288
9.1.2	DMR 结构可靠性分析	290
9.2	基于异步双沿触发寄存器的时空三模冗余结构	294
9.2.1	TSTMR 冗余结构	294
9.2.2	TSTMR 结构可靠性分析	297
9.3	异步标准单元设计与实现	301
9.4	实验与分析	302
9.4.1	芯片面积评估	302
9.4.2	性能评估	303
9.4.3	容软错误能力评估	304
9.5	与相关工作的比较	305
9.6	小结	305
	参考文献	306
第 10 章	未来异步微处理器技术研究	307
10.1	异步多核微处理器系统结构研究	307
10.2	异步电路自动化设计技术与理论	307
10.3	异步片上网络和 GALS 设计	308
10.4	纳米工艺下的同步器技术	308
10.5	其他的研究方向	309
10.6	小结	309

参考文献	310
附录 A 异步数据触发体系结构的寄存器定义	312
A.1 DTA 控制寄存器	312
A.2 DTA 状态寄存器	314
附录 B 异步数据触发功能单元	316
B.1 整数单元	316
B.2 浮点单元	333
B.3 整数比较单元	334
B.4 浮点比较单元	336
B.5 CORDIC 单元	337
B.6 存储单元	341
B.7 整数除法单元	343
B.8 浮点除法单元	344
附录 C 异步数据触发体系结构工具链	345
C.1 硬件支持部分	345
C.2 软件支持部分	346
附录 D 腾越 II mach 文件描述	348
附录 E 汇编示例：32 位矩阵乘法	354

第 1 章

概 述

2008 年的国际半导体工艺路线图(The International Technology Roadmap of Semiconductor, ITRS)指出,在下一个 10 年,集成电路中的控制和同步操作需要异步通信协议的协助。ITRS 估计,基于全局时钟的集成电路在 2007 年占据市场份额的 93%,而到 2022 年,将只会占据市场份额的 55%,剩余的 45%都将采用本地握手电路,包括无时钟或者多时钟集成电路。异步集成电路设计技术已经逐渐开始引起工业界的关注,采用异步逻辑的芯片也逐渐开始占领市场。本章主要简述异步电路技术产生的背景、微处理器的发展历史和异步微处理器的发展现状。

1.1 异步电路出现的背景

迄今大部分集成电路的设计和实现都是采用同步方式。实际上,同步电路是基于两个基本假设来简化它们的设计:

- (1) 电路中所有的信号都是二进制的;
- (2) 所有部件共享一个公共的离散时序,该时序由分布于整个电路中的时钟信号来定义。

在同步数字系统中,所有状态的翻转都是发生在同步时钟的跳变沿,系统的状态保存在寄存器中。组合逻辑根据系统的当前状态和输入信号产生系统的新状态和输出信号,新状态在时钟跳变沿被锁存到寄存器中。因此,同步电路的设计者必须控制组合逻辑的延时,使其满足最差条件下寄存器的建立时间和保持时间。同步电路作为主导设计方法,拥有大量成熟的 EDA 工具,覆盖了整个超大规模数字集成电路的设计流程,从高层次语言描述到实现完整的芯片版图都有成熟的流程和解决方案。

然而,集成电路技术发展进入纳米级以后,器件的尺寸不断缩小,MOS 管的沟道特征尺寸已经小于 28nm,绝缘层厚度小于 1nm,单芯片的集成容量不断扩大。随着芯片特征尺寸的缩小、面积的增大以及时钟工作频率的提高,特别是随着片上系统(System-on-Chip, SoC)的出现,全局同步时钟的设计已经越来越困难,同时全局同步时钟导致的功耗问题令设计者束手无策。基于以上原因,异步电路重新引起了学术界和工业界的关注。

异步电路和同步电路在本质上是不同的,异步电路没有全局时钟,系统各模块之间的数据交换通过相互之间的握手过程完成。相对于同步电路,异步电路的低功耗、潜在的高性能和便于模块化设计的优点随着工艺的进步逐渐显现出来。虽然异步电路也是采用二进制信号,但是其中没有公共离散的时序。异步电路中用握手(handshaking)替代公共时钟来实现各个部件之间的同步(synchronization)和通信(communication)并保证运算的顺序。

1.1.1 同步电路的问题

同步电路占据大规模数字集成电路的主导地位,其完善的设计流程与成熟的 EDA 工具促使大规模数字电路在过去 40 年迅速发展。同步电路系统要求系统各部分的时钟是同步的或者几乎是同步的,这就需要全局的时钟信号来实现电路中各部分之间同步。随着集成电路制造工艺进入深亚微米级,同步电路逐渐暴露出 3 个主要问题:时钟偏移(clock skew)难以解决、功耗难以控制以及多时钟域集成困难。

由于时钟信号也是电信号,其传输延迟是客观存在的,因此时钟信号到达芯片各处电路的时间存在差异,这一差异被称为时钟偏移。时钟偏移直接影响了电路中两级寄存器之间有效的组合逻辑运算时间。在进行芯片物理设计时,一般要求消除时钟偏移,即保证时钟信号到达各个寄存器的延迟相同。为了控制时钟偏移,同步电路设计一般采用图 1-1 所示的时钟分布网络。时钟分布网络通常会占据芯片的很大面积,功耗很大。在 Intel 双核 Itanium 处理器中采用复杂的两级 PST (Post Silicon Tunable) 时钟缓冲器结构,第二级的时钟调节缓冲器通过片上时钟相位检测硬件动态调节时钟分布网络,用于消除时钟偏移的影响^{[1][2][3]}。可见时钟偏移问题直接影响芯片面积、功耗以及上市时间,而且随着特征尺寸的缩小、芯片面积的变大和时钟频率的提高,时钟偏移问题将越发难以解决。

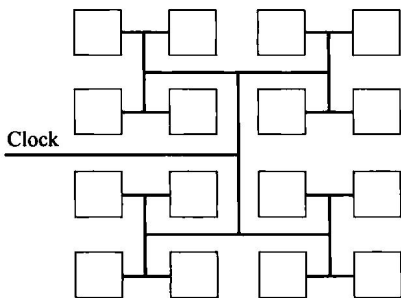


图 1-1 时钟分布网络

随着工艺的进步,同步电路的功耗问题也越来越突出。CMOS 工艺的电路,只有当逻辑门发生翻转的时候才会产生动态功耗。在数字系统中,通常某一个时刻只有一部分电路在工作,其余不工作的电路不需要翻转。但是在同步电路中,电路都是时钟驱动的,只要有时钟信号,就会产生不必要的功耗。虽然门控电路技术能够关断时钟,但是这会增加设计的复杂度。同时,同步电路中所有的翻转都在时钟沿同时发生,这会导致产生瞬时的巨大功耗。而且,时钟分布网络本身也会产生大量的功耗,在现代微处理器中,近一半的功耗消耗在时钟网络上^[4]。

多时钟域集成问题随着芯片面积的增大也逐渐成为芯片设计人员面临的难点问题。目前的 SoC 设计中,通常会存在多个不同的时钟域,每个时钟域的内部采用单一时钟,不同频率时钟域间的数据同步成为设计的难题。如果跨时钟域同步出现问题,将导致芯片功能错误。因此,需要采用复杂的结构来实现跨时钟域的同步,这也增加了多时钟域芯片设计的难度。

1.1.2 异步电路的优势和问题

与同步电路不同,异步电路通过使用大量的本地握手信号来完成整个电路的时序控制工作。每个电路模块在接收到请求信号后开始工作,工作完成后产生相应的应答信号给请求方。因而,与同步电路相比,异步电路具有以下优势。

(1) **功耗低。**同步电路中,时钟频率基本上是按照峰值负载设计的,但电路一般都不在峰值负载的情况下运行,导致功耗浪费,而门控时钟只能有限地改善功耗浪费。异步电路仅

在工作时才消耗能量,而且异步电路由于细粒度的门控和零待机功耗^[5],可以在零功耗无数据状态和最大吞吐率状态之间迅速切换,不需要任何辅助电路。

(2) **能获得平均性能。**同步电路的时钟周期取决于最差情况下的关键路径长度,而异步电路的性能则由电路的平均延迟决定,因此理论上可以比同步电路达到更高的速度^[6]。在深亚微米集成电路工艺中,由于工艺误差,电路延迟分布较大,异步电路有可能达到比同步电路更好的性能。

(3) **电磁兼容性好。**CMOS 电路仅在开关时产生电流,而同步电路的时钟使电路同时开关,造成很大的瞬时电流,这样就产生了很强的电磁干扰;而且,时钟的固定周期使这些能量集中在时钟基波和谐波附近的很窄的频谱范围内。异步电路的局部工作倾向于随机分布,每个单元在收到其他部分的请求信号之后才开始工作。因而电路不会在特定时刻产生瞬时大电流,而是一些在时间上分布的小电流峰值,辐射功率低;而且异步电路没有工作在固有的频率上,其辐射功率不会集中在特定的窄带频谱中,而是在大范围上均匀分布^{[7][8]}。

(4) **工艺可移植性、环境适应性和可靠性强。**异步电路对于信号的延迟不敏感,对深亚微米集成电路工艺的适应性较强。当集成电路线宽达到深亚微米时,由连线寄生参数引起的信号延迟会超过由电路单元引起的延迟,在这种情况下,在完成电路的物理设计之前无法得到准确的电路延迟信息。另外,如果改变集成电路制造工艺,那就需要重新设计电路逻辑甚至电路结构以满足时序要求。异步电路使用握手信号进行通信,电路的延迟只会影响工作速度而不会影响电路行为,因此电路的物理设计比较简单,并且对集成电路制造工艺的偏差^{[5][8]}不敏感。

(5) **模块化,易于集成。**异步电路的接口采用握手信号,易于模块间的互连。同步电路中,不同时钟域之间的互连难度较大,模块间的时序验证也很难使用工具自动完成。而异步电路简单的握手协议很好地解决了模块互连和时序验证问题,模块之间的信号只需满足相应的异步通信协议,比同步电路的跨时钟域转换机制要简单很多。

(6) **无时钟偏移。**随着芯片面积的增大和互连线延迟在整个电路延迟中所占的比例增大,同步电路的时钟偏移越来越难以控制,设计难度越来越大。异步电路没有全局时钟,避免了时钟设计问题。

虽然异步电路在上述几个方面优于同步电路,但异步电路同样存在一些缺点。

首先,电路中实现握手功能的异步控制逻辑单元常常会给芯片面积、电路速度以及功耗方面带来额外的开销,因此在设计时必须进行充分权衡。例如,在采用异步技术后,能否对上述3个方面中的某个或者全部进行实质性的性能改进。第二,一个阻碍异步电路发展的主要因素是缺乏成熟的设计策略和 EDA 工具。在同步电路设计中广泛使用的逻辑综合工具、自动布局布线工具、时序分析工具、测试工具和测试向量生成工具等,都不能完全适用于异步电路的设计。第三,由于异步电路是数据驱动的,对其进行性能分析和优化异常困难。同步电路关键路径(两个寄存器之间的最大延迟的组合逻辑路径)延时决定同步电路性能的评估方法不适用于异步电路。第四,相对于同步电路,异步电路中信号的每一次翻转都代表一次操作。任何不需要的信号翻转都可能会引起电路功能失效,因而异步电路需要谨慎设计以消除电路的竞争、冒险和毛刺。这些问题都给异步电路的研究带来了挑战。

1.2 异步电路的发展概况

异步电路研究始于 20 世纪 50 年代,是从分析时序电路的输入约束条件开始的,这也是当时开关理论研究领域中的一部分。首先对异步电路进行建模和系统分析的,可以追溯到两位人物——Huffman 和 Muller,他们分别提出了基本模式电路(Fundamental Mode Circuit)模型和速度无关电路(Speed Independent Circuit)模型。这两种模型的差别不是很大,采用的设计方法也一直延续到现在。Huffman 在文献[9]中首先指出,为了使时序电路能分辨出输入的变化,要求电路的输入信号之间必须有一个最小的时间间隔,基于这种分析的电路称为 Huffman 电路。同期,Muller 在文献[10]中提出了完成信号的概念,即异步电路中只有在完成信号有效后,输入信号才允许发生变化并使控制有效,基于完成信号概念的电路称为 Muller 电路或者 Muller 流水线^[11]。基于 Huffman 和 Muller 的理论,Unger 给出了更详细的异步时序电路的设计方法,并提出了多输入变化电路的一些设计要点,对异步电路的实用化产生了重大影响^[12]。

20 世纪 60 年代到 70 年代中期,Macro-Module 项目的完成有力地证明了异步电路模块化的优势,并为模块化的设计方法奠定了重要基础。同期,Chuck Seitz 提出了基于 Petri 网的异步系统设计和分析方法。这项有价值的开创性工作促成了世界上首台异步数据流计算机和包含异步硬件的商用系统——Evans & Sutherland LDS-1(首台专用图形计算机)的出现^[13]。

20 世纪 70 年代后期到 80 年代,由于工艺技术的发展,数字集成电路的设计规模从大规模集成电路(LSI)向超大规模集成电路(VLSI)发展。随着电路规模的扩大,时钟的概念被引入集成电路中以替代复杂的异步控制机制,并产生了同步电路的设计方法。由于同步电路模型简单,设计方法统一,电路设计自动化技术开始出现,EDA 工具日趋成熟,从而逐渐占据了电路设计的主导地位,结束了半导体行业提供单个逻辑单元,由电路设计者利用这些单元进行逻辑设计,然后构成电路系统的设计流程。这一时期,同步电路由于其自身的优点逐渐占据了电路设计的主导地位,而异步电路在很长一段时间内被认为无法应用于大规模集成电路设计中,其研究仅仅局限于一些特殊模块和相关的理论研究^{[14][15]}。

直到 20 世纪 90 年代后期,工艺技术的持续发展使得同步电路的局限性不断地暴露出来,特别是功耗的问题,这使得异步电路重新得到人们的重视。同时,异步电路在设计方法上获得了突破,出现了 Local-Clocked Machine、Tangram、3D Machine Micro-Pipeline 等设计模型和一些设计自动化方面的探索性工具。同期,异步电路出现了丰富的研究成果和一些商业产品,如 Manchester 大学的研究小组设计出 Amulet 异步处理器系列验证了异步电路低功耗的优势^{[16][17][18][19]},而 RAPID 则验证了异步电路在高性能上的应用^[20]。

进入 20 世纪后期,异步电路的研究受到越来越广泛的关注。以英国曼彻斯特大学为主成立了全球性的异步研究组织(Asynchronous Research Group, ARG)^[21],ARG 联合了欧美众多大学、研究机构和公司等科研力量并分享成果,其研究领域基本涵盖了异步电路相关的各个方面,并形成了教学、研究与实践相结合的发展模式。自 1995 年起,IEEE 每年组织国际异步电路和系统研讨会(IEEE International Symposium on Asynchronous Circuit and System, ASYNC),进行相关研究工作的交流和汇报。

1.3 微处理器发展史

本书关注异步微处理器设计,在进入正题之前,首先对微处理器的发展和设计技术进行简单的回顾。

在短暂的四十多年时间里,微处理器已经经历了显著的变化。它的性能以每 18 个月翻一番的令人惊骇的速度提升。在过去的四十多年时间里,计算机系统发生了许多革命与创新,其中微处理器功不可没。这些革命包括嵌入式微控制器、个人计算机、高级工作站、手持移动设备、应用程序和文件服务器、Internet 上的 Web 服务、低功耗超级计算机和大规模计算集群系统等。现在几乎每年都要出售超过 1 亿块微处理器,以满足移动、桌面及服务器市场的需求。如果将嵌入式微处理器和微控制器包括在内,每年生产的微处理器总数超过 10 亿个。

第一块微处理器芯片——Intel 的 4004 于 1971 年诞生。4004 是一个 4 位的处理器,大约有 2300 个晶体管,时钟频率刚刚超过 100kHz。4004 主要应用于计算器。2011 年是微处理器诞辰 40 周年。目前的高端微处理器包含超过 10 亿个晶体管,时钟频率达到 2GHz 以上,成为超级计算机系统和高性能服务器系统的组成部分,这些系统已经充满了整个互联网。

微处理器四十年的发展历程展示了计算机工业中技术发展的不寻常的事实,参见表 1-1。微处理器的发展与著名的摩尔(Moore)定律十分吻合,此定律是 Gordon Moore 在 1965 年发现的,即在单个芯片上的器件集成度将以每 18~24 个月的速度翻一番。在以前的三十多年时间里,微处理器芯片上的晶体管数量增加了 4 个数量级。在同一时期,微处理器性能增加了 4 个数量级。在过去的二十年时间里,微处理器性能每 18 个月翻一番,或每 10 年就成为原来的 100 倍。这样显著的发展速度是其他工业所不能比的。

表 1-1 微处理器发展的四十年历程

年代	1970—1980	1980—1990	1990—2000	2000—2010
晶体管数量(个)	2~100K	100K~1M	1~100M	100M~2B
时钟频率(Hz)	0.1~3M	3~30M	30M~1G	1~15G
指令数/时钟周期(IPC)	0.1	0.1~0.9	0.9~1.9	1.9~2.9

在这 40 年,微处理器在计算机工业中一直发挥着至关重要的作用。在第一个 10 年中,4 位微处理器的问世很快导致 8 位微处理器的出现。这些数据宽度较小的 8 位微处理器内部都嵌入一个微控制器,广泛应用于洗衣机、电梯和喷气式引擎等大量的嵌入式应用中。同时 8 位微处理器也成为新型计算机平台,即个人计算机(Personal Computer, PC)的核心部分,成为 PC 时代的先驱。

20 世纪 80 年代的 10 年是 32 位微处理器体系结构与微体系结构主要技术的发展年代。指令集设计问题成为大学与工业界研究的焦点。人们意识到指令集体系结构有助于硬件的有效实现,并能在编译器的优化过程中起到很好的杠杆作用。指令流水以及高速缓存(Cache)成为标准的微体系结构技术。于是,基于 32 位微处理器的科研与工作站问世,它们