



高等学校 规划教材
工科电子类

微电子器件设计

冯耀兰 李伟华

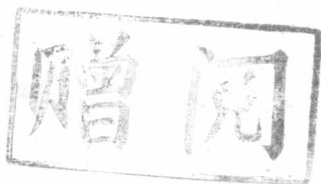


东南大学出版社

736512/20

微电子器件设计

冯耀兰 李伟华



东南大学出版社

出版说明

根据国务院关于高等学校教材工作的规定,我部承担了全国高等学校和中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力,有关出版社的紧密配合,从1978~1990,已编审、出版了三个轮次教材,及时供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要,贯彻国家教委《高等教育“八五”期间教材建设规划纲要》的精神,“以全面提高教材质量水平为中心,保证重点教材,保持教材相对稳定,适当扩大教材品种,逐步完善教材配套”,作为“八五”期间工科电子类专业教材建设工作的指导思想,组织我部所属的九个高等学校教材编审委员会和四个中等专业学校专业教学指导委员会,在总结前三轮教材工作的基础上,根据教育形势的发展和教学改革的需要,制订了1991~1995年的“八五”(第四轮)教材编审出版规划。列入规划的,以主要专业主干课程教材及其辅助教材为主的教材约300多种。这批教材的评选推荐和编审工作,由各编委会或教学指导委员会组织进行。

这批教材的书稿,其一是从通过教学实践、师生反映较好的讲义中经院校推荐,由编审委员会(小组)评选择优产生出来的,其二是在认真遴选主编人的条件下进行约编的,其三是经过质量调查在前几轮组织编写出版的教材中修编的。广大编审者、各编审委员会(小组)、教学指导委员会和有关出版社,为保证教材的出版和提高教材质量,作出了不懈的努力。

限于水平和经验,这批教材的编审、出版工作还可能有缺点和不足之处,希望使用教材的单位,广大教师和同学积极提出批评和建议,共同为不断提高工科电子类专业教材的质量而努力。

电子工业部电子类专业教材办公室

前 言

本教材按中国电子工业总公司的工科电子类专业教材 1991~1995 年编审出版计划,由全国工科电子类专业教材编审委员会半导体物理与器件编审小组征稿并推荐出版。责任编委为魏同立。

本教材的第一、二、三章由冯耀兰编写,第四、五、六章由李伟华编写。东南大学冯耀兰担任主编,华中理工大学刘刚担任主审。

本课程的参考学时数为 32 学时。

为了适应高科技发展对微电子方面人才的需求,必须加强微电子器件设计这一实践性教学环节,培养和提高学生理论联系实际、综合设计及运用计算机辅助设计的能力。为此,本书根据作者多年来指导学生微电子器件设计的实践,将晶体管和集成电路设计及计算机辅助设计有机地联系在一起,并以集成电路设计为重点,贯穿于其中。

本书的内容主要包括双极和 MOS 晶体管的结构参数设计、热学设计;数字和模拟集成电路的逻辑设计、电路设计、工艺设计和版图设计;电路模拟和工艺模拟技术。其中每部分内容都以设计理论为指导,并力求理论和实际紧密联系。本书作为微电子器件设计这一实践性教学环节的教材和设计参考书,重在设计实践。为了达到学以致用目的,在本书各部分设计中都有设计实例,以供学生和其它读者参考。

在本书的编写过程中,得到了东南大学微电子中心的领导和许多老师的热情指导和帮助,在此表示衷心地感谢。

由于编者水平有限,书中难免存在一些错误和不妥之处,恳切希望读者批评指正。

编 者

目 录

1	绪论	1
1.1	微电子器件的传统设计方法	1
1.2	计算机辅助设计技术	2
1.3	设计自动化	3
2	双极型晶体管的设计	5
2.1	双极型晶体管设计理论	5
2.1.1	pn 结基本理论	5
2.1.2	双极型晶体管的图形结构和制造工艺	8
2.1.3	双极型晶体管的特性参数	11
2.2	双极型晶体管的设计	17
2.2.1	双极型晶体管的设计原则和设计过程	17
2.2.2	纵向结构参数的设计	19
2.2.3	横向结构参数的设计	21
2.2.4	热学设计	22
2.3	集成电路中双极晶体管的设计	23
2.3.1	集成电路中的双极型晶体管	23
2.3.2	集成电路中双极型晶体管的一般设计考虑	25
2.3.3	集成电路常用双极型晶体管的设计	26
2.4	集成电路中双极型晶体管设计实例	30
2.4.1	纵向结构参数的选取	31
2.4.2	横向结构参数的选取	32
3	MOS 晶体管的设计	34
3.1	MOS 晶体管设计理论	34
3.1.1	MOS 晶体管的工作原理和图形结构	34
3.1.2	MOS 晶体管的制造工艺	36
3.1.3	MOS 晶体管的特性参数	37
3.1.4	MOS 晶体管的开关响应和功率特性	44
3.2	MOS 晶体管设计	45
3.2.1	纵向结构参数的选取	45
3.2.2	栅金属覆盖层的选取	46
3.2.3	横向结构参数的选取	47
3.3	集成电路中 MOS 晶体管的设计	48
3.3.1	集成电路中的 MOS 晶体管	48
3.3.2	集成电路中 MOS 管的一般设计考虑	51
3.3.3	CMOS 倒相器中 MOS 管宽长比的设计计算方法	51
3.4	CMOS 集成电路中 MOS 管设计实例	52
3.4.1	设计问题和目标参数	52
3.4.2	器件参数的计算	53

4 集成电路 CAD 技术基础	55
4.1 计算机辅助电路分析	56
4.1.1 SPICE-Ⅰ 软件的能力	56
4.1.2 输入文件的语句格式	58
4.1.3 输入源程序的书写	69
4.1.4 值得注意的问题	72
4.2 计算机辅助工艺分析	73
4.2.1 SUPREM-Ⅰ 的输入语句格式	73
4.2.2 输入源程序的书写	82
4.2.3 应注意的问题	85
5 数字集成电路设计	86
5.1 数字集成电路设计理论	86
5.1.1 电路的速度特性	86
5.1.2 双极晶体管集成电路工艺和版图设计理论基础	87
5.1.3 MOS 数字集成电路工艺和版图设计理论基础	89
5.1.4 版图布局	94
5.1.5 版图布线	96
5.1.6 辅助图形设计	97
5.2 数字集成电路设计实践	99
5.2.1 设计问题和目标参数	99
5.2.2 逻辑设计	99
5.2.3 逻辑模拟	99
5.2.4 工艺设计	101
5.2.5 工艺模拟	104
5.2.6 电路单元选择及参数计算	113
5.2.7 版图设计	118
5.2.8 分布参数的提取和验算	121
6 模拟集成电路设计	129
6.1 模拟集成电路设计理论	129
6.1.1 双极模拟集成电路设计理论	129
6.1.2 MOS 模拟集成电路设计理论	133
6.2 模拟集成电路设计实践	138
6.2.1 设计问题和目标参数	138
6.2.2 单元电路设计和器件参数计算	140
6.2.3 工艺设计	148
6.2.4 版图设计	153
6.2.5 验算	155
附录一	159
附录二	162
附录三	163
参考文献	165

1 绪 论

随着微电子学、微电子技术、半导体材料和计算机科学技术的迅速发展,微电子器件的品种日益繁多,在国民经济各部门、国防建设及日常生活中显示出愈来愈强大的生命力。在各种微电子器件中,尤以硅集成电路的应用最为广泛、发展最为迅速。从小规模集成电路(SSI)发展到大规模、超大规模集成电路(LSI、VLSI),器件的最小尺寸已进入亚微米数量级。由于集成度的提高、器件尺寸的缩小,使集成电路的性能/价格比提高,应用前景更为广阔。

从第一只晶体管问世以来,微电子器件的研制都是建立在设计的基础上,因而微电子器件的迅速发展与其设计理论、方法和技术的不断更新密切相关。当微电子器件从分立器件、SSI 进入到 LSI、VLSI 阶段,微电子器件的设计方法也从传统的人工设计进入到计算机辅助设计(CAD)、计算机自动化设计阶段。

本教材即以集成电路设计为重点,从设计实践出发,介绍双极晶体管、MOS 晶体管和数字集成电路、模拟集成电路的设计理论、设计方法及计算机辅助设计技术。

1.1 微电子器件的传统设计方法

微电子器件的设计任务归纳起来就是根据设计指标、工艺条件和设计规则进行芯片图形的设计。因为分立器件的芯片图形即管芯图形,设计过程比较简单,而集成电路芯片图形的设计内容则包括电路中所有元器件的图形、隔离、互连及与外部电路连接等方面。因而,设计的难易由电路的复杂程度决定。对于比较复杂的电路设计,当按电路的设计指标完成电路结构设计以后,可按功能将电路分解为若干简单的电路,然后根据确定的工艺条件和设计规则对各部分电路的元器件进行设计,再考虑隔离、互连等问题,进行总体设计和布局。

图 1.1 表示集成电路的传统研制过程。实际上,掩膜制作、芯片试制和测试分析都可以包括到微电子器件设计中,作为检验设计的手段,为改进和完善设计提供依据。对于分立器件的设计,当设计指标分析后,即可进行工艺参数和版图设计。

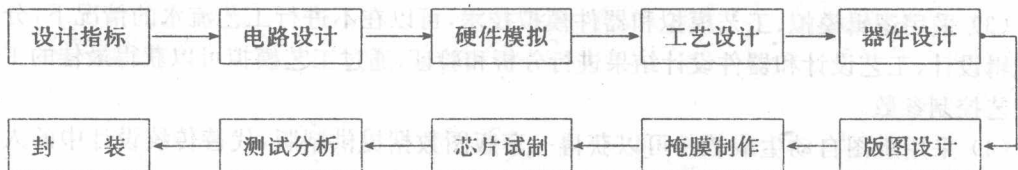


图 1.1 集成电路的传统研制过程

图中的硬件模拟主要是验证电路结构设计正确与否的技术,这种技术对于 SSI 是可行的,对于较大规模电路,通常存在两方面的问题:首先,硬件模拟时所用元器件和节点数随集

成规模的增大而增多,因而使模拟难度增大、模拟可靠性降低以至不能进行模拟。其次,硬件模拟通常只能进行功能模拟,不能对一些细节如寄生效应、分布参数等进行分析。

在传统设计过程中,工艺设计中所选用的工艺参数如扩散层表面浓度、薄层电阻和工艺控制参数如扩散浓度、扩散时间等一般根据经验确定。对于工艺设计所确定的工艺和工艺控制参数、器件设计计算得到的纵向和横向结构参数及版图设计的结果是否正确等问题,必须通过芯片试制才能进行验证。但往往通过一次工艺流程很难得出全面、准确的结论,因而需要反复试验。这样不仅使得传统设计的试制周期长、成本高,而且很难优化设计。

在微电子器件的传统设计过程中,所有的设计计算、版图绘制和刻红膜都是依靠人工完成,这种方法可用于一般分立器件和 SSI 的设计。对于较大规模集成电路设计,若采用传统的人工设计方法,不仅周期长、设计成本高、而且容易出错且查错困难。

综上所述,对于 LSI 和 VLSI 的设计必须采用新的方法和技术,这就促使了 CAD 技术的应用和发展。

1.2 计算机辅助设计技术

由于计算机的计算速度快、数据处理能力强等特点,在用计算机进行辅助设计的过程中,能够以数据或图形形式提供大量、准确的计算分析结果,并能将一些有用的结果存贮起来。当然,这些结果的获取是依靠各种计算机软件。由于各种 CAD 软件的开发,为微电子器件设计方法和技术的革新、优化设计和设计自动化(DA)开辟了广阔的道路。

原则上,在微电子器件设计过程的每一步骤中可以引入 CAD 技术,用来对逻辑、电路、器件、工艺及版图等进行辅助设计。实际上,目前已开发出且应用较成熟的 CAD 应用软件主要有电路模拟软件 SPICE、逻辑模拟软件 EXERT、器件模拟软件 MINIMOS、工艺模拟软件 SUPREM 和版图自动生成软件等,各种软件都有特定的功能和适用范围。因此,CAD 技术目前主要应用在模拟和版图自动生成等方面。设计者掌握了 CAD 技术和这些软件,将传统设计方法和 CAD 相结合,不仅可以使设计计算、分析和作图的工作量大为减轻,还可以明显地缩短设计周期、降低设计成本、提高设计质量。

图 1.2 表示数字集成电路的计算机辅助研制过程。与传统研制过程相比,计算机辅助研制过程具有以下特点:

- (1) 用计算机代替人工进行设计计算和作图。
- (2) 用电路模拟技术代替硬件模拟对设计的电路进行分析和验证。
- (3) 采用逻辑模拟、工艺模拟和器件模拟技术,可以在不进行工艺流水的情况下,分别对逻辑设计、工艺设计和器件设计结果进行分析和验证;通过工艺模拟可以获得最佳的工艺和工艺控制参数。
- (4) 采用版图自动生成软件可以获得一套版图数据提供制版,代替传统设计中的人工绘图、刻红膜;并能提取分布参数代入电路,进行更为精确的模拟。
- (5) 采用图形发生器制版代替照相制版。
- (6) 在芯片制作和芯片测试过程中,可以引入计算机辅助制造(CAM)、计算机辅助测试(CAT)技术。

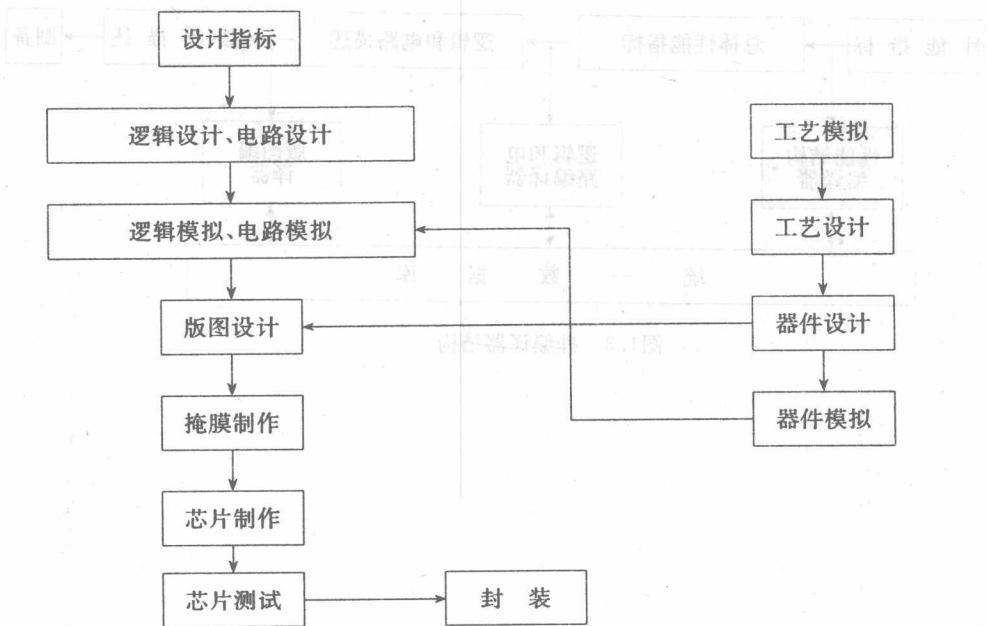


图1.2 数字集成电路的计算机辅助研制过程

1.3 设计自动化

传统设计奠定了微电子器件设计的基础,CAD 技术推动了微电子器件设计的发展,其发展方向就是设计自动化。

在 CAD 过程中,CAD 技术虽然能够自动地完成一定的功能,但只起辅助设计作用,整个设计过程采用的是人机交互的方式进行,起主导作用的是设计者。所谓设计自动化则是一种全自动的设计方法,运用自动设计软件,设计人员只需输入欲设计电路的功能行为及性能指标,计算机即可自动完成电路结构的设计并产生测试码,再根据所采用的工艺和几何设计规则自动地完成版图设计,产生某种标准格式的版图数据,转换成图形发生器的数据格式,整个设计过程全部由计算机自动完成。硅编译器(SILICON COMPILER)就是一种全自动设计系统,其结构如图 1.3 所示,图中利用性能结构编译器、逻辑和电路编译器及版图编译器,将设计指标直接转换为版图数据。各个编译器所处理的信息由统一数据库管理。

目前的硅编译器往往不是从系统的性能指标而是从逻辑或电路级开始,并且还只限于少数几种高度规则的数字集成电路,如门阵列、标准单元阵列或可编程逻辑阵列,集成电路设计离开设计自动化尚有一定距离。

2 双极型晶体管的设计

双极型晶体管是由两种载流子即电子和空穴参与导电的晶体管,属于电流控制器件。由于其工作速度高、驱动能力大、阈值电压可控性好及模拟器件应用优越,在分立电路和集成电路中应用很广。

双极型晶体管的设计主要包括纵向结构参数、横向结构参数的设计及热学设计。对于平面晶体管,纵向结构参数包括衬底和外延层的电阻率和厚度、基区宽度、发射结和集电结的结深、发射区和基区的表面浓度与薄层电阻。横向结构参数包括管芯的平面几何图形和尺寸。热学设计则包括图形布局、封装和管壳设计。晶体管的结构参数和使用要求的电学参数、热学参数紧密相关,而制造工艺及水平不仅是晶体管设计的基础,也是将设计付诸于实现的保证。因此,必须根据实际工艺水平进行设计,通过试制发现问题加以改进,也可以通过计算机工艺模拟和器件模拟对设计结果进行验证,使设计的结果更加完善。

本章首先简单回顾双极型晶体管的设计理论,继而阐述双极型晶体管人工设计的一般原则、步骤和设计计算方法。最后将介绍集成电路中双极型晶体管的设计理论、方法和实例。

2.1 双极型晶体管设计理论

2.1.1 pn 结基本理论

pn 结是许多半导体器件的基本组成部分,结型二极管、双极型晶体管和结型场效应晶体管等都以 pn 结为核心。因而,pn 结理论是双极型晶体管及其它结型半导体器件的物理基础,与这些器件的设计密切相关。本节将回顾和晶体管设计有关的 pn 结理论,重点是给出有关电参量的计算公式及图表。

(1) 平衡 pn 结

平衡 pn 结是指没有外加电压、光照、辅射且在温度恒定条件下的 pn 结,由载流子电流密度方程可求得空间电荷区两侧存在的接触电势差即内建电势

$$V_D = \frac{kT}{q} \ln \frac{N_A(-x_p) \cdot N_D(x_n)}{n_i^2} \quad (2.1)$$

式中 k 为玻尔兹曼常数(其值为 $8.62 \times 10^{-5} \text{eV/K}$), T 为 pn 结绝对温度, $N_A(-x_p)$ 、 $N_D(x_n)$ 分别代表空间电荷区两侧 p 区和 n 区的掺杂浓度, n_i 即本征载流子浓度(室温下硅的 n_i 约为 $1.5 \times 10^{10} \text{cm}^{-3}$)。

当扩散结的杂质分布在结区附近可用线性近似时,若已知杂质浓度梯度为 a ,空间电荷区宽度为 x_m ,则由式(2.1)得

$$V_D = \frac{2kT}{q} \ln \left(\frac{a x_m}{2n_i} \right) \quad (2.2)$$

由泊松方程还可以求出上述扩散结 V_D 的另一表达式

$$V_D = \frac{qa_j}{12\epsilon\epsilon_0} x_m^3 \quad (2.3)$$

式中 ϵ 为半导体的相对介电常数 (ϵ_{si} 约为 11.9), ϵ_0 为自由空间介电常数即真空电容率 ($\epsilon_0 = 8.85 \times 10^{-14} \text{F/cm}$)。一般硅 pn 结接触电势差 V_D 约为 0.7 伏。

(2) pn 结电流—电压特性方程

根据描述载流子运动规律的电流密度方程和连续方程求解, 获得如下理想 pn 结电流—电压方程

$$I = I_R (e^{qv/kT} - 1) \quad (2.4)$$

这里 I_R 是 pn 结反向饱和电流, 其值由下式决定

$$\begin{aligned} I_R &= A \left(\frac{qD_p P_n}{L_p} + \frac{qD_n n_p}{L_n} \right) \\ &= A \left(\frac{qD_p n_i^2}{L_p P_n} + \frac{qD_n n_i^2}{L_n P_p} \right) \end{aligned} \quad (2.5)$$

式中 D_p 和 L_p 为 n 区空穴扩散系数和扩散长度, P_n 和 n_n 为 n 区空穴浓度和平衡电子浓度, D_n 和 L_n 为 P 区的电子扩散系数和扩散长度, n_p 和 P_p 为 p 区的电子浓度和平衡空穴浓度, A 为 pn 结面积, 当室温 $T = 25^\circ\text{C}$ 时, $kT/q \approx 0.026\text{V}$ 。

由于本征载流子浓度 n_i 和非平衡少子迁移率 μ 、寿命 τ 等随温度而变化, I_R 具有正温度系数。

若 pn 结反向偏压 $V_R \gg kT/q$, pn 结反向电流由下式决定:

$$I = -I_R$$

若 pn 结正向偏压 $V_F \gg kT/q$, 式(2.4)可简化为

$$I = I_R e^{qv/kT}$$

对于实际 pn 结电流—电压特性, 必须考虑势垒区的产生和复合作用、表面效应、大注入效应及串联电阻的影响。

(3) pn 结电容

pn 结扩散电容 C_D 是 pn 结上电压变化引起扩散区少子存贮电荷变化的结果, 其值由下式决定:

$$C_D = \frac{g}{2} (\tau_n + \tau_p) \quad (2.6)$$

$$g = \frac{1}{r_c} = \frac{qI_F}{kT} \quad (2.7)$$

式中 τ_p 、 τ_n 分别为 n 区、p 区少子寿命, r_c 为 pn 结小信号微分电阻, I_F 是 pn 结正向工作电流。

pn 结势垒电容是势垒区空间电荷随外加电压变化的电容效应。对于单边突变结在反偏下的势垒电容

$$C_T = \left(\frac{q\epsilon_{si}\epsilon_0 N_{BC}}{2V_t} \right)^{1/2} A \quad (2.8)$$

式中 N_{BC} 代表轻掺杂区的浓度, $V_t = V_D - V_A$ 为结上总电压, A 为 pn 结面积。

正偏 pn 结势垒电容必须计及空间电荷区自由载流子对电容的贡献, 常用下式近似

$$C_T = (2.5 \sim 4) C_T(0) \quad (2.9)$$

式中 $C_T(0)$ 即零偏下的势垒电容。

突变结势垒电容 C_T 、势垒区宽度 x_m 和 V/N_{BC} 的关系如图 2.1 所示。

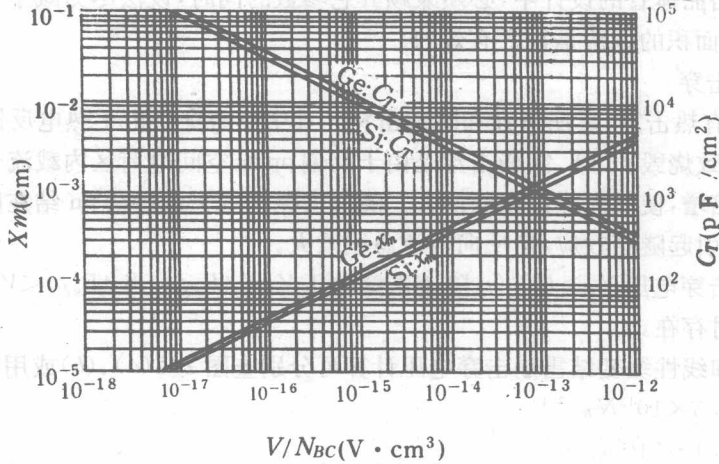


图 2.1 突变结势垒电容和势垒区宽度

线性缓变结势垒电容在零偏、小反偏甚至小正偏时可用下式计算：

$$C_T = A \left[\frac{qa_s \epsilon \epsilon_0}{12(V_R - V)} \right]^{1/3} \quad (2.10)$$

$$V_R = \frac{2kT}{3q} \ln \left(\frac{a_s^2 \epsilon \epsilon_0 K T / q}{8qn_i^3} \right) \quad (2.11)$$

对于实际外加电压下扩散结势垒电容的计算，在正偏和小反偏时，一般采用线性缓变结近似。在较大反向偏压时，可采用突变结近似。图 2.2 是采用耗尽近似计算得到的扩散势垒电容和势垒宽度随 V/N_{BC} 及结深 x 变化的曲线，适用于较高反偏的情况，图中 N_s 是扩散层表面浓度。

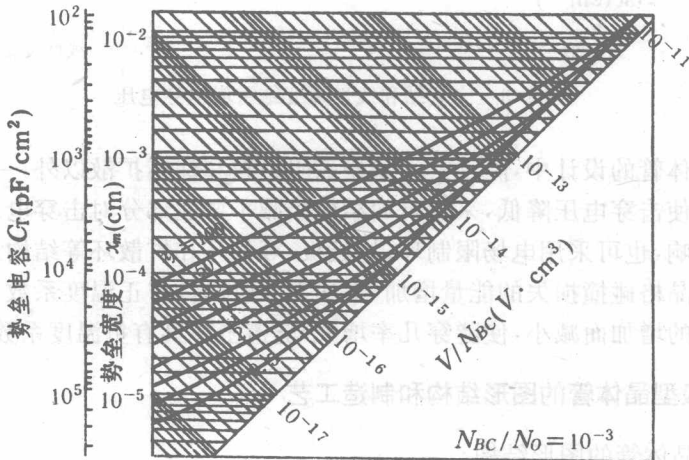


图 2.2 扩散结势垒电容和势垒宽度

因 pn 结势垒电容和扩散电容皆随外加电压变化，称之为非线性电容。由于 pn 结电容的

充放电效应会对晶体管的频率特性和开关特性带来极大的影响,因此在高频晶体管、开关晶体管和集成电路晶体管的设计中,必须兼顾其它参数的同时,设法尽力减小 pn 结电容,一般采用减小 pn 结面积的方法是行之有效的。

(4) pn 结击穿

pn 结击穿有热击穿、雪崩击穿和隧道击穿。其中热击穿是由于热电反馈作用使反向电流急剧增大,以致烧毁 pn 结。雪崩击穿是由于反偏 pn 结空间电荷区内载流子碰撞电离引起的载流子雪崩倍增,使反向电流急剧增大。隧道击穿是由于重掺杂 pn 结在反偏时势垒区能带的陡峭倾斜,引起隧穿效应,使反向电流急剧增大。

一般雪崩击穿电压 $V_B > 6E_g/q$, 隧道击穿电压 $V_B < 4E_g/q$, 当 $4E_g/q < V_B < 6E_g/q$ 时,两种击穿机构同时存在。

突变结和线性缓变结雪崩击穿电压计算可分别查图 2.3(a)、(b)或用以下近似公式:

$$V_B = 5.3 \times 10^{13} N_B^{-3/4} \quad (2.12)$$

$$V_B = 9.16 \times 10^9 a^{-2/5} \quad (2.13)$$

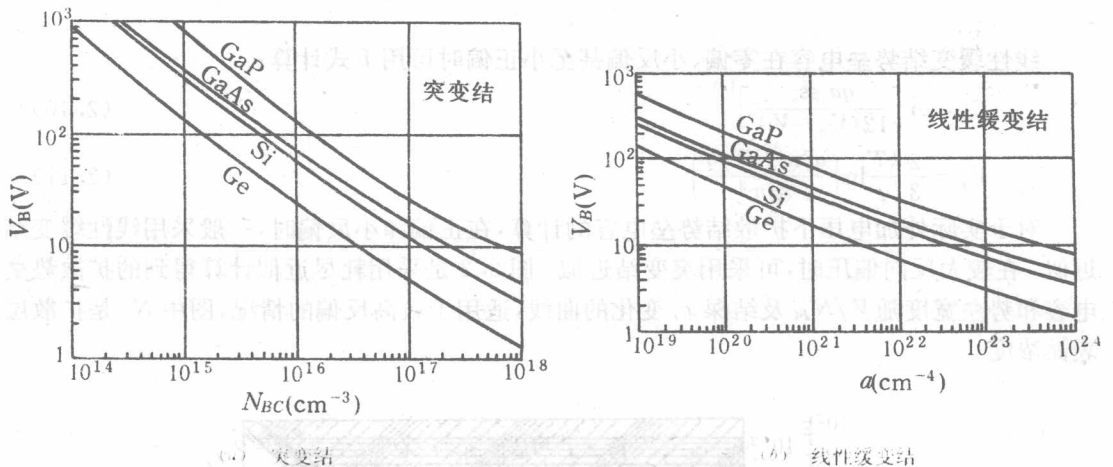


图 2.3 突变结和线性缓变结雪崩击穿电压

在高反压晶体管的设计中,除了必须采用高阻材料和深结扩散以外,一般采用圆角图形以防止电场集中使击穿电压降低,采用台面结构以减小弯曲部分对击穿电压的影响。为了防止表面效应的影响,也可采用电场限制环、场极板、等位环和扩散环等结构。

由于高温下晶格碰撞损失的能量增加,雪崩击穿电压具有正温度系数。由于半导体材料禁带宽度随温度的增加而减小,使隧穿几率增大,隧道击穿具有负温度系数。

2.1.2 双极型晶体管的图形结构和制造工艺

(1) 双极型晶体管的图形结构

双极型晶体管的纵向图形结构和制造工艺密切相关。双极型晶体管的横向图形结构主要是由其使用对电学和热学性能的要求决定。平面管图形结构的变化主要在于横向图形结构的变化,例如高频大功率管的图形结构就有梳式、覆盖、网格和树枝状等,如图 2.4(a)、(b)、(c)、(d)所示。

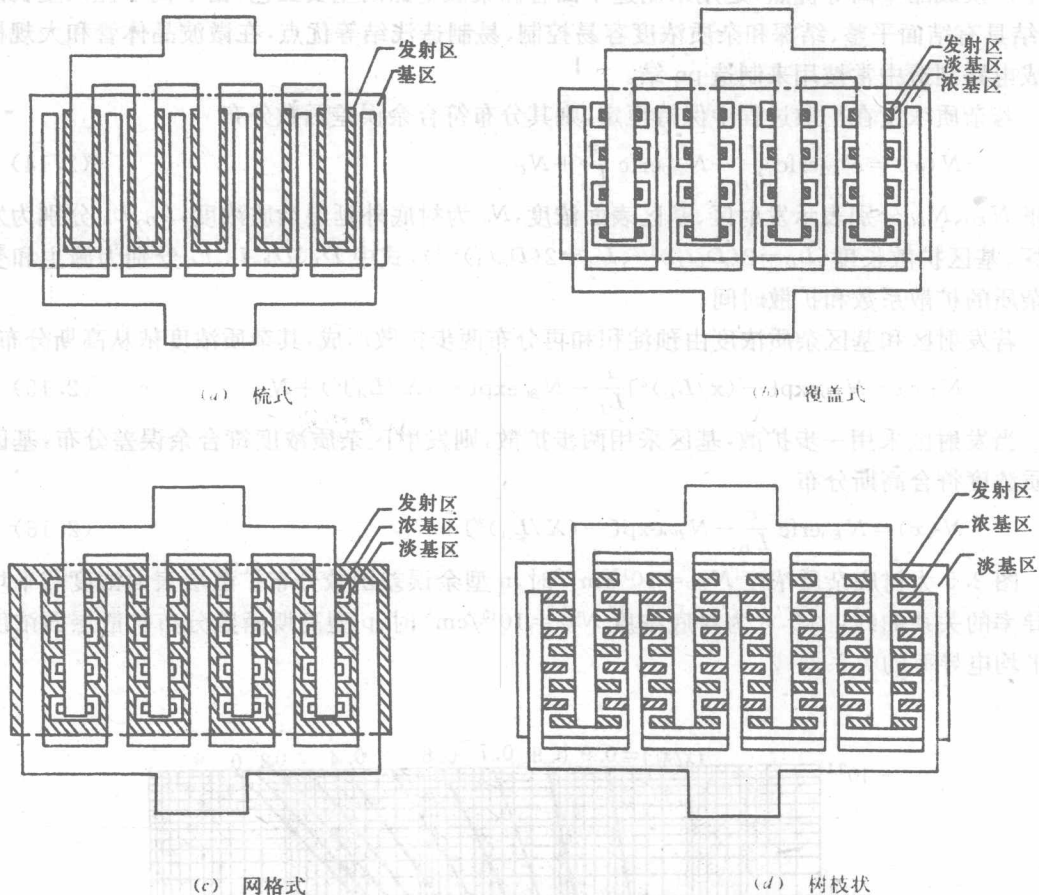


图 2.4 高频大功率晶体管的图形结构

由于梳式的图形结构简单、易于设计和制造、没有发射极—基极跨接引起的 EB 穿通及图形优值较高等优点,也广泛应用于中功率开关晶体管、微波低噪声晶体管的设计中。由于覆盖结构的发射极周长与面积之比最大,能承受的电流容量最大。由于该结构的发射极金属电极条较宽,流过其上的电流密度较低,能够有效地防止铝金属电迁移的发生,因而在高频大功率晶体管的设计中应用很多。由于网格结构具有较大的发射极周长与基区面积比,因而在同样电流容量下容易获得较好的频率特性。树枝状结构比覆盖结构有更多的基区直接与基极金属条相连,比网格结构有更多的发射极周长直接在发射极电极之下,且金属电极条的宽度可以做得较宽,因此该结构的电流容量较大。

因此,双极型平面晶体管图形结构设计的关键就是管芯横向图形结构的设计,也就是各次光刻版图图形的设计。其设计的优劣不仅影响许多电学和热学参数,还直接影响晶体管的可靠性与成品率。

(2) 双极型晶体管的制造工艺

双极型晶体管制造工艺主要有合金工艺、合金扩散台面工艺和双扩散外延平面工艺。其中双扩散面平工艺具有工艺可控性好、易于制造各种性能优越的晶体管和集成电路,适于大

量生产及成品率高等优点,是用来制造平面管和集成电路的主要工艺。由于离子注入生长的pn结具有结面平整、结深和杂质浓度容易控制、易制造浅结等优点,在微波晶体管和大规模集成电路制造中常被用来制造pn结。

若杂质浓度在扩散过程中保持恒定,则其分布符合余误差函数分布

$$N(x) = N_{EO} \operatorname{erfc} \frac{x}{L_D} - N_{BO} \operatorname{erfc} \frac{x}{L_A} + N_C \quad (2.14)$$

这里 N_{EO} 、 N_{BO} 分别表示发射区、基区表面浓度, N_C 为衬底外延层杂质浓度, L_D 、 L_A 分别为发射区、基区扩散长度 ($L_D = 2(D_D t_D)^{1/2}$ 、 $L_A = 2(D_A t_A)^{1/2}$), 式中 D_D 、 D_A 、 t_D 、 t_A 分别为施主和受主杂质的扩散系数和扩散时间。

若发射区和基区杂质浓度由预淀积和再分布两步扩散形成,其杂质浓度依从高斯分布。

$$N(x) = N_{EO} \exp[-(x/L_D)^2] - N_{BO} \exp[-(X/L_A)^2] + N_C \quad (2.15)$$

当发射区采用一步扩散,基区采用两步扩散,则发射区杂质浓度符合余误差分布,基区杂质浓度符合高斯分布

$$N(x) = N_{EO} \operatorname{erfc} \frac{x}{L_D} - N_{BO} \exp[-(X/L_A)^2] + N_C \quad (2.16)$$

图 2.5 为衬底杂质浓度 $N_{BC} = 10^{17} \text{cm}^{-3}$ 时, n 型余误差函数分布扩散层表面浓度和平均电导率的关系曲线,图 2.6 为衬底浓度 $N_{BC} = 10^{15} / \text{cm}^3$ 时, p 型高斯函数分布扩散层面浓度和平均电导率的关系曲线。

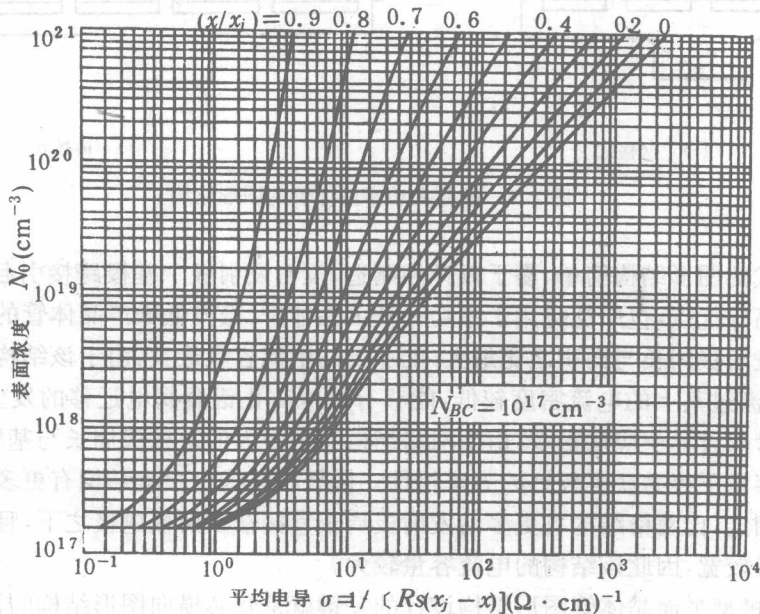


图 2.5 n 型余误差函数分布扩散层平均电导率

在晶体管设计中,必须根据设计指标要求,选择合适的制造工艺,再根据实际工艺水平,选取工艺参数作为设计的基础。