



普通高等教育“十一五”国家级规划教材

数字电路EDA设计

(第二版)

主编 顾 斌 姜志鹏 刘 磊



西安电子科技大学出版社
<http://www.xduph.com>

普通高等教育“十一五”国家级规划教材

数字电路 EDA 设计

(第 二 版)

主编 顾 斌 姜志鹏 刘 磊

西安电子科技大学出版社

内 容 简 介

本书以提高高校学生的数字电子系统设计能力为宗旨,对 EDA 技术基本知识、可编程逻辑器件的原理、硬件描述语言及其编程方法和数字电路 EDA 设计方法作了系统介绍。本书的特点是语言精练,实例丰富,深入浅出,注重实用,适合广大高职院校学生的特点和教学改革方向。

全书共分 6 章,第 1 章为绪论,介绍 EDA 技术的基本知识;第 2 章以国内市场占有率最高的两类芯片,即 Altera 公司和 Xilinx 公司的典型芯片为例,介绍了 CPLD 与 FPGA 的基本原理;第 3 章介绍数字电路 EDA 开发工具,包含目前业界常用的工具软件 ModelSim 与 Quartus II 的使用,以及二者联合使用的方法;第 4 章介绍了 VHDL 基本语法,并以具体实例解析 VHDL 的编程思想。第 5 章介绍基本逻辑电路的 EDA 实现方法,从语言编程、软件仿真、硬件验证三大步骤,对各类基本逻辑电路的 EDA 实现方法作了详细的阐述;第 6 章是典型数字系统设计,通过丰富实用的典型案例介绍多种数字系统的设计方法。

本书可作为高等职业院校电子类、通信类、电气类、计算机技术类等工科专业学生的数字逻辑电路、VHDL 程序设计、EDA 技术等相关课程的教材或相应实验课程的指导书,也可供从事数字电子系统设计的专业技术人员参考。

★本书配有电子教案,有需要者可登录出版社网站下载。

图书在版编目(CIP)数据

数字电路 EDA 设计 / 顾斌,姜志鹏,刘磊主编. —2 版. —西安:西安电子科技大学出版社,2011.5
普通高等教育“十一五”国家级规划教材

ISBN 918-7-5606-2537-9

I. ① 数… II. ① 顾… ② 姜… ③ 刘… III. ① 数字电路—电路设计:计算机辅助设计—高等学校—教材 ② 硬件描述语言, VHDL—程序设计—高等学校—教材 IV. ① TN790.2

中国版本图书馆 CIP 数据核字(2011)第 006644 号

策 划 马乐惠

责任编辑 张晓燕 马乐惠

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西天意印务有限责任公司

版 次 2011 年 5 月第 2 版 2011 年 5 月第 8 次印刷

开 本 787 毫米×1092 毫米 1/16 印张 12.5

字 数 284 千字

印 数 31 001~34 000 册

定 价 21.00 元

ISBN 978-7-5606-2537-9 / TN·0591

XDUP 2829002-8

*** 如有印装问题可调换 ***

本社图书封面为激光防伪覆膜,谨防盗版。

序

EDA 技术代表了当今电子系统设计技术的最新发展方向，其自顶而下、自整体到局部的设计理念与设计平台的构建，为电子技术设计人员提供了更加方便、更加快捷的电子系统设计方法。随着高性能的 CPLD/FPGA 芯片不断问世，高性能的 EDA 软件工具乃至芯片制造商的开发平台也在不断升级换代，采用 EDA 技术设计电子系统已成为目前电子系统设计的主流技术。可以说，当今从事电子技术应用设计的技术人员，如果不熟悉并掌握 EDA 技术，是很难找到合适的职业岗位的。以就业为导向的高等职业教育，其电子类相关专业，无不将 EDA 技术作为专业核心课程。

我国高职教育，尚未构建得到普遍认可的数字电路 EDA 技术课程标准，因此也就没有诞生在课程标准框架下具有通适性的 EDA 技术高职教材。由顾斌老师主编的这部教材使我耳目一新。该书 2002 年初版至今，已为多所高校选用。此次再版，编者集 8 年来的教学实践并借鉴其他高职院校课程改革的有益经验，使教材在整体结构、内容选取、实践教学的安排等方面都更为合理并达到更高的层次。可以看出，编者在如何将 EDA 的系统理论知识、相关技术、技能、方法与技巧等传输给学生方面，将长期的卓有成效的课程改革成果融入到这部教材之中，使教材具有更强的实用性与适用性。

我相信，这部教材一定会为更多的教师、学生乃至电子技术工作者所选用。

是为序。

刘守义
于深圳职业技术学院
2010.8.31

IT 类专业高职高专规划教材编审专家委员会

主任：高 林（北京联合大学副校长，教授）

副主任：温希东（深圳职业技术学院副院长，教授）

李卓玲（沈阳工程学院信息工程系主任，教授）

李荣才（西安电子科技大学出版社总编辑，教授）

计算机组：组长：李卓玲（兼）（成员按姓氏笔画排列）

丁桂芝（天津职业大学计算机工程系主任，教授）

王海春（成都航空职业技术学院电子工程系副教授）

文益民（湖南工业职业技术学院信息工程系主任，副教授）

朱乃立（洛阳大学电子信息工程学院院长，教授）

李 虹（南京工业职业技术学院电气工程系副教授）

陈 晴（武汉职业技术学院计算机科学系主任，副教授）

范剑波（宁波工程学院电子与信息工程学院副院长，副教授）

陶 霖（上海第二工业大学计算机学院教授）

徐人凤（深圳职业技术学院电子与信息工程学院副院长，高工）

章海鸥（金陵科技学院计算机系副教授）

鲍有文（北京联合大学信息学院副院长，副教授）

电子通信组：组长：温希东（兼）（成员按姓氏笔画排列）

马晓明（深圳职业技术学院通信工程系主任，教授）

于 冰（宁波工程学院电子与信息工程学院副教授）

孙建京（北京联合大学教务长，教授）

苏家健（上海第二工业大学电子电气工程学院副院长，高工）

狄建雄（南京工业职业技术学院电气工程系主任，副教授）

陈 方（湖南工业职业技术学院电气工程系主任，副教授）

李建月（洛阳大学电子信息工程学院副院长，副教授）

李 川（沈阳工程学院自动控制系副教授）

林训超（成都航空职业技术学院电子工程系主任，副教授）

姚建永（武汉职业技术学院电子信息系主任，副教授）

韩伟忠（金陵科技学院龙蟠学院院长，高工）

项目总策划：梁家新

项目策划：马乐惠 云立实 马武装 马晓娟

电子教案：马武装

前 言

IT 产业飞速发展的今天,电子技术逐步跨入了“数字时代”,以可编程逻辑器件和硬件描述语言为载体的数字电路 EDA 技术已成为数字电子技术的重要发展方向。产业的发展带动了人才的培养,肩负电子信息产业高级技能型人才培养任务的高等职业院校更是适时而动,逐步提高了数字电路等相关课程的地位,大力开展相关课程的建设、优化。因此,编写一本与时俱进、适合高等院校电子信息类专业通用的数字电路 EDA 技术教材,不仅是教学的需要,而且是产业的需要。

在数字电路 EDA 技术方兴未艾的 2002 年,作者肩负使命与责任,在出版单位的鼓励下,编写了本书的第一版。当初的想法仅是供广大职业院校试用,对其效果未抱奢望。出乎意料的是,第一版在全国高职院校中取得了一定的反响,上百所高职院校选用该教材,其中不乏一些著名高等职业院校,如深圳职业技术学院和南京信息职业技术学院(原南京无线电工业学校)等。究其原因,作者认为,关键在于该教材适应了高职教育的特点:其秉承的原则是“理论简要,应用为上”,这在高职教育刚刚起步,多数高职院校仍在模仿本科教学模式的当时,代表一种新生事物。

转眼跨入了 2010 年,在过去的八年里,几方面的原因促使作者重编此书:第一,数字电子系统的 EDA 技术发展迅猛,主要表现在,CPLD/FPGA 芯片的性价比不断提高,各种功能强大的 EDA 软件工具也层出不穷,如 ModelSim 等专用 EDA 工具在业界的应用日益广泛,著名芯片制造商的开发平台也作了很大的完善,Altera 公司昔日的 MAXPLUS II 已被 Quartus II 所取代;第二,通过多年来不同院校的教学实践,以及读者反馈,使作者既积累了不少经验,也发现了不足;第三,与企业岗位能力需求一致的培养目标定位,使企业对高职院校培养的人才的评价越来越高,甚至高于一般本科院校;第四,国家对高职教育也日益重视,政府已将高职教育作为高等教育的重要部分和形式明确定位下来。

恰应教育部“十一五”规划教材编写计划,在编者与出版社共同努力下,本书的第二版终于奉献给广大读者。编者认为,一本应用技术类教材若长盛不衰,它必然与时俱进。因此,本版教材在保留了第一版的长处(如继续秉承“理论简要,应用为上”的原则,所有程序代码均经过验证,等等)之外,还对第一版进行了大胆的精简,增加了一些业界常用的新技术,以体现时代特色;另外,对配套的实验电路实行成本最小化。因为如今高校内笔记本电脑的普及率越来越高,小成本的实验电路对于帮助学生课后自学无疑是极为有利的,这样,学生就真正实现了在一台电脑、一根下载线和一块小型电路板的简单条件下,在教室、图书馆或宿舍等场所,均能进行数字电路 EDA 技术的学习、设计、仿真和实验。

本书由顾斌主编,参加编写的还有姜志鹏和刘磊。在本书的编写过程中,深圳职业技术学院刘守义教授对本书提出了许多宝贵的意见。在教材提纲编写过程中,江苏省教学名

师南京信息职业技术学院华永平教授在高职教学理念上给予作者极大的启发。深圳职业技术学院韩秀清副教授在百忙之中审读了全稿，指出了初稿中的许多问题，帮助我们改进。上述专家均为本书的出版作出了重要贡献，在此表示衷心的感谢。

由于编者水平所限，本书谬误及不足在所难免，恳请广大专家和读者批评指正。

编 者

于南京信息职业技术学院

2010.8.31

读者若需下载免费的教学资料，如课件、大纲、授课计划和教案等，或需了解本书配套的实训电路板等有关信息，请登录：www.edabook.cn。

目 录

第 1 章 绪论	1
1.1 概述	1
1.2 EDA 技术的应用领域	2
1.3 EDA 的设计步骤	3
1.4 TOP-DOWN 设计方法	5
1.5 硬件描述语言	6
1.5.1 ABEL-HDL	6
1.5.2 Verilog-HDL	6
1.5.3 VHDL	7
1.5.4 Verilog-HDL 和 VHDL 的比较	7
1.6 可编程逻辑器件开发工具	7
1.6.1 ispLEVER	8
1.6.2 ISE	8
1.6.3 Quartus II	9
1.7 IP 核概述	10
第 2 章 CPLD、FPGA 芯片结构	12
2.1 Altera 公司 CPLD 芯片	12
2.1.1 概述	12
2.1.2 功能描述	14
2.1.3 逻辑阵列块	15
2.1.4 用户 Flash 存储区	18
2.2 Xilinx 公司 Virtex-5 系列 FPGA	19
2.2.1 概述	19
2.2.2 可配置逻辑块 CLB	20
2.2.3 输入输出模块 IOB	22
2.2.4 Block RAM	23
习题	25
第 3 章 数字电路 EDA 开发工具	26
3.1 ModelSim 的设计过程	26
3.1.1 新建工程与源文件	26
3.1.2 ModelSim 仿真	29
3.2 Quartus II 的设计过程	31

3.2.1	设计输入	31
3.2.2	编译	35
3.2.3	编译前的约束设置	36
3.2.4	仿真前的参数设置	38
3.2.5	仿真	39
3.2.6	引脚分配	42
3.3	Quartus II 与 ModelSim 联合仿真	43
3.3.1	存储器初始化文件	43
3.3.2	MegaWizard Plus-In Manager 定制 ROM	44
3.3.3	Quartus II 与 ModelSim 联合仿真	50
	习题	55
第 4 章	VHDL 语言	56
4.1	VHDL 概述	56
4.1.1	VHDL 的特点	57
4.1.2	VHDL 语言的程序结构	57
4.1.3	VHDL 程序的一般结构	57
4.2	实体定义相关语句	58
4.2.1	类属参数说明语句	59
4.2.2	端口说明语句	60
4.3	结构体及子结构语句	61
4.3.1	结构体的格式及构造	61
4.3.2	子结构之块(BLOCK)语句结构	63
4.3.3	子结构之进程(PROCESS)语句结构	65
4.3.4	子结构之子程序 FUNCTION 语句结构	67
4.3.5	子结构之子程序 PROCEDURE 语句结构	69
4.4	程序包、库及配置	70
4.4.1	程序包	70
4.4.2	库	72
4.4.3	配置	73
4.5	VHDL 的并行语句	73
4.5.1	简单信号赋值语句	73
4.5.2	选择信号赋值语句	74
4.5.3	条件信号赋值语句	75
4.5.4	元件例化语句	77
4.5.5	生成语句	81
4.6	VHDL 中的顺序语句	82
4.6.1	顺序赋值语句	82
4.6.2	IF 语句	82
4.6.3	CASE 语句	83

4.6.4	WAIT 语句	85
4.6.5	LOOP 语句	85
4.7	VHDL 语言的客体及其分类	86
4.7.1	常数	86
4.7.2	变量	86
4.7.3	信号	87
4.8	VHDL 语言的标准数据类型	88
4.8.1	位	89
4.8.2	位矢量	89
4.8.3	布尔量	89
4.8.4	整数	89
4.8.5	实数	89
4.8.6	字符	90
4.8.7	字符串	90
4.8.8	时间	90
4.8.9	错误等级	90
4.9	VHDL 用户定义的数据类型	90
4.9.1	枚举类型	90
4.9.2	整数类型	91
4.9.3	数组	91
4.9.4	用户自定义子类型	91
4.10	VHDL 语言的运算操作符	92
4.10.1	逻辑运算符	93
4.10.2	算术运算符	93
4.10.3	关系运算符	96
	习题	97
第 5 章	基本数字电路的 EDA 实现	99
5.1	基本门电路的设计	100
5.2	触发器的设计	102
5.3	编码器的设计	104
5.3.1	BCD 编码器	104
5.3.2	格雷码编码器	106
5.4	译码器的设计	107
5.4.1	二进制译码器	108
5.4.2	数码显示译码器	110
5.5	计数器的设计	113
5.5.1	带使能、清零、预置功能的计数器	113
5.5.2	可逆计数器	115
5.5.3	进制计数器	117

5.6 移位寄存器的设计	119
5.6.1 串入串出移位寄存器	120
5.6.2 同步预置串行输出移位寄存器	123
5.6.3 循环移位寄存器	125
5.6.4 双向移位寄存器	127
5.7 有限状态机的设计	129
5.7.1 莫尔型状态机	129
5.7.2 米里型状态机	132
5.7.3 Quartus II 观察状态转换图	134
习题	135
第 6 章 典型数字系统设计	140
6.1 分频电路	140
6.1.1 偶数分频	140
6.1.2 奇数分频	142
6.1.3 X.5 分频	146
6.1.4 6.5 分频器的硬件验证	147
6.2 交通灯控制器	148
6.2.1 交通灯控制器的功能描述	148
6.2.2 交通灯控制器的实现	148
6.2.3 交通灯控制器的 VHDL 程序	149
6.2.4 交通灯控制器的硬件验证	151
6.3 数字频率计	151
6.3.1 测频原理	152
6.3.2 频率计的组成结构分析	152
6.3.3 频率计的 VHDL 程序	152
6.3.4 频率计的仿真结果	154
6.3.5 频率计的硬件验证	154
6.4 实用数字钟电路	155
6.4.1 分频模块	157
6.4.2 时钟产生模块	158
6.4.3 数码管显示驱动模块	160
6.4.4 数字钟的硬件验证	161
6.5 LCD 接口控制电路	162
6.5.1 1602 字符 LCM 的内部存储器	162
6.5.2 1602 字符 LCM 的引脚	162
6.5.3 1602 LCM 指令系统	163
6.5.4 1602 LCM 控制过程	164
6.5.5 1602 显示的硬件验证	168
6.6 串口通信	169

6.6.1 异步串口数据传送格式	169
6.6.2 用 VHDL 描述 RS-232C 串口	170
6.6.3 串口通信的 VHDL 程序仿真结果	172
6.6.4 串口通信的硬件验证	173
6.7 2FSK 信号产生器	174
6.7.1 FSK 基本原理	174
6.7.2 2FSK 信号产生器	174
6.7.3 2FSK 信号产生器的 VHDL 描述	177
6.7.4 2FSK 的仿真结果	182
6.7.5 2FSK 的硬件验证	182
习题	183
附录一 实验电路板结构图	184
附录二 实验板电气原理图	186
附录三 实验板 EPM240 管脚定义表	187
参考文献	188

第1章 绪 论

【本章提要】 本章介绍了数字电路 EDA(Electronic Design Automation, 电子设计自动化)技术的基本概念、应用领域与设计步骤, 简要介绍了常用的 HDL(High-speed-integrated-circuit hardware Description Language, 高速集成电路硬件描述语言)和常用 EDA 开发工具及其特点, 最后介绍了 EDA 中 IP 核技术的发展。主要内容如下:

- EDA 技术概述;
- EDA 应用领域;
- EDA 设计步骤;
- HDL 概述;
- 常用 EDA 开发工具;
- IP 核概述。

1.1 概 述

进入 21 世纪的十年来, 随着计算机技术与微电子技术的持续发展, 数字化社会的特征进一步彰显, 以数字集成电路为代表的数字电路已进入社会生活的各个领域。数字电路应用领域扩大的同时, 其相应的功能设计也越来越复杂, 这就对数字电路的设计方法提出了更高的要求。

传统数字电路的主要功能模块由功能固定的中小规模集成电路(SSI、MSI)、大规模集成电路(LSI)搭建而成。设计者在明确设计要求后, 需要根据设计要求选择功能已知的 SSI、MSI 与 LSI, 然后根据所选择的芯片考虑整个系统的硬件设计方案。概括起来说, 传统的数字电路设计具有以下缺点:

(1) 由于所选择的集成电路功能固定, 因此一旦设计方案确定并制造交付, 硬件电路便不能修改、升级。

(2) 如果硬件经测试不能满足设计要求或者需要对逻辑功能进行调整、升级, 则必须重新设计并制造, 而实现复杂逻辑功能需要成百上千的 SSI、MSI 芯片与大量 LSI, 此时如果重新设计并制造硬件, 需要消耗较多的人力物力。

(3) 数字电路的相应控制全部由连线完成, 只要参照成品的连线即可以仿制电路, 电路的保密性低。

(4) 由大量 SSI、MSI、LSI 搭建而成的电路, 其复杂的芯片外围连线对电路工作速度及工作的可靠性产生了不利影响: 一方面其连线长度制约了所能达到的工作速度, 另一方面过多的连线使电路也易受到外界的干扰。

鉴于上述缺点,传统的数字电路设计已经越来越不适应当下经济对电子设计的实时快速、易于检修、保密和升级的要求,而 EDA 技术与可编程逻辑器件的出现与发展弥补了传统数字电路设计方法的不足。EDA 是电子设计自动化的简称,这里的“自动化”主要指电子设计的关键工作由计算机自动完成。

可编程逻辑器件设计是 EDA 技术的重要应用领域。应用 EDA 技术设计可编程逻辑器件时,设计者只需正确描述所需逻辑功能,然后由 EDA 软件平台根据设计者提供的逻辑描述完成对指定目标可编程逻辑器件内部的布局布线工作。由于主要逻辑功能由可编程逻辑器件内部电路承担,而可编程逻辑器件内部连线很短,因此基于可编程逻辑器件的数字电路可以达到较高的运行速度与可靠性。此外,EDA 软件平台通常提供软件仿真功能,也可以使用专门的软件仿真工具对已有的设计结果进行功能仿真、时序仿真、驱动仿真甚至电磁兼容方面的验证。当仿真结果显示不能达到设计要求时,一般只需修改设计者的设计描述而不需重新设计硬件电路,即使是硬件电路的修改也只是软件中部分语句的修改,所消耗资源较少。

EDA 技术已成为当今电子设计领域的重要技术。基于 EDA 技术,目前绝大多数数字电路均可由 CPU 与可编程逻辑器件及必要的外围电路(如存储器等)配合实现。学会使用数字电路设计这一强大的工具、掌握 EDA 技术,是 21 世纪相关专业人员掌握数字技术的重要环节。

1.2 EDA 技术的应用领域

EDA 技术在电子设计领域的主要应用包括电子 CAD(Computer Aided Design)与集成电路设计。

电子 CAD 即计算机辅助设计,它是 EDA 最早的应用领域。电子 CAD 的使用可以追溯到 20 世纪 70 年代,当时的 CAD 软件主要利用计算机软件帮助设计者进行 PCB(Printed Circuit Board)布线。进入上世纪 80 年代,CAD 软件在电路仿真方面有了很大的发展,设计者在 CAD 软件帮助下对电路进行功能检验,以期在设计交付之前能够发现问题。CAD 软件代替了一部分手工计算与操作,提高了电子设计的效率与可靠性。

随着电子 CAD 的发展,EDA 技术也日益应用于集成电路设计,尤其是 ASIC(Application Specific Integrated Circuit,专用集成电路)设计。ASIC 是一种为满足某种特定应用目的而设计的集成芯片,其“专用”是相对通用集成电路而言的。ASIC 通常分为模拟 ASIC、数字 ASIC、模数混合 ASIC 与微波 ASIC,本节只讨论数字 ASIC。

数字 ASIC 可以划分为全定制 ASIC、半定制 ASIC 和可编程 ASIC 三大类。

全定制 ASIC 需要设计者借助全定制 IC 版图设计工具,由设计者手工设计 IC 版图,包括芯片内部的布局布线、规则验证、参数提取、一致性检查等。这种 ASIC 对设计人员提出了很高的经验要求,设计周期长且设计成本高,适用于批量很大的芯片。

半定制 ASIC 实际上是一种半成品的 ASIC,这种 ASIC 内部已经预制好单元电路,但各单元之间的连线掩膜尚未制造,有待设计确定。半定制 ASIC 包括门阵列 ASIC 与标准单元 ASIC。门阵列 ASIC 片上提供了大量规则排列的单元(早期的单元是门,故称门阵列),

将这些单元按不同规则连接到一起就可以产生不同的功能。标准单元 ASIC 的特征是采用标准单元库,设计时通过调用库中提供的标准单元的版图完成版图设计。由于标准单元库的内容经过精心设计,因此通过调用其所设计的版图往往能用较短的设计周期获得较高的性能。

无论是全定制 ASIC 还是半定制 ASIC,当版图设计出来后,仍然要返回到 IC 生产厂家去制造。而可编程 ASIC 与此不同,这种 ASIC 出厂时其制造工艺已全部完成,用户只要借助个人电脑与相应软件即可进行“编程”,经过“编程”的芯片可直接应用于系统。可编程 ASIC 的典型应用是 PLD(可编程逻辑器件)。

可编程逻辑器件的核心价值体现为“可编程”。可编程是指器件的内部硬件连接可修改,大部分的可编程逻辑器件可以多次修改其内部布局布线,从而改变其所具有的逻辑功能,这为设计的修改完善与产品升级带来了很大的灵活性。由于其主要逻辑功能在 PLD 内部实现,外界只能看到输入输出引脚,不能轻易知悉 PLD 内部的连接情况,因而也增加了数字电路设计的保密性。

可编程逻辑器件早期的产品包括 PROM、PAL、PLA、GAL 等,集成度较低,一般将其称为低密度 PLD;而 CPLD、FPGA 由于集成度较高而称为高密度 PLD。可编程逻辑器件经过数十年的发展,使用越来越普及,集成度越来越高,以往需要多个芯片构成的数字系统如今可以在一片超大规模 PLD 芯片上实现。本书讲述的重点是 EDA 技术在可编程逻辑器件方面的应用,其中第 2 章将介绍可编程逻辑器件两大供应商 Xilinx 公司的 FPGA 与 Altera 公司的 CPLD 的基本结构。

1.3 EDA 的设计步骤

EDA 的设计步骤主要包括设计输入、设计实现、设计验证与器件下载。

1. 设计输入

EDA 设计输入指设计者采用某种描述工具描述出所需的电路逻辑功能,然后将描述结果交给 EDA 软件进行设计处理。设计输入的形式有硬件描述语言输入、原理图输入、状态图输入、波形输入或几种方式混合输入等,其中硬件描述语言输入是最重要的设计输入方法。目前业界常用的硬件描述语言有 VHDL、Verilog-HDL、ABEL-HDL,本书主要介绍 VHDL 语言的设计输入方法。

2. 设计实现

设计实现的过程由 EDA 软件承担。设计实现是将设计输入转换为可下载至目标器件的数据文件的全过程。设计实现主要包括优化(Optimization)、合并(Merging)、映射(Mapping)、布局(Placement)、布线(Routing)、产生下载数据等步骤。

优化是指 EDA 软件对设计输入进行分析整理,使得逻辑最简,并将其转换为适合目标器件实现的形式。

合并是指将多个模块文件合并为一个网表文件。

映射是指根据具体的目标器件内部结构对设计进行调整,使逻辑功能的分割适合于用指定的目标器件内部逻辑资源实现。映射之前软件产生的网表文件与器件无关,主要是以

门电路和触发器为基本单元的表述；映射之后产生的网表文件对应于具体的目标器件的内部单元电路，比如针对 Xilinx 公司的 FPGA 芯片，映射后的网表文件将逻辑功能转换为以 CLB 为基本单元的表述形式，便于后续布局。

映射将逻辑功能转换为适合于目标器件内部硬件资源实现的形式后，实施具体的逻辑功能分配，即用目标器件内不同的硬件资源实现各个逻辑功能，这一过程称为布局。针对 Xilinx 公司的 FPGA 芯片，布局就是将映射后的各个逻辑子功能分配给具体的某个 CLB 的过程。

布线是指在布局完成后，根据整体逻辑功能的需要，将各子功能模块用硬件连线连接起来的过程。

产生下载数据是指产生能够被目标器件识别的编程数据。对于可编程逻辑器件而言，CPLD 的下载数据为熔丝图文件，即 JEDEC 文件；FPGA 的下载数据为位流数据文件，即 bitstream 文件。

3. 设计验证

设计验证包括功能仿真、时序仿真与硬件测试。这一步通过仿真器来完成，利用编译器产生的数据文件自动完成逻辑功能仿真和延时特性仿真。在仿真文件中加载不同的激励，可以观察中间结果以及输出波形。必要时，可以返回设计输入阶段，修改设计输入，以满足最终的设计要求。

基于 EDA 软件强大的仿真功能，设计者可以在将数据下载至目标芯片之前或在制造出芯片之前通过软件对设计效果进行评估，这极大地节约了成本。高档的仿真软件还可以对整个系统设计的性能进行评估。仿真不消耗资源，仅消耗少许时间，而这些时间与设计成本相比完全值得。

功能仿真与时序仿真统称为软件仿真。二者的主要区别在于仿真时是否需要针对具体的目标器件考虑时序延迟。功能仿真主要验证设计结果在逻辑功能上是否满足设计要求，这种仿真不考虑逻辑信号实际运行时不可避免的延迟信息，可以在选择指定目标器件之前进行，或者在指定了目标器件但尚未进行布局布线之前进行，因此有时也称之为前仿真。

时序仿真由仿真软件根据目标器件内部的结构与连线情况，在仿真时考虑信号的延迟，尽可能地模拟实际运行状况。时序仿真必须在指定了目标器件且已经实现了布局布线后才能进行，因此有时也称为后仿真。显然，在评估设计结果的性能、分析时序关系、消除竞争冒险等情况下必须进行时序仿真。

硬件测试是指将下载数据下载至目标器件中，然后从硬件实际运行效果的角度验证设计是否达到预期要求。

4. 器件下载

器件下载也称为器件编程，这一步是将设计实现阶段产生的下载数据通过下载电缆下载至目标器件的过程。

使用查找表(LUT)技术和基于 SRAM 的 FPGA 器件(如 Altera 的 APEX、Cyclone, Xilinx 的 Spartan、Virtex)，下载的数据将存入 SRAM，而 SRAM 掉电后所存数据将丢失，为此，需将编程数据固化入 EEPROM 内。FPGA 上电时，由器件本身或微处理器控制 EEPROM 将数据“配置”入 FPGA 器件。FPGA 调试期间，由于编程数据改动频繁，没有必要每次改动

都将编程数据下载到 EEPROM, 此时可用下载电缆将编程数据直接下载到 FPGA 内查看运行结果, 这种过程称为在线重配置(ICR)。

使用乘积项逻辑、基于 EEPROM 或 Flash 工艺的 CPLD 器件(如 Altera 的 MAX 系列、Xilinx 的 XC9500 系列以及 Lattice 的多数产品)进行下载编程时, 应使用器件厂商提供的专用下载电缆, 该电缆一端与 PC 的打印机并行口相连, 另一端接到 CPLD 器件所在 PCB(印刷电路板)上的 10 芯插头(PLD 只有 4 个引脚与该插头相连)。编程数据通过该电缆下载到 CPLD 器件中, 这个过程称为在系统编程(ISP)。ISP 过程如图 1-1 所示。



图 1-1 在系统编程示意图

部分 CPLD 与 FPGA 不能进行 ISP 或 ICR, 下载数据时需要将目标芯片放入专门的编程器进行数据下载, 下载之后再目标芯片焊到系统电路板上。

1.4 TOP-DOWN 设计方法

TOP-DOWN 设计方法即自顶向下设计方法, 是数字系统设计常用的设计方法, 其本质是模块化设计, 其精髓在于对系统功能按层逐渐分解, 按层进行设计, 按层进行验证仿真。采用 TOP-DOWN 方法设计某系统时, 需要将设计的逻辑功能从上到下分解为功能子块, 再分别对每个功能子块进行功能划分, 从而得到各个功能子块下一层的若干功能子块。依此类推, 对每一层的各个功能子块都可进行功能划分, 从而得到下一层功能子块。功能划分的目标是将总体系统功能具体化、模块化, 功能划分的最底层是具体寄存器与逻辑门电路或其他单元电路。功能划分结束后, 从上至下对各层的各功能子块进行设计描述。最底层以上的每一层各功能子块的更详细设计描述在子块的下一层中说明。最后利用 EDA 工具, 经过逻辑综合与适配, 把决定 PLD 内部硬件连接的编程数据下载至有关器件, 即完成了电子设计自动化过程。

功能划分时, 一部分较高层次的设计描述比较抽象, 这些高层与具体的硬件实现无关, 因此不需考虑具体的目标器件, 可以对其进行功能仿真, 从而在设计早期阶段就可以验证设计方案的可行性。一旦高层次的逻辑功能满足要求, 就可以在底层针对具体的目标器件进行具体描述。此外, 由于高层的抽象描述未涉及具体的器件, 因此后期选择目标器件时更加自由。

自顶向下的设计方法是一种对系统功能由粗到细进行设计描述的过程, 这一过程符合大多数人思考解决问题的习惯, 很容易被广大设计者接受并使用。由于这种方法本质是模块化设计, 可以在合适的层次上将各功能子块分配给不同的设计者进行设计, 从而极大地节省了设计时间, 非常适合系统功能越来越复杂的现状。