高等学校电子信息类专业
“十二五”规划教材

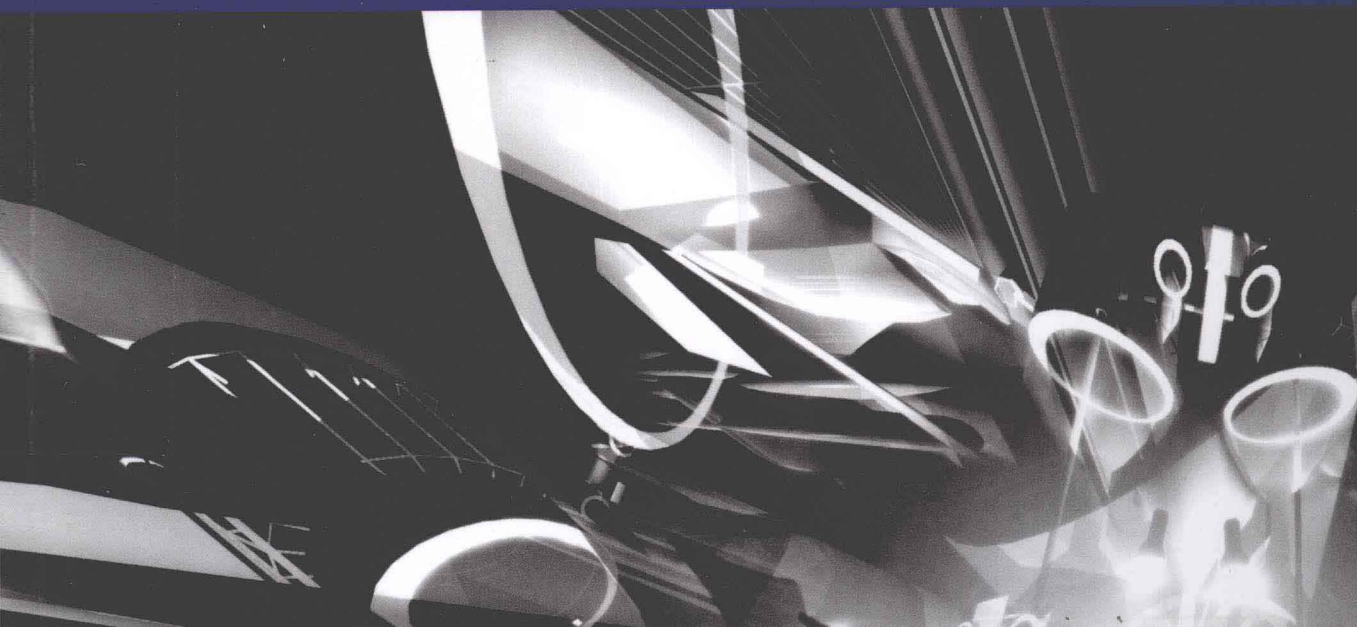
ELECTRONIC
INFORMATION SPECIALTY

Verilog HDL数字系统设计

——原理、实例及仿真

康 磊 张燕燕 主编

西安电子科技大学出版社
http://www.xduph.com



高等学校电子信息类专业“十二五”规划教材

Verilog HDL数字系统设计
——原理、实例及仿真

康　磊　张燕燕　主编

西安电子科技大学出版社

内 容 简 介

本书从实用的角度出发，通过大量的实例，详细介绍了基于 Verilog HDL 硬件描述语言进行数字系统设计的过程、方法和技巧。全书分为四部分，共 13 章，主要内容包括可编程器件的工作原理及数字系统设计流程、Verilog HDL 基本语法知识和建模方法、常用逻辑功能单元及复杂数字系统设计方法，并对集成开发软件 Quartus II 和仿真测试软件 ModelSim 的应用做了详细说明。

本书可作为计算机类、电子类、自动化类、机电类硬件和通信工程等相关专业学生的教学参考书，也可作为数字系统设计工程师的参考书。

图书在版编目(CIP)数据

Verilog HDL 数字系统设计：原理、实例及仿真/康磊，张燕燕主编.

—西安：西安电子科技大学出版社，2012.3

高等学校电子信息类专业“十二五”规划教材

ISBN 978-7-5606-2745-8

Ⅰ. ① V… Ⅱ. ① 康… ② 张… Ⅲ. ① VHDL 语言—程序设计—高等学校—教材

Ⅳ. ① TP312

中国版本图书馆 CIP 数据核字(2012)第 009167 号

策　　划　云立实

责任编辑　买永莲　云立实

出版发行　西安电子科技大学出版社(西安市太白南路 2 号)

电　　话　(029)88242885　88201467　　邮　　编　710071

网　　址　www.xduph.com　　电子邮箱　xdupfxb001@163.com

经　　销　新华书店

印刷单位　陕西华沐印刷科技有限责任公司

版　　次　2012 年 3 月第 1 版　2012 年 3 月第 1 次印刷

开　　本　787 毫米×1092 毫米　1/16　印 张 22

字　　数　523 千字

印　　数　1～3000 册

定　　价　39.00 元

ISBN 978 - 7 - 5606 - 2745 - 8/TP • 1327

XDUP 3037001-1

前　言

随着微电子技术的飞速发展，大规模可编程器件的密度和性能不断提高，数字系统的设计方法、设计过程也发生了重大改变，传统的设计方式已经逐渐被电子设计自动化EDA(Electronic Design Automation)工具所取代。可编程器件可以通过硬件描述语言(如Verilog HDL)的形式根据实际设计的需要灵活地嵌入模块化的数字单元，大大地缩短了产品设计周期。以可编程逻辑器件为核心的设计在数字系统设计领域将占据越来越重要的地位，因此，作为硬件设计者掌握EDA设计方法和工具是必需的。

HDL(Hardware Description Language，硬件描述语言)发展至今已有几十年的历史，它是硬件设计人员和EDA工具之间的接口，它可以从算法级、门级、开关级等多个抽象层次对数字系统进行建模。在HDL的发展过程中，被IEEE(the Institute of Electrical and Electrics Engineers)采纳成为标准硬件描述语言的有VHDL和Verilog HDL。尽管这两种语言在许多方面都有所不同，但选择哪种语言进行逻辑电路或系统的设计并不重要，因为它们在这一方面都提供了类似的特性。本书选用Verilog HDL的一个主要原因在于，相对于VHDL，Verilog HDL更容易学习、掌握和使用。Verilog HDL的风格类似于C语言，只要有C语言程序设计的基础，就可以很快地掌握使用Verilog HDL设计电路的方法。

本书介绍了可编程逻辑器件的工作原理和开发流程，详细说明了Verilog HDL的基本语法和建模方式，并通过大量的常用逻辑单元和综合系统设计实例及其仿真结果的分析，使读者能够熟练掌握采用Verilog HDL实现数字系统的方法。为了方便读者学习，还较为详细地介绍了集成开发软件Quartus II和仿真测试软件ModelSim的功能和应用。

本书在内容上按照四部分13章来组织。第一部分(第1～6章)为语法知识，介绍了EDA和Verilog HDL的基础知识，以及在系统设计时行为级建模和结构级建模所涉及的问题；第二部分(第7～9章)是基本逻辑单元实例，讲述了常用组合逻辑电路和时序逻辑电路的原理、实现和仿真结果；第三部分(第10、11章)通过一些较复杂的典型数字系统的设计实例，对EDA技术自顶向下的设计方法作了更深一步的阐述；第四部分(第12、13章)介绍了EDA的集成开发软件和仿真测试软件的使用方法。书中所有实例均在Quartus II 8.1或ModelSim 6.5下测试通过。

本书由康磊、张燕燕、徐英卓、潘若禹共同编写。张燕燕编写第1～6章，徐英卓编写第7～9章，康磊编写第10、11章，潘若禹编写第12、13章，康磊对本书进行了统稿。

本书内容循序渐进，希望对电子工程人员和高校相关专业学生有所帮助。

由于作者水平有限，书中难免有疏漏和不足之处，敬请广大读者批评指正。

编　者

2011年9月

目　录

第一部分　Verilog HDL 基础知识

第二部分 基础单元电路设计实例

第三部分　数字系统设计实例

第四部分　Quartus II 和 Verilog 仿真

第一部分

Verilog HDL 基础知识

第1章 概 述

1.1 EDA 技术简介

现代电子设计技术的核心已日趋转向基于计算机的电子设计自动化(EDA，Electronic Design Automation)技术。所谓 EDA 技术，就是依赖功能强大的计算机，在 EDA 工具软件平台上，对以硬件描述语言(HDL，Hardware Description Language)为系统逻辑描述手段完成的设计文件，自动地进行逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试，直至实现既定的电子线路系统功能。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计技术、ASIC 测试和封装技术、FPGA/CPLD 编程下载技术、自动测试技术等；在计算机辅助工程方面融合了计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)、计算机辅助工程(CAE)技术以及多种计算机语言设计的概念；而在现代电子学方面则容纳了更多的内容，如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术等。因此，EDA 技术为现代电子理论和设计的表达与实现提供了可能，是现代电子设计的核心。

EDA 技术使设计者的工作可以仅限于利用软件的方式，即利用硬件描述语言和 EDA 软件来完成对系统硬件功能的实现，这是电子设计技术的一个巨大进步。另一方面，在现代高新电子产品的设计和生产中，微电子技术和现代电子设计技术是相互促进、相互推动又相互制约的两个环节，前者代表了硬件电路物理层在广度和深度上的发展，后者则反映了现代先进的电子理论、电子技术、仿真技术、设计工艺和设计技术与最新的计算机软件技术有机的融合和升华。

1.1.1 EDA 技术的发展

传统电子系统硬件设计大量采用中小规模的标准集成电路，将这些器件焊接在电路板上，做成初级电子系统，在组装好的 PCB(Printed Circuit Board)上对电子系统进行调试。20 世纪 70 年代是 EDA 技术发展的初期，这一时期人们开始用自动布局布线的 CAD 工具代替设计工作中绘图的重复劳动，但由于 PCB 布线工具受到计算机工作平台的限制，其支持的设计工作有限且性能较差。20 世纪 80 年代，伴随着微电子技术、计算机和集成电路的发展，EDA 技术可以进行设计描述、综合与优化及设计结果的验证，这个阶段的 EDA 工具为开发电子产品创造了有利条件，但仍然不能适应复杂的电子系统设计要求。由于电子技术和 EDA 工具的发展，可以采用标准化的设计过程，利用微电子厂家提供的设计库来完成数万门 ASIC(Application Specific Integrated Circuit)和集成系统的设计与验证。20 世纪 90 年代，设计师逐步从使用硬件转向设计硬件，从单个电子产品开发转向系统级电子产品开发。因此，

EDA 工具是以系统级设计为核心的，包括系统行为级描述与结构综合、系统仿真与测试验证、系统划分与指标分配、系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具有电子系统设计的能力，并能提供独立于工艺和厂家的系统级设计能力，具有高级抽象的设计构思手段。随着微电子技术的进一步发展，EDA 设计进入了更高的阶段，即可编程片上系统(SOPC)设计阶段，可编程逻辑器件内集成了数字信号处理器的内核、微处理器的内核等，使得可编程逻辑器件不再只是完成复杂的逻辑功能，而是具有了强大的信号处理和控制功能。

1．EDA 技术的分类

电子设计自动化(EDA)技术是一门迅速发展的电子设计技术，涉及面很广。一般从认识上可以将 EDA 技术分成狭义 EDA 技术和广义 EDA 技术。

狭义 EDA 技术就是以大规模可编程逻辑器件为设计载体，以硬件描述语言为系统逻辑描述的主要表达方式，并以计算机、大规模可编程逻辑器件的开发软件及实验开发系统为设计工具，通过有关的开发软件，自动完成用软件方式设计的电子系统到硬件系统的逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、逻辑布局布线、逻辑仿真，直至对于特定目标芯片的适配编译、逻辑映射、编程下载等工作，最终形成集成电子系统或专用集成芯片的一门新技术。简而言之，狭义 EDA 技术就是使用 EDA 软件进行数字系统设计的技术。

广义 EDA 技术就是通过计算机及其电子系统的辅助分析和设计软件，完成电子系统某一部分的设计过程。因此，广义 EDA 技术除了包含狭义 EDA 技术外，还包括印制电路板辅助设计(PCB-CAD)技术、计算机辅助分析(CAA)技术(如 EWB、MATLAB、PSPICE 等)以及其他射频和高频设计与分析的工具等。

2．EDA 技术涉及的内容

EDA 技术的涉及面很广，内容丰富，从教学和实用的角度看，主要有四个方面的内容：大规模可编程逻辑器件；硬件描述语言；EDA 软件开发工具；实验开发系统。其中，大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体；硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段；软件开发工具是利用 EDA 技术进行电子系统设计的智能化、自动化设计工具；实验开发系统是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。

1) 大规模可编程逻辑器件

可编程逻辑器件(PLD，Programmable Logical Device)是近几年才发展起来的一种新型集成电路，是当前数字系统设计的主要硬件基础，是硬件编程语言 HDL 的物理实现工具。可编程逻辑器件对数字系统设计自动化起着推波助澜的作用，可以说，没有可编程逻辑器件就没有当前的数字电路自动化。目前，由于这种以可编程逻辑器件为原材料，从“制造自主芯片”开始的 EDA 设计模式已成为当前数字系统设计的主流，若要追赶世界最先进的数字系统设计方法，就要认识并使用可编程逻辑器件。

数字集成电路本身在不断地更新换代，它由早期的电子管、晶体管、小中规模集成电路发展到超大规模集成电路以及许多具有特定功能的专用集成电路。但是，随着微电子技术的发展，设计与制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师们更愿意自己设计专用集成电路 ASIC 芯片，而且希望 ASIC 的设计周期尽可能地短，最好是

在实验室里就能设计出合适的 ASIC 芯片，并且立即投入实际应用之中，因而出现了现场可编程逻辑器件。其中应用最广的是现场可编程门阵列 FPGA(Field Programmable Gate Array)和复杂可编程逻辑器件 CPLD(Complex Programmable Logic Device)，这是新一代的数字逻辑器件，具有高集成度、高速度、高可靠性等明显的特点，可以实现可编程片上系统(SOPC，System On a Programmable Chip)，而且有很好的兼容性和可移植性。

可编程逻辑器件正处于高速发展的阶段，新型的 FPGA/CPLD 规模越来越大，成本越来越低。高性价比使可编程逻辑器件在硬件设计领域扮演着日益重要的角色，低端 CPLD 已经逐步取代了 74 系列等传统的数字元件，高端的 FPGA 也在不断地夺取 ASIC 的市场份额。与 ASIC 设计相比，FPGA/CPLD 显著的优势是开发周期短、投资风险小、产品上市速度快、市场适应能力强和硬件升级回旋余地大等。特别是目前大规模的 FPGA 与 CPU 核或 DSP 核的有机结合使 FPGA 已经不仅仅是传统的硬件电路设计手段，而逐步升华为系统级的实现工具。

2) 硬件描述语言

硬件描述语言(HDL)是一种用形式化方法描述数字电路和系统的语言。利用这种语言，数字电路系统的设计可以从上层到下层(从抽象到具体)逐层描述自己的设计思想，用一系列分层次的模块来表示极其复杂的数字系统。然后，利用电子设计自动化(EDA)工具，逐层进行仿真验证，再把其中需要变为实际电路的模块进行组合，经过自动综合工具转换到门级电路网表。接下来，用可编程器件 FPGA/CPLD 自动布局布线工具，把网表转换为要实现的具体电路布线结构。HDL 设计是目前的工程设计中最主要的设计方法。硬件描述语言是 EDA 技术的重要组成部分。

硬件描述语言(HDL)的发展至今已有 20 多年的历史，并成功地应用于设计的各个阶段：建模、仿真、验证和综合等。随着 EDA 技术的发展，使用硬件描述语言设计 CPLD/FPGA 成为一种趋势。目前最主要的硬件描述语言是 VHDL 和 Verilog HDL。VHDL 发展得较早，语法严格，而 Verilog HDL 是在 C 语言的基础上发展起来的一种硬件描述语言，语法较自由。Verilog HDL 语言是由 Cadence 公司修订，经 IEEE 公布为 IEEE STANDAD1364-1995.2 标准的一种硬件描述语言。VHDL 和 Verilog HDL 相比，VHDL 的书写规则比 Verilog HDL 烦琐一些，VHDL 语言比较强调规范化与标准化，而 Verilog HDL 较多考虑到设计的有效性和便捷性。

3) EDA 软件开发工具

EDA 软件在 EDA 技术应用中占据着极其重要的地位，EDA 的核心是利用计算机实现电路设计的自动化，因此基于计算机环境下的 EDA 工具软件的支持是必不可少的。EDA 软件品种繁多，目前我国使用较为广泛的 EDA 软件有 MultiSim、PSPICE、OrCAD、PCAD、Protel、Viewlogic、Mentor、Graphics、Synopsys、Cadence、MicroSim、Edison、Tina 等。这些软件功能很强，大部分可以进行电路设计与仿真、PCB 自动布局布线，可输出多种网表文件(Netlist)，与其他厂商的软件共享数据等。按它们的主要功能与应用领域，可分为电子电路设计工具、仿真工具、PCB 设计软件、IC 设计软件、PLD 设计工具等。其中，IC 设计软件和 PLD 设计工具代表着当今电子技术的发展水平，是该行业中得到广泛应用的软件类型。

当前，各大半导体器件公司为了推动其所产芯片的应用，有针对性地推出了一些开发

软件，如 Altera 公司的 MAX+plus II 和 Quartus II 、Lattice 公司的 ispEXPERT、Xilinx 公司的 Foundation 等。Mentor Graphics ModelSim SE 是业界优秀的 HDL 语言仿真器，它提供了最友好的调试环境，是唯一的单内核支持 VHDL 和 Verilog HDL 混合仿真的仿真器。随着新器件和新工艺的出现，这些开发软件也在不断更新或升级。

典型的 EDA 软件开发工具中必须包含两个特殊的软件包，即综合器和适配器。综合器的功能是将设计者在 EDA 平台上完成的相应的某个系统项目的 HDL、原理图或状态图形描述，针对给定的硬件系统组件，进行编译、优化、转换和综合，最终获得欲实现功能的描述文件。综合器的功能就是将软件描述与给定的硬件结构用一定的方式联系起来，但在其工作前必须给定所要实现的硬件结构参数。综合过程就是将电路的高级语言描述转换成低级的、可与目标器件(FPGA/CPLD)相映射的网表文件。因此，综合器是联系软件描述与硬件实现的一座桥梁。

适配器的功能是将由综合器产生的网表文件配置到指定的目标器件中，产生最终的下载文件，如 JED 文件。适配时所选定的目标器件(FPGA/CPLD 芯片)必须是综合器支持的。

4) 实验开发系统

实验开发系统提供芯片下载电路及 EDA 实验/开发的外围资源，供硬件验证使用，一般包含：① 实验或开发所需的各类基本信号发生模块，包括时钟、脉冲、高低电平等；② FPGA/CPLD 输出信息显示模块，包括数码显示、发光管显示、声响指示等；③ 监控程序模块，提供“电路重构软配置”，从物理结构上看，实验开发系统电路结构是固定的，但其内部的信息流在主控器的控制下，电路结构可以发生变化；④ 目标芯片适配座以及 FPGA/CPLD 目标芯片和编程下载电路。

1.1.2　EDA 与传统电子设计方法的比较

随着 EDA 技术的不断发展，其设计方法也发生着显著的变化，已经从传统的自下而上的设计方法转变成自上而下的设计方法。传统的电子设计方法是自下而上(Bottom-Up)的，如图 1.1 所示，是基于电路板的设计。这种设计方法以固定功能元件为基础，然后根据这些器件进行模块逻辑设计，完成各个模块后进行连接，最后形成系统。这种手工设计方法的缺点如下：

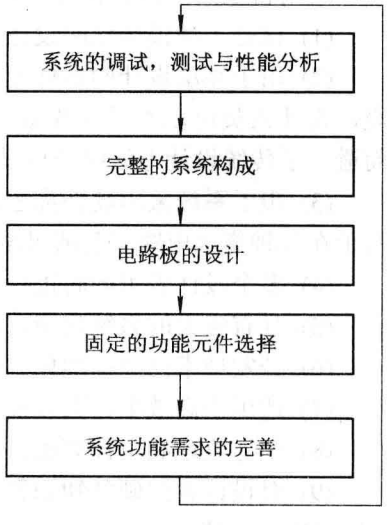


图 1.1　传统的电子设计方法

(1) 设计主要依赖于设计人员的经验，复杂电路的设计、调试十分困难。

(2) 设计依赖已有的通用元器件，同时，如果某一过程存在错误，则查找和修改十分不便。

(3) 对于集成电路设计而言，设计实现过程与具体生产工艺直接相关，因此可移植性差。

(4) 设计后期的仿真不易实现，只有在设计出样机或生产出芯片后才能进行实测。

(5) 设计实现周期长、灵活性差、耗时耗力、效率低下。

目前微电子技术已经发展到 SOC(System On a Chip)阶段，即集成系统(Integrated System)阶段，相对于集成电路的设计思想有着革命性的变化。这样一来，使用传统的设计方法进行庞大的系统设计就没有必要了，只需要按照层次化或结构化的设计方法来进行即可。一个比较有效的设计方式就是首先由总设计师将整个硬件系统开发任务划分为若干个可操作的模块，并对其接口和资源进行评估，编制出相应的行为或结构模型，再将其分配给下一层的设计师。这就允许多个设计者同时设计一个硬件系统中的不同模块，并对自己所设计的模块负责；然后由上层设计师对下层模块进行功能验证。

这种设计流程就是典型的自上而下(Top-Down)的设计方法，如图 1.2 所示。自上而下的设计方法将数字系统的整体逐步分解为各个子系统和模块，若子系统规模较大，则还需要将子系统进一步分解为更小的子系统和模块，层层分解，直至整个系统中各个子系统关系合理，并便于逻辑电路级的设计和实现为止。自上而下的设计可逐层描述，逐层仿真，直至满足系统指标。

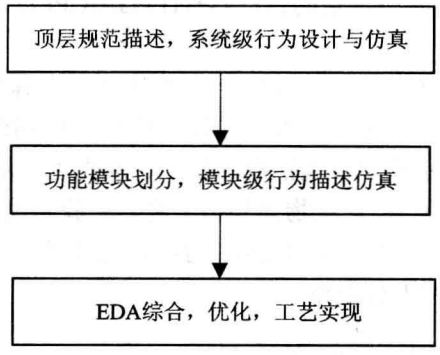


图 1.2 自上而下(Top-Down)的设计方法

采用自上而下的设计方法有如下优点：

(1) 这是一种模块化的设计方法；

(2) 由于高层设计同器件无关，可以完全独立于目标器件的结构，因此在设计的最初阶段，设计人员可以不受芯片结构的约束，集中精力对产品进行最适应市场需求的设计，从而避免了传统设计方法中的再设计风险，缩短了产品的上市周期；

(3) 由于系统采用硬件描述语言进行设计，可以完全独立于目标器件的结构，因此设计易于在各种集成电路工艺或可编程器件之间移植；

(4) 多个设计者可同时进行设计；

(5) 具有强大的系统建模、电路仿真功能；

(6) 开发技术已经标准化、规范化，IP 核具有可利用性；

(7) 适用于高效率、大规模系统设计的自上而下的设计方案；

(8) 全方位地利用计算机自动设计、仿真和测试技术；

(9) 对设计者的硬件知识和硬件经验要求低；

(10) 高速性能好；

(11) 纯硬件系统具有高可靠性。

EDA 设计方法与传统电子设计方法的比较见表 1.1。

表 1.1　EDA 设计方法与传统电子设计方法的比较

	传统的电子设计方法	EDA 设计方法
1	自下而上	自上而下
2	手动设计	自动设计
3	硬、软件分离	打破硬、软件屏障
4	原理图方式设计	原理图、VHDL 语言等多种设计方式
5	系统功能固定	系统功能易变
6	不易仿真	易仿真
7	难测试、修改	易测试、修改
8	模块难移植共享	设计工作标准化，模块可移植共享
9	设计周期长	设计周期短

1.1.3　EDA 的开发过程

基于 EDA 的电子设计流程如图 1.3 所示。

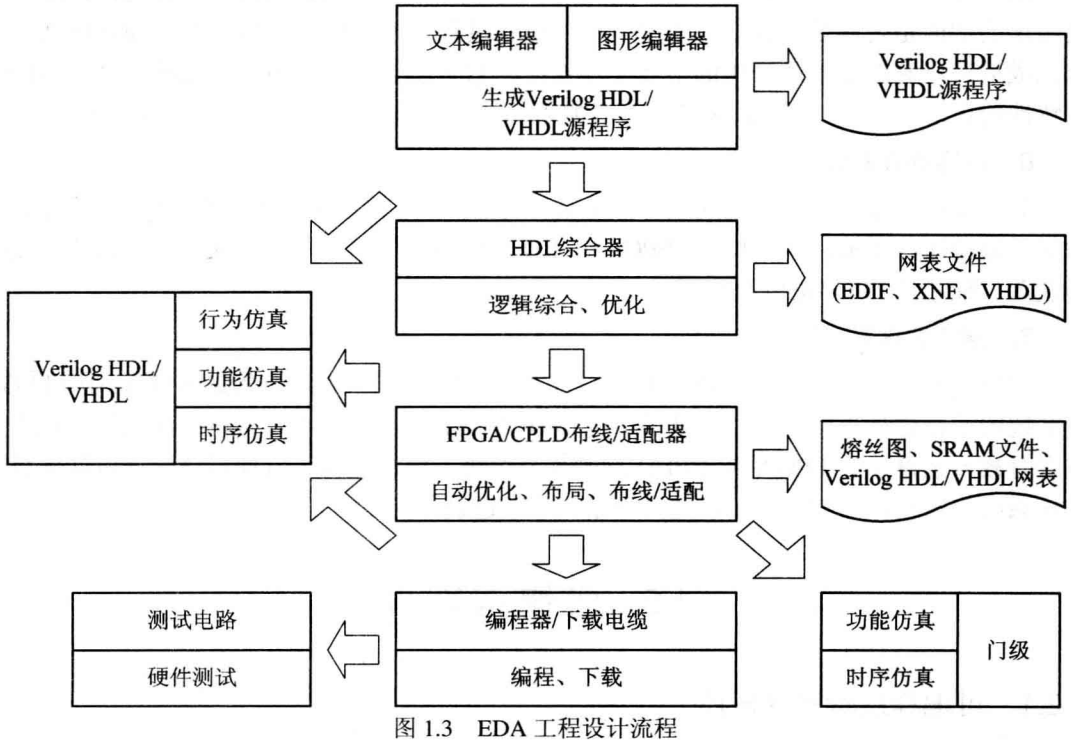


图 1.3　EDA 工程设计流程

1．文本编辑/原理图编辑输入与修改

首先利用 EDA 工具的文本编辑器或图形编辑器将设计者的设计意图用某种硬件描述语言(HDL)的电路设计文本(如 Verilog HDL/VHDL 程序)或图形方式(原理图、状态图或波形图)表达出来。

2. 逻辑综合和优化

将软件设计与硬件的可实现性挂钩，是将软件转化为硬件电路的关键步骤，需要利用 EDA 软件系统的综合器进行逻辑综合。综合器的功能就是将设计者在 EDA 平台上完成的相应的某个系统项目的 HDL、原理图或状态图形的描述，针对给定硬件结构组件进行编译、优化、转换和综合，最终获得门级电路甚至更底层的电路描述文件。综合后，HDL 综合器可生成 EDIF、XNF 或 VHDL 等格式的网表文件，它们从门级开始描述了最基本的门电路结构。

3. 行为仿真

利用产生的网表文件进行功能仿真，以便了解设计描述与设计意图的一致性。

4. 目标器件的布线/适配

利用 FPGA/CPLD 布局布线适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作，其中包括底层器件配置、逻辑分割、逻辑优化、布局布线。该操作完成后，EDA 软件将产生针对此项设计的适配报告和 JED 下载文件等多项结果。适配报告指明了芯片内资源的分配与利用、引脚锁定、设计的布尔方程描述等情况。

5. 功能仿真和时序仿真

功能仿真是直接对 VHDL、原理图描述或其他描述形式的逻辑功能进行测试，以了解其实现的功能是否满足原设计要求的过程，仿真过程不涉及任何具体器件的硬件特性。适配完成后可以利用适配所产生的仿真文件作精确的时序仿真。时序仿真是接近真实器件运行特性的仿真，仿真过程已将器件的硬件特性考虑了进去，因此仿真精度要高得多。

6. 目标器件的编程/下载

如果编译、综合、布线/适配和行为仿真、功能仿真、时序仿真等过程都没有发现问题，即满足原设计的要求，就可以将由 FPGA/CPLD 适配器产生的配置文件通过编程器或下载电缆载入目标芯片 FPGA/CPLD 中。

7. 硬件仿真与测试

这里，硬件仿真是针对 ASIC 设计而言的。在 ASIC 设计中，常用的方法是利用 FPGA 对系统的设计进行功能检测，通过后再将其 HDL 设计以 ASIC 形式实现；而硬件测试则是将含有载入了设计的 FPGA 或 CPLD 的硬件系统进行统一测试，以便最终验证设计项目在目标系统上的实际工作情况，以便排除错误、改进设计。

1.2 可编程器件

1.2.1 可编程逻辑器件概述

随着数字电路的普及，传统的定制数字集成电路器件已满足不了应用的需求，可编程逻辑器件(PLD)应运而生，并逐渐地成为主流产品。PLD 与传统定制器件的主要区别是它的可编程性，它的逻辑功能是由用户设计的，并且一般都可重复编程和擦除，即 PLD 是能够为客户提供范围广泛的多种逻辑能力、特性、速度和电压特性的标准成品部件，而且此类

器件的功能可在任何时间修改，从而实现多种不同的功能。对于可编程逻辑器件，设计人员可利用价格低廉的软件工具快速开发、仿真和测试其设计。

典型的 PLD 一般都是二级结构，通常第一级为“与”阵列，第二级为“或”阵列。由“与”阵列输入，进行逻辑“与”组合，形成乘积项，再由这些不同的乘积项通过“或”阵列构成所要求的逻辑函数输出。

1.2.2　PLD 的发展历史

根据可编程逻辑器件(PLD)发展时期的不同特点，可将其分为以下四个阶段。

第一阶段(20 世纪 70 年代初到 70 年代中)：PLD 诞生及简单 PLD 发展阶段。可编程逻辑器件最早是根据数字电子系统组成的基本单元——门电路可编程来实现的，任何组合电路都可用与门和或门组成，时序电路可用组合电路加上存储单元来实现。早期的 PLD 就是用可编程的与阵列和可编程的或阵列组成的。

熔丝编程的 PROM(Programmable Read Only Memory，可编程只读存储器)和 PLA(Programmable Logic Array，可编程逻辑阵列)器件的出现，标志着 PLD 的诞生。PROM 器件是采用固定的与阵列和可编程的或阵列组成的 PLD，由于输入变量的增加会引起存储容量的急剧上升，故只能用于简单组合电路的编程；PLA 器件是由可编程的与阵列和可编程的或阵列组成的，它克服了 PROM 器件随着输入变量的增加而规模迅速扩大的问题，利用率高，但由于与阵列和或阵列都可编程，软件算法复杂，编程后器件运行速度慢，故只能在小规模逻辑电路上应用。现在这两种器件在 EDA 上都已不再采用，但 PROM 作为存储器、PLA 作为全定制 ASIC 设计技术还在应用。

20 世纪 70 年代末，AMD 公司对 PLA 器件进行了改进，推出了 PAL(Programmable Array Logic，可编程阵列逻辑)器件。PAL 器件与 PLA 器件相似，也由与阵列和或阵列组成，但在编程接点上与 PLA 器件不同，而与 PROM 器件相似，或阵列是固定的，只有与阵列可编程。或阵列固定而与阵列可编程的结构，简化了编程算法，运行速度也提高了，适用于中小规模可编程电路。但 PAL 器件为适应不同应用的需要，输出 I/O 结构也随之发生了变化。输出 I/O 结构很多，而一种输出 I/O 结构方式就有一种 PAL 器件，给生产和使用带来了不便。而且，PAL 器件一般采用熔丝工艺生产，一次可编程，修改电路需要更换整个 PAL 器件，成本太高。现在，PAL 器件已被 GAL(Generic Array Logic，通用阵列逻辑)器件所取代。这几种可编程器件都是基于乘积项可编程结构的，只解决了组合逻辑电路的可编程问题，而对于时序电路则需要另外增加锁存器、触发器来构成，如 PAL 器件加上输出寄存器就可实现时序电路。

第二阶段(20 世纪 70 年代中到 80 年代中)：乘积项可编程结构 PLD 发展与成熟阶段。20 世纪 80 年代初，Lattice 公司开始研究一种新的乘积项可编程结构 PLD。1985 年推出了一种在 PAL 基础上改进的通用阵列逻辑(GAL)器件。GAL 器件首次在 PLD 上采用 EEPROM 工艺，能够采用电擦除的方法重复编程，使得修改电路不需更换硬件。在编程结构上，GAL 沿用了 PAL 器件的或阵列固定而与阵列可编程的结构，并对 PAL 器件的输出 I/O 结构进行了改进，增加了输出逻辑宏单元(OLMC，Output Logic Macro Cell)。OLMC 设有多种组态，使得每个 I/O 引脚可配置成专用组合输出，组合输出可以设置成双向口、寄存器输出、寄存