

潘桂忠 编著

MOS

集成电路

工艺与制造技术

JICHENG DIANLU
GONGYI YU
ZHIZAO JISHU

- 硅衬底与清洗
- 热氧化
- 热扩散
- 离子注入及其退火
- 硅外延
- 化学气相淀积
- 光刻
- 腐蚀和刻蚀
- 金属化
- 表面钝化
- CMOS工艺集成
- BiCMOS 工艺集成
- BCD工艺集成

上海科学技术出版社

MOS 集成电路

工艺与制造技术

潘桂忠 编著

任 翀 审

上海科学技术出版社

图书在版编目(CIP)数据

MOS集成电路工艺与制造技术 / 潘桂忠编著. —上海:上海科学技术出版社,2012.6

ISBN 978-7-5478-0980-8

I. ①M… II. ①潘… III. ①MOS 集成电路-集成电路工艺 IV. ①TN432.05

中国版本图书馆CIP数据核字(2011)第176066号

上海世纪出版股份有限公司 出版、发行
上海科学技术出版社

(上海钦州南路71号 邮政编码200235)

新华书店上海发行所经销

苏州望电印刷有限公司印刷

开本787×1092 1/16 印张:31.5

字数:670千字

2012年6月第1版 2012年6月第1次印刷

ISBN 978-7-5478-0980-8/TN·5

定价:85.00元

本书如有缺页、错装或坏损等严重质量问题
请向工厂联系调换

内 容 提 要

本书系统地介绍了硅集成电路制造技术中的基础工艺,内容包括硅衬底与清洗、氧化、扩散、离子注入、外延、化学气相淀积、光刻与腐蚀/刻蚀、金属化与多层布线、表面钝化以及工艺集成制造技术。前面1~10章,一方面介绍了各种工艺,建立了工艺规范并确定了其规范号;另一方面确定了工艺制程中的各种工序。集成电路工艺制程依一定次序的各工序组成,而工序由各工步所构成,工步中的各种工艺由其规范来确定,工艺规范由其规范号和工艺序号(i)得到,最终在硅衬底上实现所设计的图形,制造出各种电路芯片。前面1~10章为后面11~13章的各种工艺集成制造技术奠定了基础。11~13章介绍了CMOS和LV/HV兼容CMOS、BiCMOS和LV/HV兼容BiCMOS以及BCD工艺集成制造技术,给出部分实用简明工艺制程卡,并与工艺制程的剖面结构相对应。

本书技术含量高,非常实用,可作为从事MOS集成电路制造、设计等方面工程技术人员重要的参考资料,也可以作为微电子专业高年级本科生的重要参考书,亦可供信息领域其他专业的学生和相关科研人员、工程技术人员参考。

集成电路各种剖面结构和工艺制程图示的复制引用、转载时,必须得到本版权所有者的同意,否则将依法追究责任。

序 言

《MOS 集成电路工艺与制造技术》是根据编者近 50 年从事 MOS LSI/VLSI 技术和生产实际工作经验,进行整理、归纳编写而成。为了阐述简洁明了,全书各章节都采用大量图示和表格介绍各种工艺和制造技术。限于篇幅,本书仅简明扼要地叙述集成电路的各种工艺,而更加详细工艺技术,请读者参阅本书后面附录 1 中的参考资料。

半个多世纪以来,MOS 集成电路按照摩尔定律高速地向前发展,现今已进入 ULSI 时期,32nm 特征尺寸十几亿个元件集成度,12in 晶圆的采用,显示出集成电路的成果,亦表示出工艺技术的迅速发展且发生了深刻的变化。特征尺寸不断缩小,芯片面积不断扩大,元件数不断增加,布线层数不断增多,集成电路的性能与功能不断提高,这使得集成电路愈来愈复杂,导致制造工艺技术难度不断提高。针对这种情况,集成电路生产企业为了得到高成品率、高性能以及高可靠的电路芯片,通过制定出适合于生产线的一整套有效的工艺规范来实现。

电路设计是由设计公司来实现。一般由制造企业的技术工程把设计规则和各种器件模型参数提供给设计公司,作为电路设计的依据,并作为两者之间通常的接口,如图 0-1A 所示。晶圆芯片制造由制造企业生产线来实现,生产线中技术工程是制定工艺制程,而工艺工程则是制定工艺规范。一般由工艺工程把工艺规范和各种工艺参数与电学参数提供给技术工程,作为制定工艺制程的依据,并作为两者之间通常的接口,如图 0-1B 所示。实际上,工艺规范不仅把生产线中的技术工程和工艺工程紧密地联系在一起,而且有利于工艺技术的交流和提高。可见,在集成电路制造中,技术工程起着承上启下的重要作用。

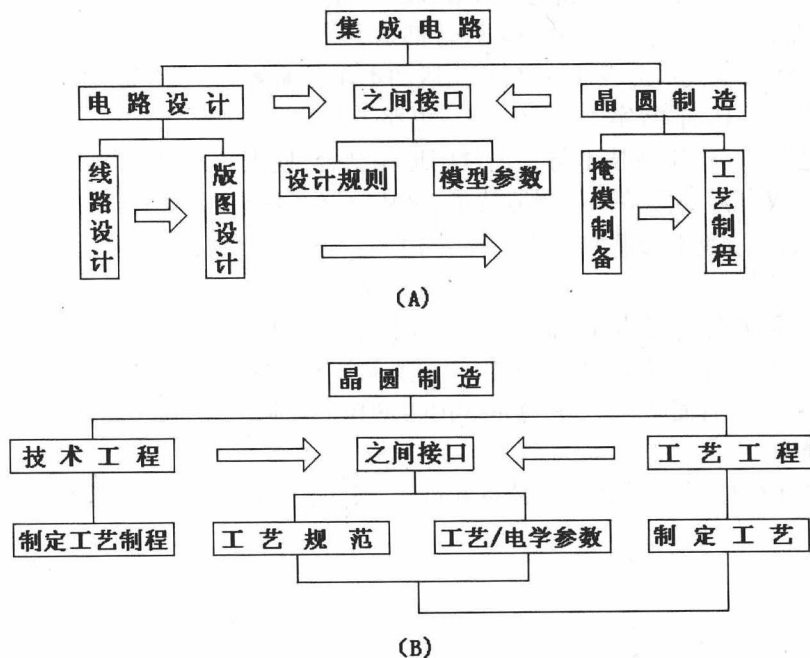


图 0-1 两种接口

本书系统地介绍了硅集成电路制造技术的基础工艺,内容包括硅衬底与清洗、氧化、扩散、离子注入、外延、化学气相淀积、光刻与腐蚀/刻蚀、金属化与多层布线、表面钝化以及工艺集成制造技术。前面1~10章叙述基础工艺技术,每一章节首先对每一基本工艺作概述,并使用剖面结构作说明,然后建立工艺规范并确定其规范号,用表列出工艺概要、工艺序号、对工艺质量作检测等,最后用表列出工艺制程中的各个工序及其组成,并标示出工艺规范号。书中建立了供各种工艺制程使用的90余种工艺规范。工艺规范是长期生产实践的结果,一旦确定下来,通常是不能改动的。

本书前面1~10章为后面11~13章的各种工艺集成制造技术奠定了基础。第11~13章将介绍各种工艺集成制造技术,内容主要包括CMOS及其LV/HV兼容CMOS、BiCMOS及其LV/HV兼容BiCMOS以及BCD,共20余种典型集成电路制造技术,并描绘出制程中各个工序的剖面结构或部分平面结构,同时给出部分简明工艺制程,标出其规范号。由规范号和工艺序号(由1~10各章节中查阅到)可得到实现该工艺具体细节。使用各工序的工艺剖面结构,依制造技术的一定次序,与工艺制程中工序——相对应,直观地看到工艺制程中元器件形成过程和芯片剖面结构的变化。即把工艺制程中的工序与其剖面结构联系在一起。

通常由技术工程师根据设计工程师所设计的电路功能与电气特性、设计规则以及工艺工程提供的工艺规范和工艺/电学参数,来制定工艺制程。在这一过程中技术工程师与工艺工程师反复讨论与协商,来确定制程中各个工序的规范和工艺序号,制定出一个工程的工艺制程及其规范,该制程规范通过几次工程试验,调整工艺参数和电学参数,以便适合所设计电路的功能与电气特性。在几次工程试验中,不断修改来完善工艺规范,并在大规模生产线中得到高成品率,高性能以及高可靠的验证,才能把所设计电路投入批量生产。

不同的集成电路,就有不同的制造技术或工艺制程,就有不同的基本工艺,就有不同的工艺规范,就有不同的工艺参数和电学参数,就有不同电气特性。深入地了解集成电路制造技术,对于电路设计、产品质量以及可靠性等都是十分重要。

本书与上海科学技术出版社2010.01出版的本作者编著的《MOS集成电路结构与制造技术》一样,技术含量高,非常实用。《MOS集成电路工艺与制造技术》是从工艺出发,介绍MOS集成电路制造技术,把制造技术与工艺紧密地相结合,使得技术工程与工艺工程密切相配合;而《MOS集成电路剖面结构与制造技术》是从电路芯片剖面结构出发,介绍MOS集成电路制造技术,把制造技术与剖面结构紧密地相结合,使得电路设计与制造技术密切相配合。两书达到相辅相成的作用。

书中术语缩写对照,请读者参阅本书后面附录2。书中的工艺规范名称与规范号进行了汇总,请读者参阅本书后面附录3。书中的简要叙述和制程剖面中沟道离子注入的变化说明,请读者参阅本书后面附录4。P-Well BiCMOS[B]工艺制程的剖面/平面结构,请读者参阅本书后面附录5。

限于水平和经验,书中难免存在缺点和错误,殷切希望广大读者提出批评与指正。

作 者

目 录

第1章 硅衬底与清洗	(1)
1.1 硅晶圆	(1)
1.2 P型硅衬底	(5)
1.3 N型硅衬底	(7)
1.4 Pepi/P或Pepi/P+型硅衬底	(10)
1.5 Nepi/P或Nepi/N+型硅衬底	(13)
1.6 硅片激光编号	(16)
1.7 硅片清洗分类及其步骤	(18)
1.8 硅片各种清洗液及其清洗	(20)
第2章 热氧化	(27)
2.1 硅表面热氧化	(27)
2.2 初始氧化(Init-Ox)	(30)
2.3 基底氧化(Pad-Ox)	(33)
2.4 预氧化(Pre-Ox)	(36)
2.5 场区氧化(F-Ox)	(39)
2.6 预栅氧化(Pre-Gox)	(43)
2.7 栅氧化(G-Ox)	(46)
2.8 Poly氧化(Poly-Ox)	(50)
2.9 硅化物氧化	(53)
2.10 源漏区氧化(S/D-Ox)	(55)
第3章 热扩散	(59)
3.1 杂质热扩散	(59)
3.2 硼的固态源(BN)扩散	(62)
3.3 硼的液态源[B(CH ₃ O) ₃]扩散	(66)
3.4 硼的气态源扩散	(70)
3.5 磷、砷、锑的固态源扩散	(71)
3.6 磷的液态源扩散	(72)
3.7 磷、砷的气态源扩散	(77)

3.8	Poly的液态源磷掺杂	(77)
第4章	离子注入及其退火	(81)
4.1	离子注入掺杂	(81)
4.2	埋层BLN+区锑离子注入与推进	(85)
4.3	埋层BLP+区硼离子注入与推进	(89)
4.4	P-Well或深P-区硼离子注入与推进	(93)
4.5	N-Well或深N-区磷离子注入与推进	(97)
4.6	双阱(Twin-Well)的硼/磷离子注入与推进	(101)
4.7	P场区硼离子注入	(105)
4.8	N场区砷或磷离子注入	(108)
4.9	基区(Pb)硼离子注入与推进	(110)
4.10	基区(Nb)磷离子注入与推进	(114)
4.11	P沟道区离子注入与退火	(117)
4.12	N沟道区离子注入与退火	(121)
4.13	Poly的磷或砷离子注入与退火	(124)
4.14	NLDD区磷或砷离子注入	(128)
4.15	PLDD区硼离子注入	(132)
4.16	Halo区注入	(134)
4.17	N+区磷或砷离子注入	(137)
4.18	P+区硼或二氧化硼离子注入与退火	(140)
4.19	快速热处理	(144)
第5章	硅外延	(147)
5.1	硅外延生长	(147)
5.2	P+衬底生长P型外延层	(149)
5.3	N+衬底生长N型外延层	(153)
5.4	P衬底生长P型外延层	(156)
5.5	P型衬底生长N型外延层	(159)
第6章	化学气相淀积	(163)
6.1	CVD技术及其类型	(163)
6.2	LPCVD淀积Si ₃ N ₄ 薄膜	(165)
6.3	LPCVD淀积Poly薄膜	(168)
6.4	LPCVD淀积LTO薄膜	(170)
6.5	LPCVD淀积TEOS薄膜	(173)
6.6	APCVD淀积PSG薄膜	(176)
6.7	APCVD淀积BPSG/LTO(或BPSG)薄膜	(179)
6.8	TEOS、PSG、BPSG/LTO、LTO致密(或增密)	(182)

6.9	BPSG/LTO 流动/注入退火	(185)
6.10	HDPCVD 淀积 SiO_2 薄膜	(188)
第7章	光刻	(192)
7.1	微细加工技术	(192)
7.2	硅衬底表面处理	(195)
7.3	涂负性光刻胶	(196)
7.4	涂正性光刻胶	(198)
7.5	对准与曝光	(201)
7.6	显影/坚膜	(203)
第8章	腐蚀和刻蚀	(208)
8.1	选择性腐蚀和刻蚀	(208)
8.2	坚膜(或固胶)	(210)
8.3	去底膜	(212)
8.4	无胶 SiO_2 膜漂蚀	(214)
8.5	腐蚀 SiO_2 膜(有胶)	(217)
8.6	硅衬底正面三层或四层腐蚀	(220)
8.7	硅衬底背面四层腐蚀	(224)
8.8	PSG/ SiO_2 或 PSG 腐蚀	(227)
8.9	BPSG/LTO/ SiO_2 或 BPSG 腐蚀	(230)
8.10	TEOS/ SiO_2 或 TEOS 腐蚀	(233)
8.11	铝膜腐蚀	(235)
8.12	LTO/PSG 钝化膜腐蚀	(238)
8.13	Si_3N_4 刻蚀	(241)
8.14	Poly 或硅化物($\text{WSi}_2, \text{TiSi}_2$)/Poly 刻蚀	(245)
8.15	Si 衬底沟槽刻蚀	(249)
8.16	SiO_2 刻蚀	(252)
8.17	TEOS 或 Si_3N_4 侧墙刻蚀	(255)
8.18	金属膜刻蚀	(258)
8.19	PECVDSi ₃ N ₄ /PSG 钝化膜刻蚀	(262)
8.20	去胶	(264)
第9章	金属化	(267)
9.1	金属互连	(267)
9.2	铝及其合金薄膜	(269)
9.3	铝加热合金	(272)
9.4	阻挡层金属	(275)
9.5	硅化物形成	(278)
9.6	钨(W)	(282)

9.7	铜互连	(285)
9.8	平坦化及其光刻胶反向刻蚀	(289)
9.9	SOG反向刻蚀平坦化	(292)
9.10	化学机械抛光(CMP)	(295)
9.11	铝多层金属化	(298)
9.12	铜多层金属化	(302)
9.13	硅衬底背面蒸发金膜	(306)
第10章	表面钝化	(309)
10.1	钝化技术	(309)
10.2	PECVD SiO ₂ 钝化膜淀积	(311)
10.3	PECVD PSG钝化膜淀积	(314)
10.4	PECVD Si ₃ N ₄ 钝化膜淀积	(316)
10.5	PECVD SiO ₂ /PSG钝化膜淀积	(319)
10.6	PECVD Si ₃ N ₄ /PSG钝化膜淀积	(321)
10.7	硅衬底背面减薄	(324)
第11章	CMOS工艺集成	(327)
11.1	集成电路中的隔离技术	(327)
11.2	集成电路的工艺集成	(328)
11.3	铝栅P-Well CMOS(薄场)	(330)
11.4	铝栅P-Well CMOS(厚场)	(334)
11.5	P-Well CMOS	(337)
11.6	N-Well CMOS	(346)
11.7	Twin-Well CMOS	(350)
11.8	逆向Twin-Well CMOS	(355)
11.9	LV/HV兼容P-Well CMOS	(360)
11.10	LV/HV兼容N-Well CMOS(A)	(369)
11.11	LV/HV兼容N-Well CMOS(B)	(374)
11.12	LV/HV兼容Twin-Well CMOS	(380)
第12章	BiCMOS工艺集成	(387)
12.1	P-Well BiCMOS[C]	(387)
12.2	P-Well BiCMOS[B]	(391)
12.3	N-Well BiCMOS[B]	(398)
12.4	Twin-Well BiCMOS[B]	(407)
12.5	LV/HV兼容P-Well BiCMOS[C]	(413)
12.6	LV/HV兼容P-Well BiCMOS[B]	(417)
12.7	LV/HV兼容N-Well BiCMOS[B]	(424)
12.8	LV/HV兼容Twin-Well BiCMOS[B]	(430)

第13章 BCD工艺集成	(442)
13.1 LV/HV兼容P-Well BCD[C]	(442)
13.2 LV/HV兼容N-Well BCD[C]	(446)
13.3 LV/HV兼容P-Well BCD[B]-(A)	(451)
13.4 LV/HV兼容P-Well BCD[B]-(B)	(462)
13.5 LV/HV兼容Twin-Well BCD[B]	(468)
附录1 工艺规范目录表	(475)
附录2 术语缩写对照	(478)
附录3 简要叙述	(482)
附录4 P-Well BiCMOS[B] 工艺制程	(483)
参考文献	(489)

第1章 硅衬底与清洗

1.1 硅晶圆

硅是半导体工业中最重要基础材料,是自然界中蕴含最丰富的元素之一,是元素周期表中被研究得最深入的元素之一。硅器件占世界出售的所有半导体器件的90%以上。硅衬底是硅单晶圆片,在其表面几微米或更小的区域制造LSI/VLSI,用作集成电路的基体。

1.1.1 硅衬底概述

硅单晶衬底是用来制造集成电路芯片的基体,它构成了硅平面工艺基础。现代绝大多数LSI/VLSI都做在硅衬底上。这是因为:①集成电路的基础技术是平面工艺。平面工艺的核心要点是在硅衬底表面生长一层氧化膜(SiO_2),各元器件图形用光刻技术在 SiO_2 膜上腐蚀出窗口,利用 SiO_2 膜对杂质扩散的掩蔽特性,通过该窗口掺入杂质,实现硅衬底的选择性掺杂。多次实施这种平面工艺,在硅表面形成各种平面的元器件。②晶体管特别是MOS管的特性受硅和 SiO_2 界面的缺陷、 SiO_2 膜中移动电荷的影响。用人工方法获得优质的界面。③硅和二氧化硅是地球上存在的数量占第一、二位的氧和硅所构成的。是一种储量多、安全、稳定以及使用方便的工业材料。可以说,地球上再不存在其他的比硅更理想的可用于集成电路的半导体材料。

在硅集成电路制造中,所需要的材料都是在纯净硅材料的熔体中,人为掺入一定数量的某种杂质,拉制成硅单晶体,以便控制导电类型和导电能力。经高精度的切、磨、抛形成硅晶圆片。我们把掺入Ⅲ族杂质(主要是硼,P型杂质)的单晶材料称为P型硅,掺入V族杂质(主要是磷、砷、锑,N型杂质)的单晶材料称为N型硅。

在同一块硅衬底中同时存在两种不同类型杂质(如硼和磷,此时硅的导电类型要由杂质浓度高的那种杂质决定,而对导电能力有贡献的载流子浓度,则由两种杂质浓度差决定。正是由于有这样的性质,在各种器件和集成电路制造中,我们可以对P型硅衬底掺入N型杂质,只要掺入的N型杂质浓度大于原有P型杂质浓度,就可以改变原来的P型为N型,其电导率的大小由两种杂质浓度差所决定。

如果在同一块硅衬底中,一部分掺入N型杂质,另一部分掺入P型杂质,那么在两种杂质浓度相等处就形成PN结。这个特性是制造各种器件和集成电路的重要基础。在集成电路制造中,除了掺入P型或N型杂质、改变或控制电阻率外,有时也根据需要掺入某些特殊的杂质,达到提高电路性能的目的。

1.1.2 LSI/VLSI对硅衬底提出的要求

除了硅单晶技术指标,如导电类型、电阻率、少子寿命、位错密度以及晶向等指标外,为

了全面反映硅单晶的内在质量和适应LSI/VLS又提出如下要求：①大直径单晶。这是提高电路成品率和生产效率的有效途径。②严格控制杂质含量，特别是将有害杂质含量降低至最低程度。已证明，硅中氧、碳以及氮严重影响成品率，此外重金属杂质如铜、金、铁、镍等，危害性更大，经高温加工后破坏了硅片平整性。③晶体结构的不完整性和微缺陷的减少。无位错单晶中存在的微缺陷实质上是空位、金属杂质和氧、碳的复合物，其密度很高，严重地影响成品率。④杂质分布和电阻率的均匀性。这里所说的杂质是指为了获得所预期的硅电阻率而掺入的有用杂质。制作在大直径硅片上的各单元电路和各元件性能一致，要求硅片径向电阻率十分均匀，否则电路性能的零散性和成品率的下降。⑤硅片的SEMI标准化，以利工业化生产。

制造集成电路的原材料是单晶硅锭，在鉴定其参数合格后，先要将它切割成一定厚度的硅片，然后经过研磨和抛光，去除切割时的损伤层，并且使表面平整光洁。制造集成电路用的硅表面必须是高度平整光洁的，因为任何微小的损伤和缺陷都能影响器件的质量和性能。经过这样加工后的硅片就达到了集成电路制造的要求。对于150mm及其以下的硅圆片有一最长的平边，称为主定位边，以指示晶向和掺杂类型，也用于在后续光刻工序中进行圆片的预对准。对于更大硅圆片，则在晶圆边缘形成具有一个缺口来代替定位边。

各种规格的硅片都有一个主定位边，电路芯片阵列可以按照硅片的划片道和断裂方向最准确地对准。在工业生产中只用<111>和<100>两个晶向的硅片。为了鉴别N型或P型、<111>或<100>，还要再加一个次定位边。主定位边取向和次定位边位置如图1-1所示。

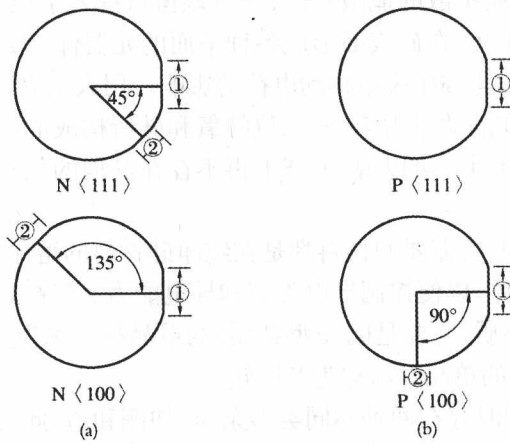


图1-1 硅晶圆的定位边
(a) 主定位边；(b) 次定位边

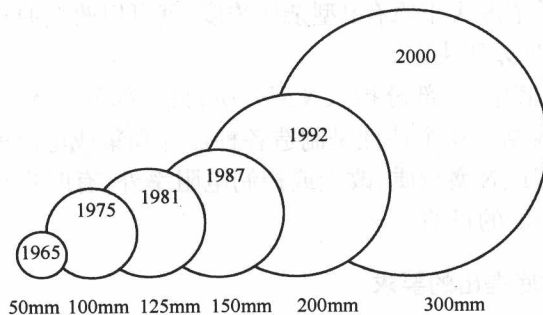


图1-2 硅片直径趋势

上世纪末和本世纪初期,硅集成电路获得巨大进展的原因之一,是由于有高质量的大直径硅晶片。电路集成度越来越高,芯片面积越来越大,这就要求硅片直径不断增大。硅片直径从20世纪50年代初期的不到25mm增加到现在的300mm。硅片直径大约每4~5年增加1in。其历史发展趋势如图1-2所示。表1-1显示了硅片尺寸的不同参数。对硅片直径提高到400mm的可能性进行了前期评估。

表1-1 硅衬底尺寸和参数

直径(mm)	厚度(μm)	面积(cm^2)	重量(g/b)	重量/25片(g/b)
150	675 \pm 20	176.71	28.00/0.06	700/1.5
200	725 \pm 20	314.16	53.08/0.12	1327/3
300	775 \pm 20	706.86	127.64/0.28	3191/7
400	825 \pm 20	1256.64	241.56/0.53	6039/13

为了使一硅片经过一次制程后得到更多电路芯片,必须扩大硅片的直径。实际上这对LSI/VLSI来说,更显得重要,因为LSI/VLSI芯片的面积明显的增大,使用小直径的硅片,其所包含的芯片数将显著下降。

硅片直径的不断增大,为LSI/VLSI的生产创造了良好的前提。工艺实践表明:硅片面积和电路芯片面积的比值对LSI/VLSI的成品率是有影响的。比值愈大,在其他条件相同时,成品率也愈高。所以使用大直径硅生产LSI/VLSI时,不仅可以提高生产效率,而且可以提高成品率。这是因为硅片边缘部分由于不平整性和存在大量缺陷,因此在制造电路时,实际可利用的是晶片的有效部分。这就是说,硅片直径愈大,有效使用面积所占的比例也愈大。当然,随着硅片直径不断增大,加工处理硅片的一系列工艺设备也随之相应发生变化。工艺设备不断更迭替换的同时,工艺加工能力也相应提高,使得LSI/VLSI性能不断提高。

多年来,人们一直认为使用硅外延衬底能给MOS的生产带来好处,特别是在改善寄生电容、漏电、阈值电压控制等方面。但硅外延衬底的成本高构成了障碍。现在LSI/VLSI DRAM和SRAM以及其他的集成电路使用P-epi/P+和N-epi/N+硅外延衬底的比例在提高。晶圆制造企业生产出来的各种规格的硅片供给集成电路制造企业,以制造各种各样的集成电路芯片。表1-2给出了典型硅衬底的规格。

表1-2 硅衬底的典型规格

项 目	数 值
清洁度(颗粒/ cm^2)	<0.03
氧浓度(cm^{-3})	规格要求 \pm 3%
碳浓度(cm^{-3})	< 1.5×10^{17}
金属沾污(PPb)	<0.001
原生位错(cm^{-2})	<0.1
氧诱生堆垛层错(cm^{-3})	<3
直径(nm)	\geq 150
厚度(μm)	625或675
翘曲(μm)	10
整体平行度(μm)	3

1.1.3 LSI/VLSI对硅衬底的选择

在硅集成电路制造工艺中,通常采用单晶作硅衬底,也可采用外延硅衬底。对导电类型、晶向、电阻率以及外延作如下选择:

(1) **导电类型的选择** 对于PMOS集成电路,衬底材料选用N型硅,而NMOS集成电路,衬底材料则选用P型硅。对于CMOS集成电路,硅衬底材料选择要取决于工艺和电路性能。对于P-Well工艺,采用N型硅;N-Well工艺采用P型硅;而Twin-Well(双阱)工艺,则采用高阻P型硅,对于深亚微米特征尺寸,则采用高阻外延Pepi/P+型硅。

(2) **晶向的选择** 硅—二氧化硅界面的电荷密度强烈地依赖于单晶的晶向,其大小按下列顺序减小: $\langle 111 \rangle > \langle 110 \rangle > \langle 100 \rangle$ 。因而在相同工艺下, U_p 按这个顺序减小,而 U_m 将按这个顺序朝正值增大。所以,对于SiO₂栅介质的MOS集成电路,衬底硅单晶的晶向要选取 $\langle 100 \rangle$ 。

(3) **电阻率的选择** 反应硅衬底特性的主要参数是电阻率,它的大小影响很多电参数。若提高电阻率,则阈值电压 U_t 降低,PN结电容 C_{pn} 下降,源漏击穿电压 BU_{DS} 减小,PN结击穿电压 BU_m 提高,漏结反向漏电流升高。在兼顾各个参数要求的前提下,主要根据阈值电压 U_t 的要求来决定。在栅氧化层厚度 T_{ox} 和有效表面态密度一定下, U_t 值主要取决于衬底掺杂浓度。

(4) **外延的选择** 高集成度深亚微米特征尺寸CMOS集成电路,为了消除软误差(Soft error)和门锁效应(Lach-up),都使用重掺杂衬底外延薄膜。

集成电路制造工艺中,不仅使用硅单晶衬底,而且也采用外延硅衬底。外延硅衬底可以是P+型(硼)或是N+型(锑)。在重掺杂衬底上生长的外延层,不仅可以提供高阻值范围,而且增加了硅材料内部的吸杂作用。衬底也可以是P型或N型。在不同衬底上,生产企业可以依电路制造的要求,提供不同的外延硅衬底。

外延硅衬底主要特性如下:

导电类型:	P-epi/P+Sub, P-epi/N-Sub N-epi/N+-Sub, N-epi/P-Sub
掺杂:	硼,磷,锑
外延层数:	单层,双层
电阻率:	1~50Ω·cm
电阻率梯度:	< 15%(边缘6mm除外)
厚度:	2.0~50.0μm
过渡区宽度:	< 2.0mm
衬底晶向:	$\langle 100 \rangle, \langle 111 \rangle$

外延层的质量参数主要有厚度,掺杂浓度及其分布以及缺陷等。

集成电路制造技术中包括硅衬底的选择与质量的检测工序,该工序是由各个工步所组成。硅衬底的参数与质量都应达到工艺规范的要求。下面介绍各种硅衬底的工序,并给出工艺规范和制程中的硅衬底工序。此外,介绍各种硅片清洗,并给出规范。

1.2 P型硅衬底

集成电路芯片制造采用P-Si〈100〉型硅衬底来实现时,在硅衬底表面层几微米或更小的区域通过工艺制程形成各种元器件并连接而成,而衬底表面层以下厚的区域是作为基体。

1.2.1 P型硅衬底概述

集成电路对硅衬底要求随其类别、集成度以及工艺条件的不同而异。各种集成电路对硅衬底都有一个基本要求。电路制造之前首先要选择并确定硅衬底的型号、晶向、厚度以及电阻率等。不同电路,采用不同的硅衬底材料。为了适合于不同类型集成电路制造所需要的硅衬底,在确定工艺制程之前,根据电路设计和制造工艺的要求,需要经过全面而仔细的考虑,确定硅衬底材料。

对于NMOS集成电路,衬底材料选用高阻P-Si〈100〉型硅。通常采用轻掺杂P型硅衬底。衬底掺杂越轻,NMOS管的阈值电压对背栅压效应的敏感越小,且源漏对衬底的电容也越小。然而,如果衬底掺杂太淡,则同一个或相邻NMOS管的源和漏的耗尽层会互相穿通。因此,P-Si型衬底要选用合适的浓度。

对于CMOS集成电路,硅衬底材料选择要取决于工艺类型和电路性能。对于N-Well工艺,采用高阻P-Si〈100〉型硅,NMOS管制作在P型硅衬底中,PMOS管则制作在N-Well中(它受到过掺杂的影响),而N-Well制作在P型硅衬底中。使用沟道离子注入调整两种沟道器件的阈值电压。

N-Well CMOS集成电路的一个典型实例如图1-3所示。它采用P型硅衬底。使用磷离子注入加再扩散的方法形成深N-Well。这时N型杂质浓度必须足够高,以补偿P型衬底的本底浓度和提供很好的控制,以得到所希望N型掺杂形成的阱,为确保这种控制,N-Well的掺杂浓度一般比P型衬底浓度高很多倍。N-Well CMOS集成电路采用高电阻率P型硅衬底,同E/D NMOS(增强/耗尽)工艺具有良好的兼容性。高电阻率硅衬底带来的另外一个好处是降低了NMOS管的结电容,它有利于电路工作速度的提高。

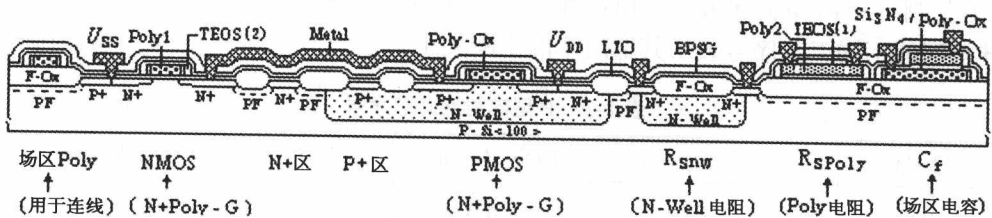


图1-3 N-Well CMOS电路采用P型硅衬

1.2.2 P型硅衬底工艺规范

MOS集成电路芯片工艺制程中,NMOS或N-Well CMOS技术通常采用轻掺杂P型硅衬底[P-Si〈100〉],其衬底工艺规范如下:

规范号	规范名称	版本号	更改日期	备注
101	P型硅衬底			

用于制造 MOS 集成电路芯片的 P 型硅衬底的基本要求如表 1-3 所示。集成电路制造前,首先对硅衬底表面质量作检验:表面应达到洁净、光亮、色泽均匀、无水痕、无花斑、无颗粒、无划伤、无裂纹以及无雾状等的基本要求。然后根据电路设计和制造工艺的要求,确定硅衬底材料,对生产企业供应的硅片进行检测或抽检:硅衬底型号的判别、晶向的确定、电阻率测量以及缺陷抽检等。不同的集成电路工艺制程,通常需要不同的电阻率,采用不同衬底材料来达到。

表 1-3 P型硅衬底概要

硅衬底规格		项 目	衬底检测
■ 生长技术	直拉法	■ 表面质量	
■ 工艺设备	视生产企业而定	■ 缺陷密度	
■ 衬底型号	P型Si	■ 厚度	
■ 晶圆晶向	<100>	■ 电阻率	
■ 表面质量	如上面文中所述	■ 衬底晶向	
■ 电阻率	视工艺要求而定	■ 型号	
■ 直径	同上		
■ 厚度	视晶圆直径而定		
■ 主/次定位边夹角	90°	■ 不合格数	
■ 晶圆生产企业	视生产线而定	■ 仅电阻率不合格数	

如果采用的硅衬底直径确定之后,则晶圆的厚度也就确定了。集成电路制造之前,在确定 P 型硅衬底基本要求下,为了获得片内、片间和批间的电阻率的均匀性、重复性,以及氧、碳、金属等含量低的硅衬底,确保制造的集成电路具有高性能、高可靠以及高成品率,为此制定了严格的操作规范,确定了电阻率的规范值,规定了检测衬底表面质量等。根据电阻率的不同大小,来确定硅衬底的工艺序号,即 P-Si<100>(i), i=1,2,3,⋯来表示,以供 MOS 集成电路工艺制程中需要不同大小的电阻率选用。不同工艺序号的硅衬底如表 1-4 所示。可见,硅衬底的不同工艺序号表示其电阻率的不同大小。

表 1-4 P型硅衬底工艺序号

工艺序号	晶向	电阻率*(Ω·cm)	厚度(μm)	制造电路型号
P-Si<100>(1)	<100>	2.0~4.0	视直径而定	
P-Si<100>(2)	<100>	5.0~8.0	同上	
P-Si<100>(3)	<100>	20.0~40.0	同上	
.....				
P-Si<100>(i)				

* 电阻率分档数值仅作参考。