

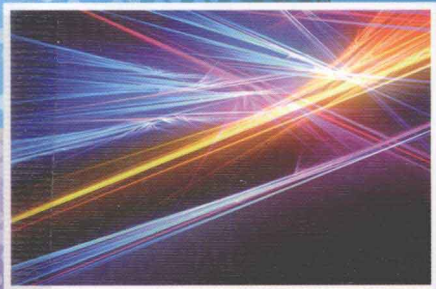


普通高等教育“十二五”规划教材

◎ 电子信息科学与工程类专业 规划教材

EDA技术 与FPGA应用设计

◎ 张文爱 主编 ◎ 张 博 韩应征 副主编



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

电子信息科学与工程类专业规划教材

EDA 技术与 FPGA 应用设计

张文爱 主编

张 博 韩应征 副主编

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书主要包括 CPLD/FPGA 可编程逻辑器件介绍, 可编程逻辑器件 EDA 开发软件使用, VHDL 硬件描述语言设计方法和 SOPC 应用 4 大部分。第一部分 CPLD/FPGA 可编程逻辑器件主要介绍可编程器件结构原理、设计流程、常用芯片特点及选用; 第二部分重点介绍目前国内外常用 EDA 软件 isp Design EXPERT System、Quartus II、ISE 开发流程; 第三部分重点讲述 VHDL 语言基础、描述方法及设计实例; 第四部分主要介绍 DSP Builder、SOPC Builder、Nios II 应用及实例。

本书可作为高等学校电子信息类、电气信息类各专业的教材, 也可作为电子工程设计技术人员的参考书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 侵权必究。

图书在版编目(CIP)数据

EDA 技术与 FPGA 应用设计 / 张文爱主编. —北京: 电子工业出版社, 2012.1

电子信息科学与工程类专业规划教材

ISBN 978-7-121-15878-0

I. ①E… II. ①张… III. ①电子电路—电路设计: 计算机辅助设计—高等学校—教材 IV. ①TN702

中国版本图书馆 CIP 数据核字(2012)第 021855 号

责任编辑: 凌 毅 特约编辑: 张 莉

印 刷: 北京市李史山胶印厂

装 订:

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编: 100036

开 本: 787×1 092 1/16 印张: 15.25 字数: 400 千字

印 次: 2012 年 1 月第 1 次印刷

印 数: 3000 册 定价: 32.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系。联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

随着集成电路技术和 EDA 技术的快速发展,数字系统设计方法不断演变,由原来单一的硬件逻辑设计发展成 3 个分支:硬件逻辑设计、软件逻辑设计、专用集成电路设计(ASIC)。基于可编程逻辑器件的 ASIC 设计成为数字系统设计的重要分支,有关可编程逻辑器件的开发与应用的课程成为电子信息类、电气信息类各专业的必修课程。

基于 PLD 的 EDA 技术主要包括可编程逻辑器件知识、EDA 开发软件、硬件描述语言、代表可编程器件最新发展的 SOPC 这 4 大部分。本书主要介绍 Lattice、Altera、Xilinx 公司的 CPLD、FPGA 系列器件,以及与其配套的 EDA 工具软件 isp Design EXPERT System、Quartus II、ISE,硬件描述语言则介绍 IEEE 标准语言 VHDL。

本书共 10 章,第 1~2 章介绍可编程逻辑器件的发展演变、结构特点、产品系列等,侧重于读者根据需要选择适当器件;第 3 章主要介绍常用 EDA 开发工具的设计流程及仿真、验证的操作步骤;第 4~8 章详细介绍 VHDL 语言基础、语句结构、设计方法、设计实例、子程序结构、宏与 IP 核的应用等;第 9~10 章主要介绍最新可编程器件 SOPC 的应用实践。

本书在编写时,力求理论体系全面完整、实用性强,便于快速掌握;程序设计先介绍整体结构,再介绍语言细节、常用描述方法;针对学生易混淆的概念、易犯的错误及技术要点、难点,穿插适当的设计实例及相应的习题;所附设计实例都经过设计验证,可直接引用,为便于阅读,附加了有效的注释。建议讲授课时 40~60 学时,实验课时 12~20 学时。

本书由张文爱编写第 3、5 章,张博编写第 7、8 章,韩应征编写第 4、6 章,李灯熬编写第 1 章,梁风梅编写第 2 章,阎高伟编写第 9 章,李瑞莲编写第 10 章,全书最后由张文爱、张博修改定稿。

本书提供配套的电子课件,可登录电子工业出版社的华信教育资源网:www.hxedu.com.cn,注册后免费下载。

在本书编写过程中,参阅了 Lattice,Altera,Xilinx 等公司公开的技术资料,参考了许多相关的专著和教材,在此谨向相关公司和作者表示衷心的感谢。

由于编者水平有限,书中错漏和不足之处难免,殷切期望读者批评指正。

编者

2011 年 12 月

目 录

第 1 章 可编程逻辑器件概述	1
1.1 数字逻辑电路设计与 ASIC 技术	1
1.1.1 数字逻辑电路设计方法	1
1.1.2 ASIC 及其设计方法	1
1.2 PLD 概述	2
1.2.1 PLD 的发展	2
1.2.2 PLD 的分类	3
1.3 PLD 逻辑表示法	3
1.4 PLD 的设计与开发	5
1.4.1 PLD 的设计流程	5
1.4.2 PLD 的开发环境	7
1.4.3 IP 核复用技术	7
习题 1	8
第 2 章 大规模可编程逻辑器件 CPLD/FPGA	9
2.1 CPLD 结构与工作原理	9
2.1.1 Lattice 公司的 CPLD 器件系列	9
2.1.2 ispLSI 1016 的结构	10
2.1.3 ispLSI 系列器件的主要技术特性	14
2.1.4 ispLSI 器件的设计与编程	15
2.2 FPGA 内部结构与工作原理	16
2.3 CPLD/FPGA 产品概述	18
2.3.1 Altera 公司产品	18
2.3.2 Xilinx 公司产品	19
2.3.3 Lattice 公司产品	20
2.4 编程与配置	21
2.4.1 在系统可编程 ISP	21
2.4.2 配置	21
2.5 CPLD 与 FPGA 的比较和选用	23
习题 2	23
第 3 章 常用 EDA 软件	25
3.1 isp Design EXPERT System 编程软件	25
3.1.1 建立设计项目	25
3.1.2 原理图源文件输入	26
3.1.3 功能和时序仿真	29
3.1.4 器件适配	30

3.1.5	器件编程	31
3.1.6	VHDL 源文件输入方法	33
3.2	Quartus II 操作指南	35
3.2.1	建立设计工程	35
3.2.2	原理图源文件输入	37
3.2.3	编译	40
3.2.4	仿真验证	41
3.2.5	器件编程	44
3.2.6	VHDL 设计输入方法	46
3.3	ISE 开发软件	47
3.3.1	ISE 概述	47
3.3.2	新建工程	47
3.3.3	新建 VHDL 源文件	50
3.3.4	波形仿真	53
3.3.5	设计实现	55
3.3.6	下载配置	59
	习题 3	62
第 4 章	VHDL 语言基础	63
4.1	VHDL 语言的基本组成	63
4.1.1	参数部分	64
4.1.2	实体部分	65
4.1.3	结构体部分	66
4.2	VHDL 语言要素	69
4.2.1	文字规则	69
4.2.2	数据对象	71
4.2.3	VHDL 中的数据类型	74
4.2.4	VHDL 语言的运算符	79
4.2.5	VHDL 的属性	83
	习题 4	85
第 5 章	VHDL 基本描述语句	87
5.1	顺序语句	87
5.1.1	顺序赋值语句	87
5.1.2	IF 语句	91
5.1.3	CASE 语句	94
5.1.4	LOOP 语句	96
5.1.5	NEXT 语句	98
5.1.6	EXIT 语句	98
5.1.7	WAIT 语句	99
5.1.8	NULL 语句	100
5.2	并行语句	100

5.2.1 并行信号赋值语句	101
5.2.2 PROCESS 进程语句	103
5.2.3 元件例化语句	106
5.2.4 BLOCK 块语句	109
5.2.5 GENERATE 生成语句	110
习题 5	112
第 6 章 子程序与程序包	118
6.1 子程序	118
6.1.1 函数	118
6.1.2 过程	120
6.2 程序包	122
6.2.1 程序包定义	122
6.2.2 程序包引用	123
6.2.3 常用预定义程序包	123
习题 6	124
第 7 章 常用电路的 VHDL 描述	125
7.1 组合逻辑电路 VHDL 描述	125
7.1.1 基本门电路	125
7.1.2 编码器	127
7.1.3 译码器	131
7.1.4 数值比较器	133
7.1.5 数据选择器	134
7.1.6 算术运算	136
7.1.7 三态门电路	137
7.1.8 双向端口设计	139
7.2 时序逻辑电路	140
7.2.1 触发器	140
7.2.2 计数器	143
7.2.3 移位寄存器	148
7.2.4 状态机	150
7.3 存储器设计	154
7.3.1 ROM 存储器设计	154
7.3.2 RAM 存储器设计	155
习题 7	156
第 8 章 宏功能模块与 IP 核应用	162
8.1 LPM_RAM	162
8.1.1 LPM_RAM 宏模块定制	162
8.1.2 工程编译	165
8.1.3 仿真验证	166
8.1.4 查看 RTL 原理图	171

8.1.5 LPM_RAM 应用..... 172

8.2 LPM_ROM 宏模块..... 173

8.2.1 建立初始化数据文件 173

8.2.2 LPM_ROM 宏模块配置 175

8.2.3 仿真验证 179

8.2.4 LPM_ROM 模块调用 180

8.3 时钟锁相环宏模块..... 181

8.3.1 LPM_DLL 宏模块配置 181

8.3.2 PLL 模块调用..... 186

8.3.3 仿真验证 187

8.4 片内逻辑分析仪..... 187

8.4.1 新建逻辑分析仪设置文件..... 188

8.4.2 引脚锁定 191

8.4.3 编程下载 192

8.4.4 信号采样 194

习题 8..... 195

第 9 章 DSP Builder 应用..... 196

9.1 DSP Builder 软件安装..... 196

9.2 DSP Builder 设计实例..... 196

9.2.1 建立 Simulink 模型 196

9.2.2 模型仿真 206

9.2.3 模型编译 209

习题 9..... 213

第 10 章 SOPC Builder 应用..... 214

10.1 SOPC Builder..... 214

10.2 Nios II 综合设计实例 215

习题 10..... 234

参考文献 235

第 1 章 可编程逻辑器件概述

可编程逻辑器件 (Programmable Logic Device, PLD) 是一种由用户根据自己要求来构造逻辑功能的数字集成电路, 具有并行处理能力及在系统编程的灵活性, 是实现 ASIC (Application Specific Integrated Circuit, 专用集成电路) 逻辑的一种非常重要、而又十分方便有效的手段, 已成为数字系统设计的主流平台之一。

1.1 数字逻辑电路设计与 ASIC 技术

1.1.1 数字逻辑电路设计方法

数字技术是当前发展最快的学科之一, 数字逻辑器件已从 20 世纪 60 年代的小规模集成电路 (SSI) 发展到目前的中、大规模集成电路 (MSI、LSI) 及超大规模集成电路 (VLSI)。相应地, 数字逻辑电路的设计方法也在不断地演变和发展, 由原来单一的硬件逻辑设计发展成 3 个分支。

① 硬件逻辑设计: 由逻辑门、触发器等小规模集成器件或者常用的组合、时序中规模逻辑器件设计数字电路, 即硬件方法设计硬件, 是数字电路逻辑设计的基础。

② 软件逻辑设计: 即软件组装的 LSI 和 VSI, 如微处理器、单片机等, 系统功能由软件设计实现, 是一种软件的设计方法。

③ 专用集成电路设计: 是根据用户需要设计的集成电路, 用户需要通过软件描述并配置到相应集成电路中, 即用软件方法设计硬件。

1.1.2 ASIC 及其设计方法

ASIC 是指专门为某一应用领域或为专门用户需要而设计制造的 LSI 或 VLSI 电路, 它可以将某些专用电路或电子系统设计在一个芯片上, 构成单片集成系统。按照功能的不同可分为: 微波 ASIC、模拟 ASIC、数字 ASIC。

目前, ASIC 已经渗透到各个应用领域, 从高性能的微处理器、数字信号处理器、手机、彩电、音响到电子玩具电路。ASIC 的品种不同, 在性能和价格上会有很大差别, 设计方法和手段也就有所不同。总的来说, 我们希望在尽可能短的时间内、以最低的成本获得最佳的设计指标, 占用最小的芯片面积。实际上要完全达到这些要求是很困难的, 只能在芯片面积、性能、设计周期和成本之间作某种折中。

按照设计方法的不同, ASIC 可分为全定制和半定制两类。

1. 全定制

全定制是一种基于晶体管级的设计方法, 它主要针对要求得到最高速度、最低功耗和最省面积的芯片设计, 其设计周期较长, 设计成本较高, 适用于对性能要求很高 (如高速芯片) 或批量很大的芯片 (如存储器、通用芯片) 的设计生产。

2. 半定制

半定制是一种约束性设计方法。约束的目的是简化设计、缩短设计周期和提高芯片的产品率。主要有门阵列、标准单元和可编程逻辑器件（PLD）3种。

① 门阵列（Gate Array）是一种预先制造好的硅阵列（称母片），内部包括几种基本逻辑门、触发器等，芯片中留有一定的连线区。用户根据所需要的功能设计电路，确定连线方式，然后再交生产厂家布线。

② 标准单元（Standard Cell）是以预先配置好、经过测试的标准单元库为基础的。设计时选择库中的标准单元构成电路，然后调用这些标准单元的版图，并利用自动布局布线软件（CAD 工具）完成电路到版图——对应的最终设计。和门阵列相比，标准单元设计灵活、功能强，但设计和制造周期较长，开发费用也比较高。

③ 可编程逻辑器件（Programmable Logic Device, PLD）是 ASIC 的一个重要分支。与前两种半定制电路不同，PLD 是厂家作为一种通用型器件生产的半定制电路，用户利用 EDA 工具对器件编程以实现所需要的逻辑功能。PLD 是用户可配置的器件，其规模越来越大，功能越来越强，价格越来越低，相配套的 EDA 软件也越来越完善，当系统需要升级时，不需要修改硬件电路板，只需在软件上进行程序更新，将配置代码重新下载到可编程逻辑器件内即可。这样设计人员在实验室即可设计和制造出芯片，而且可反复编程、修改错误。

由于 PLD 设计使用灵活，设计周期短，可靠性高，因此应用普遍，发展迅速。目前，在电子系统开发阶段的硬件验证过程中，一般都采用 PLD，以期尽快开发产品，迅速占领市场，等大批量生产时，再根据实际情况转换成前面两种方法中的一种进行再设计。

1.2 PLD 概述

1.2.1 PLD 的发展

可编程逻辑器件经历了从 PROM, PLA, PAL, GAL, EPLD 到 CPLD 和 FPGA 的发展过程，在结构、工艺、集成度、功能、速度和灵活性方面都有很大的改进和提高。

可编程逻辑器件大致的发展演变过程如下：

20 世纪 70 年代，由全译码的与阵列和可编程的或阵列组成的 PROM，以及由可编程的与阵列和可编程的或阵列组成的可编程逻辑阵列 PLA（Programmable Logic Array）是可编程逻辑器件的起源。

20 世纪 70 年代末，AMD 公司开始推出可编程阵列逻辑 PAL（Programmable Array Logic）器件，它由可编程的与阵列和固定的或阵列组成。

20 世纪 80 年代初，Lattice 公司发明电可擦写的通用阵列逻辑 GAL（Generic Array Logic）器件，它的与或阵列有类 PLA 和类 GAL 两种，其输出结构包含一种可编程的输出逻辑宏单元 OLMC（Output Logic Macro Cell）。

20 世纪 80 年代中期，Xilinx 公司提出现场可编程概念，同时生产了世界上第一片现场可编程门阵列 FPGA（Field Programmable Gate Array）器件。同一时期，Altera 公司推出 EPLD（Erasable Programmable Logic Device）器件，较 GAL 器件有更高的集成度，可以用紫外线或电擦除。

20 世纪 80 年代末，Lattice 公司又提出在系统可编程技术 ISP（In System Program），并且

推出了一系列具备在系统可编程能力的复杂可编程逻辑器件 CPLD (Complex PLD)。

20 世纪 90 年代后, 可编程逻辑器件进入飞速发展时期, 各种高速、超宽、超大系列的 CPLD/FPGA 芯片不断涌现, 从芯片内置存储单元发展到片上可编程系统 SOPC (System On Programmable Chip) 技术。SOPC 是 PLD 与 ASIC 技术的融合, 在 FPGA 内植入处理器 IP 核, 比如, Altera 公司开发了 Nios、Nios II 软核处理器, Xilinx 公司在其 FPGA 产品内植入了 MicroBlaze 软核及 PowerPC 硬核处理器。

目前世界著名的半导体器件公司, 如 Altera、Xilinx、Lattice 等公司均可提供不同类型的 CPLD、FPGA 产品。各个公司 PLD 结构不同, 设计方法不同, 其应用范围也有所不同, 但其共同特点是, 可以在实验室中将大量数字电路设计到一个单芯片中, 从而实现系统的微型化和高可靠性。

1.2.2 PLD 的分类

可编程逻辑器件有许多品种, 有些器件还具有多种特征, 因此目前尚无严格的分类标准, 下面介绍几种常用的分类方法。

1. 按集成密度分类

可编程逻辑器件从集成密度上分为: 低密度可编程逻辑器件 (LDPLD) 和高密度可编程逻辑器件 (HDPLD) 两类。

LDPLD 主要指早期发展起来的 PLD, 包括 PROM、PLA、PAL 和 GAL 4 种, 其集成密度一般小于 700 门/片, 这里的门指 PLD 等效逻辑门。

HDPLD 包括 EPLD、CPLD、FPGA 3 种, 其集成密度大于 700 门/片, 目前最高的已达到 200 万门/片以上、3ns 的内部门延时的水平。

2. 按编程工艺分类

可编程逻辑器件按编程方式分为 4 类:

- ① 一次性编程的熔丝 (Fuse) 或反熔丝 (Antifuse) 器件;
- ② UEPROM 编程器件, 即紫外线擦除、电可编程元件;
- ③ EEPROM 编程器件, 即电擦除、电可编程元件, ISP 器件采用此方法, 编程次数可达 10000 次以上;
- ④ SRAM 编程器件, 特点是断电后信息丢失, 多数 FPGA 基于此技术。

3. 按结构特点分类

目前常用的可编程逻辑器件都是从与或阵列和门阵列两类基本结构发展起来的, 所以可以从结构上分两大类。

- ① 阵列型 PLD: 基本结构为与或阵列;
- ② FPGA: 基本结构为门阵列。

1.3 PLD 逻辑表示法

PLD 器件的逻辑功能是由与阵列和或阵列实现的, 基于与或阵列的 PLD 基本结构如图 1-1 所示。

PLD 器件的编程是指对阵列的编程, 其形式有 3 种:

- ① 与阵列固定, 或阵列可编程, 如 PROM;

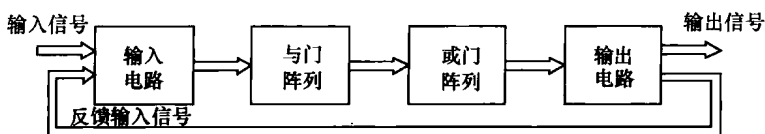


图 1-1 基于与或阵列的 PLD 基本结构

- ② 与阵列和或阵列都可以编程，如 PLA；
- ③ 与阵列可以编程，或阵列固定，如 PAL。

【例 1-1】试分别用 PLD 的 3 种阵列结构来表示逻辑函数：

$$\begin{aligned} O_2 &= \bar{I}_2 I_0 + I_2 I_1 \\ O_1 &= \bar{I}_2 I_1 \bar{I}_0 + \bar{I}_2 I_1 I_0 + I_2 \bar{I}_1 I_0 + I_2 I_1 I_0 \\ O_0 &= \bar{I}_1 \bar{I}_0 + I_1 I_0 \end{aligned}$$

【解】(1) 用与阵列固定、或阵列可编程的 PLD 来表示。

由于与阵列固定，故逻辑函数需转换成最小项表达式

$$\begin{aligned} O_2 &= \sum_m(1, 3, 6, 7) \\ O_1 &= \sum_m(2, 3, 5, 7) \\ O_0 &= \sum_m(0, 3, 4, 7) \end{aligned}$$

根据不编程的阵列交叉点处打“·”，可编程的阵列交叉点处打“×”的原则，PLD 表示图如图 1-2 (a) 所示。

(2) 用与阵列和或阵列都可编程的 PLD 来表示。

可基于逻辑函数的最简与或式，对逻辑函数化简为

$$\begin{aligned} O_2 &= \bar{I}_2 I_0 + I_2 I_1 \\ O_1 &= \bar{I}_2 I_1 + I_2 I_0 \\ O_0 &= \bar{I}_1 \bar{I}_0 + I_1 I_0 \end{aligned}$$

在与阵列和或阵列的交叉点处均打×，则其 PLD 表示图如图 1-2 (b) 所示。

(3) 用与阵列可以编程，或阵列不可编程的 PLD 来表示。

由于或阵列不可以编程，不仅要打“·”，而且“·”的位置也是固定的。与阵列虽然可以编程打“×”，但其位置必须与或阵列的打点处相对应。对逻辑函数化简，然后再画出 PLD 表示图，如图 1-2 (c) 所示。

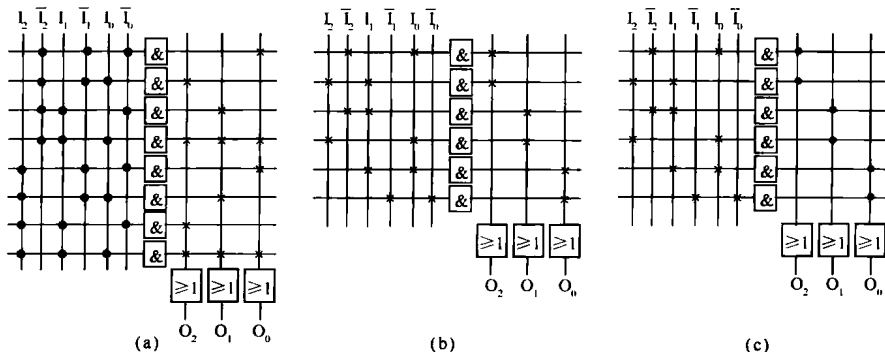


图 1-2 PLD 逻辑表示方法

1.4 PLD 的设计与开发

可编程逻辑器件的设计是指利用开发软件和编程工具对器件进行功能描述和硬件配置的过程。

1.4.1 PLD 的设计流程

高密度可编程逻辑器件 CPLD 或 FPGA 的设计流程如图 1-3 所示，一般可以分为设计准备、设计输入、设计处理和器件编程 4 个步骤以及相应的前仿真（功能仿真）、后仿真（时序仿真）和器件测试 3 个设计验证过程。

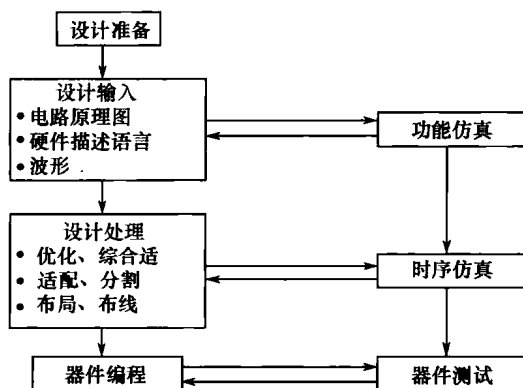


图 1-3 高密度可编程逻辑器件 CPLD 或 FPGA 的设计流程

1. 设计准备

在对可编程逻辑器件进行设计之前，首先要进行方案论证、系统设计和器件选择等设计准备工作。设计者要根据任务要求，如系统所完成的功能及复杂程度、对工作速度和器件本身的资源、成本及连线的可布通性等方面进行权衡，选择合适的设计方案和适当的器件类型。

2. 设计输入

设计输入就是将设计者所设计的系统或电路以开发软件要求的某种形式表达出来，并输入到相应的开发软件中。设计输入通常有以下几种方式。

(1) 原理图输入方式

原理图是图形化的表达方式，使用元件符号和连接线等元素来描述设计。其特点是适合描述连接关系和接口关系，而描述逻辑功能则较烦琐，要求设计工具提供必要的元件库或逻辑宏单元。

原理图输入方式适用于小规模系统设计，当系统规模增大时，原理图设计系统结构复杂，可读性较差，不易检查错误。另外原理图输入方式不是标准化输入方式，在某一开发软件中编辑的原理图文件不能直接移植到其他开发软件中。

(2) 硬件描述语言输入方式

硬件描述语言用文本方式描述设计，它分为普通硬件描述语言和行为描述语言。普通硬件描述语言有 ABEL-HDL、CUPL 和 MINC-HDL，它们支持逻辑方程、真值表、状态机等逻辑表达式。

行为描述语言，如 Verilog HDL 和 VHDL，行为描述类似于 C 语言，在描述复杂设计时，非常简洁，具有很强的逻辑描述和仿真功能，已被采用为国际标准。

标准硬件描述语言的设计文件可在不同的开发软件中使用，移植性较好。

(3) 波形输入方式

波形输入主要用于建立和编辑波形设计文件以及输入仿真向量和功能测试向量，适合于时序逻辑和有重复性的逻辑函数。系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。

3. 设计处理

设计处理是系统设计的核心环节。在设计处理过程中，编译软件将对设计输入文件进行逻辑化简、综合和优化，并适当地用一片或多片器件自动地进行适配，最后产生编程用的编程文件（熔丝图文件或位流文件）。主要包含以下过程：

(1) 语法检查 and 设计规则检查

设计输入完成之后，在编译过程中首先进行语法检验，如检查原理图有无漏连信号线、信号有无双重来源、文本输入文件中关键字有无输入错误及各种语法错误，并及时列出错误信息报告供设计者修改；然后进行设计规则检验，检查总的设计有无超出器件资源或规定的限制并给出编译报告，列出违反规则情况以供设计者纠正。

(2) 逻辑优化和综合

化简所有的逻辑方程或用户自建的宏，使设计所占用的资源最少。综合的目的是使层次设计平面化，将多个模块化设计文件合并为一个网表文件。

(3) 适配和分割

确定优化以后的逻辑能否与器件中的宏单元及 I/O 单元适配，然后将设计分割为多个便于适配的逻辑小块，以逻辑块形式映射到器件相应的宏单元中。如果整个设计不能装入一片器件时，则将整个设计自动划分成多块，以装入同一系列的多片器件。

(4) 布局和布线

布局和布线工作是在设计检验通过以后由软件自动完成的，它能以最优的方式对逻辑元件布局，并准确地实现元件间的互连。

布线后软件会自动生成布线报告，提供有关设计中各部分资源的使用情况等信息。

(5) 生成编程数据文件

设计处理的最后一步是产生可供器件编程使用的数据文件。对 CPLD 来说，是产生熔丝图文件，即 JEDEC 文件（电子器件工程联合会制定的标准格式，简称 JED 文件）；对于 FPGA 来说，是生成位流数据文件（Bitstream Generation）。

4. 设计校验

与设计处理过程同时进行的还有一个设计校验过程。在设计输入阶段，进行逻辑功能验证，所以又称功能仿真（前仿真）；在选择了具体器件并完成布局布线后进行的时序仿真称为后仿真或延时仿真。由于不同器件的内部延时不一样，不同的布局、布线方案也给延时造成了很大的影响，因此在设计处理以后，对系统和各模块进行时序仿真，分析其时序关系，估计设计的性能以及检查和消除竞争-冒险现象等是非常有必要的。实际上这也是与实际器件工作情况基本相同的仿真；在器件编程后，需要利用实验手段测试器件最终的功能和性能指标，具有边界扫描测试能力和在系统可编程能力的器件测试起来就较其他器件方便。

5. 器件编程

编程、下载或者配置是指将设计阶段生成的 JEDEC 文件或位流文件写入具体的可编程器件。器件编程需要一定的条件，如编程电压、编程时序和编程算法等。普通的 CPLD 器件和

OTP 的 FPGA 器件需要一种编程专用设备,即编程器来完成器件编程;基于 SRAM 的 FPGA 可以由 PROM 或微处理器配置;如果使用 PROM 配置,也需要使用编程器;在系统可编程 ISP 器件不需要使用编程器。

1.4.2 PLD 的开发环境

可编程器件的设计离不开 EDA (Electronic Design Automation) 开发软件,目前支持 CPLD 和 FPGA 的设计软件有多种。有的设计软件是由芯片制造商提供的,如 Lattice 公司开发的 isp Design EXPERT System 软件, Xilinx 公司开发的 ISE 软件, Altera 公司开发的 MAX+PLUS II、Quartus II 等;有的是由专业 EDA 软件商提供的,称为第三方设计软件,例如 Mentor Graphics、Synplify、Cadence、Mental、Synopsys、Viewlogic 和 DATA I/O 等公司设计开发的综合或仿真软件,第三方软件往往能开发多家公司的器件。目前具有代表性的常用开发系统有:

1. isp Design EXPERT System 系统

isp Design EXPERT System 是 Lattice 公司针对其 CPLD 和 FPGA 产品开发的 EDA 软件,支持原理图输入方式和 ABEL-HDL、VHDL、Verilog HDL 等硬件描述语言输入方式。可以进行功能仿真和时序仿真,是目前流行的 EDA 软件中最容易掌握的设计工具之一,它界面友好,操作方便,功能强大,并与第三方 EDA 工具兼容良好。

2. ISE 系统

ISE 软件是 Xilinx 公司推出的完整的可编程逻辑设计软件系列。它支持 Xilinx 公司所有的 CPLD 和 FPGA 可编程逻辑器件,支持多语言开发,具有很好的综合及仿真功能,是业界最强大的 EDA 设计工具之一。

3. Quartus II 系统

Quartus II 系统是由 Altera 公司提供的开发软件。该软件提供了一种与结构无关的设计环境,支持 Altera 公司的各种 PLD 系列芯片的设计。支持原理图和各种 HDL 设计输入选项,是目前较流行的设计软件之一。

4. ModelSim 仿真软件

ModelSim 是 Mentor Graphics 公司开发的一款非常优秀的仿真软件,具有友好的仿真界面,不仅支持 VHDL、Verilog 及 VHDL 和 Verilog 混合硬件描述语言,还支持系统级描述语言 System C 和 SystemVerilog。该仿真软件仿真速度快、精度高。ModelSim 可集成到 ISE 及 Quartus II 等 PLD 开发软件中,从而可在 PLD 开发软件中直接调用 ModelSim 进行波形仿真。

5. Synplify 综合软件

Synplify、Synplify Pro 和 Synplify Premier 是 Synplify 公司开发的 PLD 综合工具,支持大多数半导体厂商的 CPLD 和 FPGA 产品,具有综合速度快、综合效率高等优点,最近几年在综合软件市场中排名保持第一。

1.4.3 IP 核复用技术

IP 核 (Intellectual Property Core) 指知识产权核或知识产权模块,是一段具有特定功能的硬件描述语言程序或具有特定功能的模块,与集成电路制造工艺无关,可以移植到不同的半导体工艺生产的集成电路芯片中。常用的 IP 核有 CPU 核、DSP 核、实现某一算法的 IP 核、存储器核、存储控制器核、通信协议核等。IP 核经过设计者的验证,可在系统设计中直接使用。

IP 核复用指设计者在系统设计中直接采用已有的功能模块，可大大减轻设计者的工作量并减少风险，缩短设计周期，提高系统性能，在 PLD 设计中有着十分重要的应用。

IP 核可分为软核、固核和硬核。

软核是用 VHDL、Verilog HDL 等硬件描述语言描述的功能模块，是与具体实现的工艺无关的 IP 核。软核以源文件形式出现，使用者可对软核的代码进行修改，扩展其功能，满足实际应用需求，使用灵活方便。

固核是以网表文件的形式提交用户使用的 IP 核，是完成了综合后的可重用 IP 模块。

硬核是一些已经经过布局、并对尺寸和功耗进行优化的、不能由使用者修改的 IP 核。硬核以设计的最终阶段产品——掩模提供。

习 题 1

- 1.1 数字电路的设计方法有哪些？
- 1.2 ASIC 的设计方法有哪些？
- 1.3 简述 PLD 的发展历程。
- 1.4 可编程逻辑器件的分类方法有哪些？
- 1.5 可编程器件的基本结构如何表示？
- 1.6 分别画出用 PROM、PLA 实现的半加器的逻辑阵列。
- 1.7 简述可编程逻辑器件的设计流程。
- 1.8 常用的可编程逻辑器件的开发环境有哪些？
- 1.9 什么是 IP 核？IP 核如何分类？

第2章 大规模可编程逻辑器件 CPLD/FPGA

从结构上看目前常用的大规模可编程器件，主要有基于与或阵列的 CPLD 和基于逻辑门的 FPGA 两大类。

2.1 CPLD 结构与工作原理

随着半导体制造工艺技术的发展，PLD 内部资源的集成度越来越高，产品已由最初的低密度 PAL 或 GAL 器件发展到高密度的 CPLD 系列。CPLD 基本采用 EEPROM 编程技术，产品不仅具有高密度、高速度和低功耗的优点，而且下载代码烧写到 CPLD 内部后不会丢失，即使系统掉电也可保持相应的逻辑功能。

CPLD 是在 PAL 和 GAL 器件基础上发展起来的，其内部结构与 PAL 器件基本相同，采用可编程的与阵列和固定或阵列结构。不同公司的 CPLD 产品内部结构不完全相同，各有自己的技术特点。CPLD 的内部结构基本可分为 3 部分，分别是可编程逻辑块、I/O 模块和可编程互连通道。

可编程逻辑块是 CPLD 的主要组成部分，用于实现系统逻辑功能的配置；I/O 模块实现 CPLD 输入/输出信号的引脚驱动及电平匹配；可编程互连通道实现 CPLD 内部各个功能模块的互连通信。

本节以 Lattice 公司 ispLSI 系列的 CPLD 产品为例，详细介绍 CPLD 的内部结构、CPLD 的主要技术特征及 CPLD 的设计编程方法等。

2.1.1 Lattice 公司的 CPLD 器件系列

Lattice 公司的可编程逻辑器件主要包括：高密度的 CMOS PLDs ispLSI、pLSI 和低密度的 CMOS PLDs ispGAL、ispGDX（通用数字互连）、ispGDS（开关矩阵）等系列产品。Lattice 公司的 CPLD 产品主要有 ispLSI、ispMACH 等系列。

1. ispLSI 系列

ispLSI 系列器件是 Lattice 公司于 20 世纪 90 年代以来推出的高性能大规模可编程逻辑器件，集成度在 1000 门到 58000 门之间，引脚到引脚（Pin-to-Pin）延时最小可达 3ns，系统工作速度最高可达 200MHz，器件具有在系统可编程能力和边界扫描测试能力，适合在计算机、仪器仪表、通信设备、雷达、DSP 系统和遥测系统中使用。

目前，Lattice 公司生产的 ispLSI 器件分为 6 个系列，其基本结构和功能相似，都具有在系统可编程能力，但各系列器件在用途上有一定的侧重点，因而在结构和性能上有细微的差异，有的速度快，有的密度高，有的成本低，有的输入/输出（I/O）口多，适用对象具有一定的针对性。

（1）ispLSI 1000/1000E 系列

ispLSI 1000 和 ispLSI 1000E 系列器件是通用器件。该系列器件的集成度较高，性价比较高，适合在一般的数字系统，如网卡、控制器、高速编码器、测试仪器和游戏机等中使用。