

微型机通用接口电路和应用

(上)

周明德 白晓笛 田开亮 编著

中国计算机技术服务公司培训部
山西分公司承印

一九八五年三月

微型机通用接口电路和应用

(上)

周明德 白晓笛 田开亮 编著

中国计算机技术服务公司培训部

山西分公司 承印

一九八五年三月

目 录

第一部分 接口电路

第一章 并行接口电路	1
第一节 概述	1
第二节 Z80—PIO	20
第三节 8255A—PPI	56
第四节 MC6821—PIA	106
第二章 串行接口电路	134
第一节 概述	134
第二节 Z80—SIO	170
第三节 8251A—PCI	246
第四节 MC6850—ACIA	282
第三章 DMA控制器	307
第一节 概述	307
第二节 Z80—DMA	318
第三节 8257—DMAC	389
第四节 MC6844—DMAC	409
第四章 定时器/计数器和多功能I/O控制器	430
第一节 概述	430
第二节 Z80—CTC	438
第三节 8253—PIT	459
第四节 MC6840—PTM	480
第五节 多功能I/O控制器TMS—5501	499
第五章 数/模和模/数转换	518
第一节 转换装置的作用	518
第二节 数/模(D/A)转换器	521
第三节 模/数(A/D)转换器	561

第二部分 应用举例

第一章 温度闭环控制系统	629
第一节 概述	629
第二节 系统硬件构成	629

	第三节 温控系统软件.....	637
第二章	微型计算机巡检及采样系统	667
	第一节 设计思想及要求.....	667
	第二节 系统构成.....	668
	第三节 附录.....	676
第三章	单板机控制针织提花袜机系统	679
	第一节 概述.....	679
	第二节 系统的组成.....	681
	第三节 织袜控制程序.....	692
第四章	微型机分机分布控制针织提花系统	702
	第一节 概述.....	702
	第二节 系统组成.....	703
	第三节 上、下级接口电路.....	703
	第四节 上、下级通讯.....	710
	第五节 程序设计.....	714
第五章	采用串行通讯的微型机分级分布系统	740
	第一节 通讯实现方法.....	741
	第二节 对系统的改造.....	754
	第三节 通讯管理程序.....	760

第一章 并行接口电路

第一节 概 述

随着大规模集成电路技术的飞速发展,微型计算机输入/输出接口芯片的品种越来越多。这些接口片子可以分为两类:一类是与某一种外部设备接口的专用外设控制芯片,如键盘/显示器控制器,打印机控制器,盒式磁带机控制器,CRT控制器和软磁盘控制器等芯片。表1-1列出了Intel公司生产的一部分专用接口芯片。另一类接口芯片是不限于和某一种外部设备连接的通用I/O接口芯片。这就是本书将要介绍的内容。

表1-1 Intel公司生产的部分专用接口电路

8271	PFDC	可编程序软磁盘控制器
8272	S/DDFDC	单/双密度软磁盘控制器
8275	PCRTC	可编程序CRT控制器
8276	SSCRTS	小系统CRT控制器
8279	PK/TI	可编程序键盘/显示器接口
8295	DMPC	点阵式打印机控制器

通用接口电路按照数据传送的方式可以分为并行接口和串行接口两大类。本章我们只讨论并行接口片子,串行接口片子将在下一章中介绍。

并行接口电路能够实现计算机与外部设备之间数据的并行传送,即将组成字和字符的各位同时传送。并行接口电路有不可编程序的和可编程序的两种类型。

一、不可编程序的并行接口电路

1、8212介绍

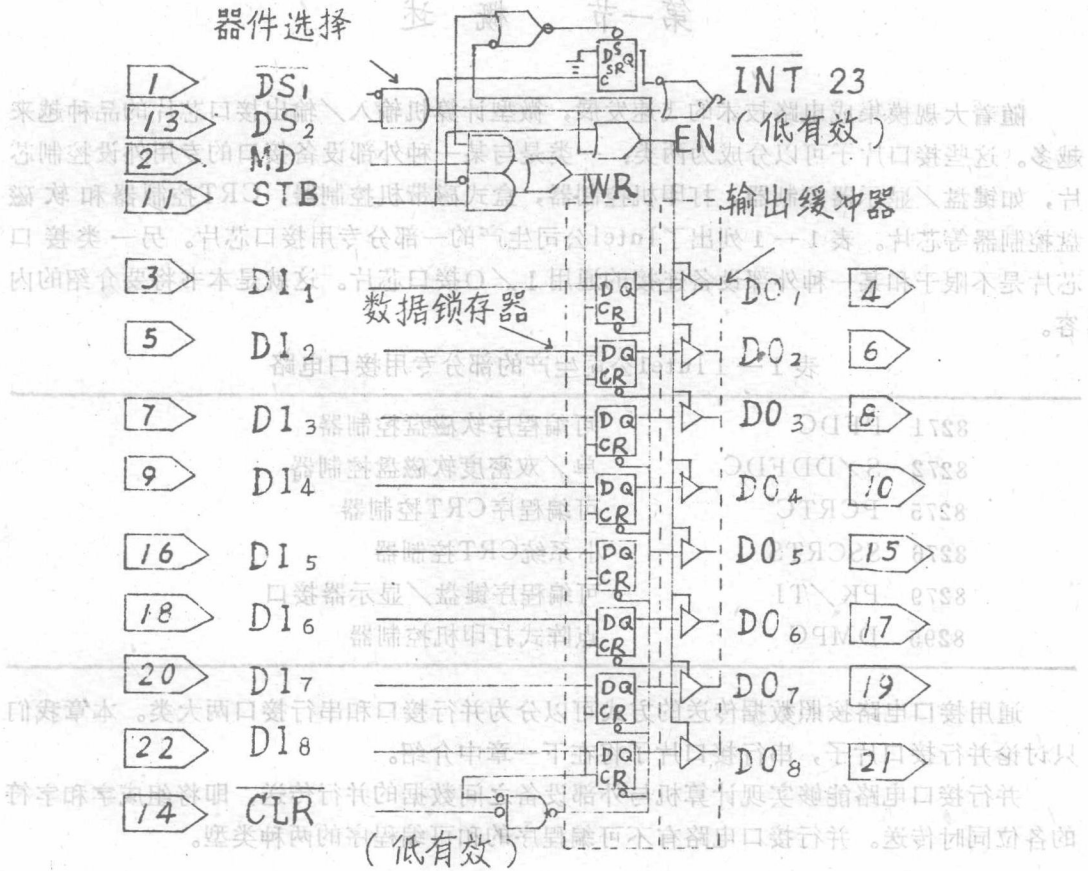
在这一类电路中,最典型的是Intel公司生产的8212 8位输入/输出接口芯片。这是一种使用单一+5V电源、24引脚双列直插式的集成电路。它具有完全并行的可清除的8位数据寄存器和3态输出的缓冲器,有用于产生中断的服务请求触发器。8212的低电平输入负载电流最大0.25mA,输出吸收15mA,可在微型计算机系统中用作缓冲器、锁存器和多路转换器等。图1-1是8212内部结构的逻辑图和引脚图。

8212是由8位数据锁存器,输出缓冲器以及控制逻辑组成的。

数据锁存器由8个D触发器组成。当D触发器时钟输入端C为高电平时,触发器的输出Q随数据输入端D的状态变化。当时钟C返回低电平时,D端输入的状态被锁存在

服务请求触发器

并行接口芯片 第一章



一、不可兼容的并行接口电路

1. 8255介绍

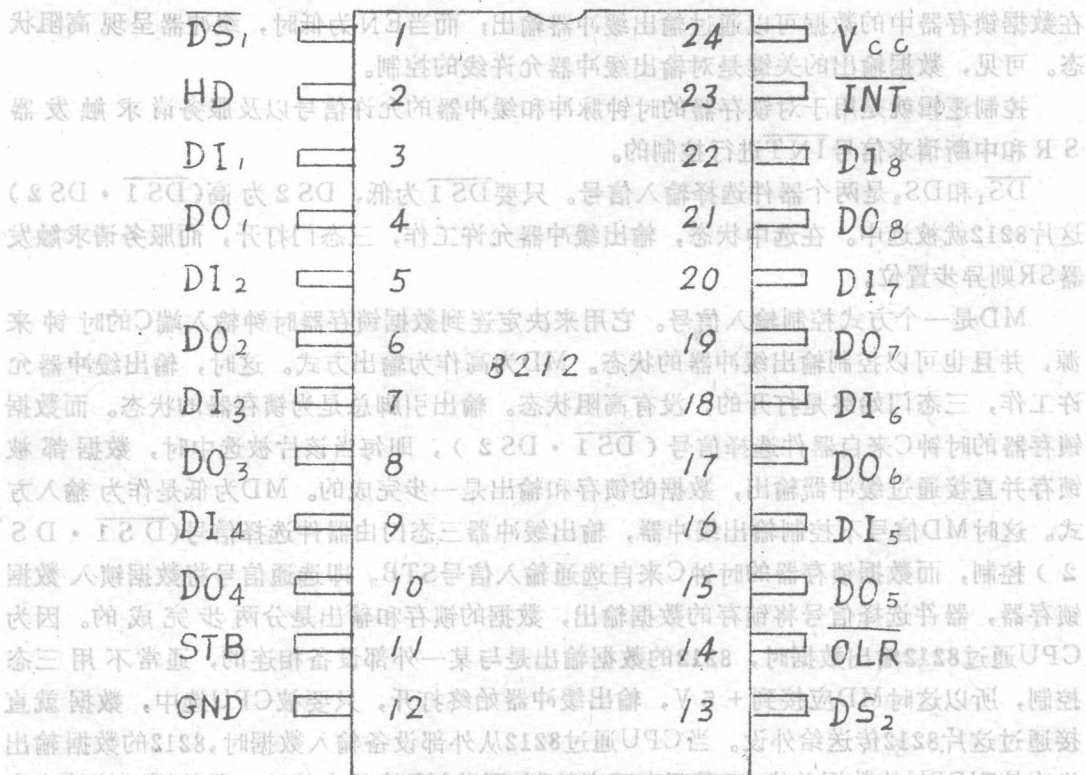
在这一类电路中,最典型的是Intel公司生产的8255。8255是一种集成度高、性能优良的并行接口芯片。它具有完全并行的可寻址的8位数据寄存器和3个输出的缓冲器,适用于产生中断的服务请求触发器。8255的输入/输出数据流最大为0.25mA,输出电流最大为15mA,可在微处理器系统中用作缓冲器。

图1-1是8255内部结构的逻辑图。图1-1是8255内部结构的逻辑图。

8255是由8位数据寄存器、输出缓冲器和3个输出的缓冲器组成的。

8255是由8个数据寄存器组成的。当D触发器时钟输入端C为高电平时,数据寄存器的输出端D的数据输入端D的状态变化。当时钟C返回低电平时,D端输入的数据被锁存。

28 號面因。悉外國高官員器書發出轉于由。如照口悉三四時又不个 8 由器書發出轉
轉發。如高式 14 日發隨送書余隨口悉三四。送書發隨送轉發向取由器書發出轉已轉直以同 21
外國高 應呈報 PS。如按書 14 日發隨送書余隨口悉三四。送書發隨送轉發向取由器書發出轉已轉直以同 21



按地址线要求敏感器的SR复位。MD1输入方式，STB被禁止。选通输入信号STB是在MD = 0时输入方式敏数据寄存器的数据脉冲，并选择信号(D21、D22)使三态门打开，将寄存器的数据放到数据总线上，将CPU输入。阻状态，外部设备用选通信号STB将数据存入寄存器，当CPU返回接收片时，器件返回连接到CPU的数据总线上，需要有二态控制，因此MD必须应接收片，器件平时处于高阻状态。

DI ₁ —DI ₈	数据输入
DO ₁ —DO ₈	数据输出
DS ₁ , DS ₂	器件选择
MD	方式
STB	选通
INT	中断 (低电平有效)
CLR	清除 (低电平有效)

图 1—1 8212 的内部结构和引脚

触发器中保持不变。因此数据锁存的关键是对触发器时钟的控制。数据锁存器可以由一个异步的复位输入 $\overline{\text{CLR}}$ 清除。 $\overline{\text{CLR}}$ 通常接到系统的复位信号上,或者连接到+5V,不使用它。

输出缓冲器由8个不反相的三态门组成。由于输出缓冲器具有高阻状态,因而使8212可以直接与微处理器的双向数据总线连接。当三态门的允许控制线EN为高时,保存在数据锁存器中的数据可以通过输出缓冲器输出;而当EN为低时,缓冲器呈现高阻状态。可见,数据输出的关键是对输出缓冲器允许线的控制。

控制逻辑就是用于对锁存器的时钟脉冲和缓冲器的允许信号以及服务请求触发器SR和中断请求信号 $\overline{\text{INT}}$ 进行控制的。

$\overline{\text{DS}}_1$ 和 DS_2 是两个器件选择输入信号。只要 $\overline{\text{DS}}_1$ 为低, DS_2 为高($\overline{\text{DS}}_1 \cdot \text{DS}_2$)这片8212就被选中。在选中状态,输出缓冲器允许工作,三态门打开,而服务请求触发器SR则异步置位。

MD是一个方式控制输入信号。它用来决定连到数据锁存器时钟输入端C的时钟来源,并且也可以控制输出缓冲器的状态。MD为高作为输出方式。这时,输出缓冲器允许工作,三态门始终是打开的,没有高阻状态。输出引脚总是为锁存器的状态。而数据锁存器的时钟C来自器件选择信号($\overline{\text{DS}}_1 \cdot \text{DS}_2$),即每当该片被选中时,数据都被锁存并直接通过缓冲器输出,数据的锁存和输出是一步完成的。MD为低是作为输入方式。这时MD信号不控制输出缓冲器,输出缓冲器三态门由器件选择信号($\overline{\text{DS}}_1 \cdot \text{DS}_2$)控制,而数据锁存器的时钟C来自选通输入信号STB,即选通信号将数据锁入数据锁存器,器件选择信号将锁存的数据输出,数据的锁存和输出是分两步完成的。因为CPU通过8212输出数据时,8212的数据输出是与某一外部设备相连的,通常不用三态控制,所以这时MD应接到+5V,输出缓冲器始终打开,只要被CPU选中,数据就直接通过这片8212传送给外设。当CPU通过8212从外部设备输入数据时,8212的数据输出线连接到CPU的数据总线上,需要有三态控制,因此MD这时应接地,器件平时就处在高阻状态,外部设备用选通信号STB将数据存入锁存器,当CPU访问该芯片时,器件选择信号($\overline{\text{DS}}_1 \cdot \text{DS}_2$)使三态门打开,将锁存的数据放到数据总线上,被CPU读入。

选通输入信号STB是在MD=0的输入方式时被用作数据锁存器的锁存脉冲,并异步地使服务请求触发器的SR复位。在MD=1的输出方式,STB被禁止。

器件选择信号($\overline{\text{DS}}_1 \cdot \text{DS}_2$)和方式控制信号MD以及选通信号STB对8212数据输出端状态的作用如表1—2所示。

8212内部有一个服务请求触发器SR,用于在微型计算机系统中产生中断请求信号。它由 $\overline{\text{CLR}}$ 输入(低电平有效)异步地置位。当SR触发器置位时,芯片处于非中断请求的状态。SR触发器的输出Q端连接到或非门的反相输入端,或非门的另一个输入端是不反相的,连接到器件选择逻辑($\overline{\text{DS}}_1 \cdot \text{DS}_2$)。或非门的输出 $\overline{\text{INT}}$ 是低电平有效的(中断状态),通常连接到优先权发生电路低电平有效的输入端。表1—3是 $\overline{\text{CLR}}$, ($\overline{\text{DS}}_1 \cdot \text{DS}_2$)和STB信号对SR触发器和 $\overline{\text{INT}}$ 信号的影响。

每当器件被选中时, $\overline{\text{DS}}_1 \cdot \text{DS}_2$ 有效为高总能够产生 $\overline{\text{INT}}$ 信号。由于 $\overline{\text{DS}}_1$ 和 DS_2 通常是由CPU使用的,所以一般并不利用 $\overline{\text{DS}}_1 \cdot \text{DS}_2$ 信号产生中断请求,而是在

表 1—2 控制信号对输出的控制

STB	MD	$(\overline{DS1} \cdot DS2)$	数 据 输 出 等 于
0	0	0	8 态
1	0	0	3 态
0	1	0	数据锁存器
1	1	0	数据锁存器
0	0	1	数据锁存器
1	0	1	数据输入
0	1	1	数据输入
1	1	1	数据输入

CLR—复位数据锁存器

使SR触发器置位

(对输出缓冲器没有影响)

表 1—3 控制信号对中断的控制

CLR	$(DS1 \cdot DS2)$	STB	*SR	INT
0	0	0	1	1
0	1	0	1	0
1	0	1	0	0
1	1	0	1	0
1	0	1	1	1
1	1	1	1	0

*SR—内部服务请求触发器

$\overline{DS1} \cdot DS2$ 无效时, 由选通信号STB的下降沿产生中断。即CPU8212输出时, 不使用中断, 用于无条件输出, 而用8212作为输入端口时, 可以由外部设备的选通信号产生中断请求, 用于中断驱动式输入。具体过程是这样的: 在MD = 0的输入方式, 外设用STB信号将传送给CPU的数据锁存在8212锁存器中。在数据锁存的同时, STB的下降沿将使SR触发器复位(因为SR的D输入端始终接地), 其Q输出的低电平到或非门的反相输入端, 使INT为低变为有效, 向CPU发出中断请求, 通知CPU输入数据已经锁存等待取走。INT始终保持低, 直到CPU响应中断访问这片8212时, 器件选择逻辑($\overline{DS1} \cdot DS2$)使输出缓冲器允许, 锁存的数据经三态门读入CPU。同时, $\overline{DS1} \cdot DS2$ 信号经一或非门使SR触发器置位, 输出Q = 1。当数据读走以后, $\overline{DS1} \cdot DS2 = 0$ 将关闭三态门, 并使INT恢复为高, 撤消中断请求。整个过程概括起来就是由外设的STB信号发出中断请求, 而由CPU读数据的 $\overline{DS1} \cdot DS2$ 信号撤消中断请求, 如图1—2所示。

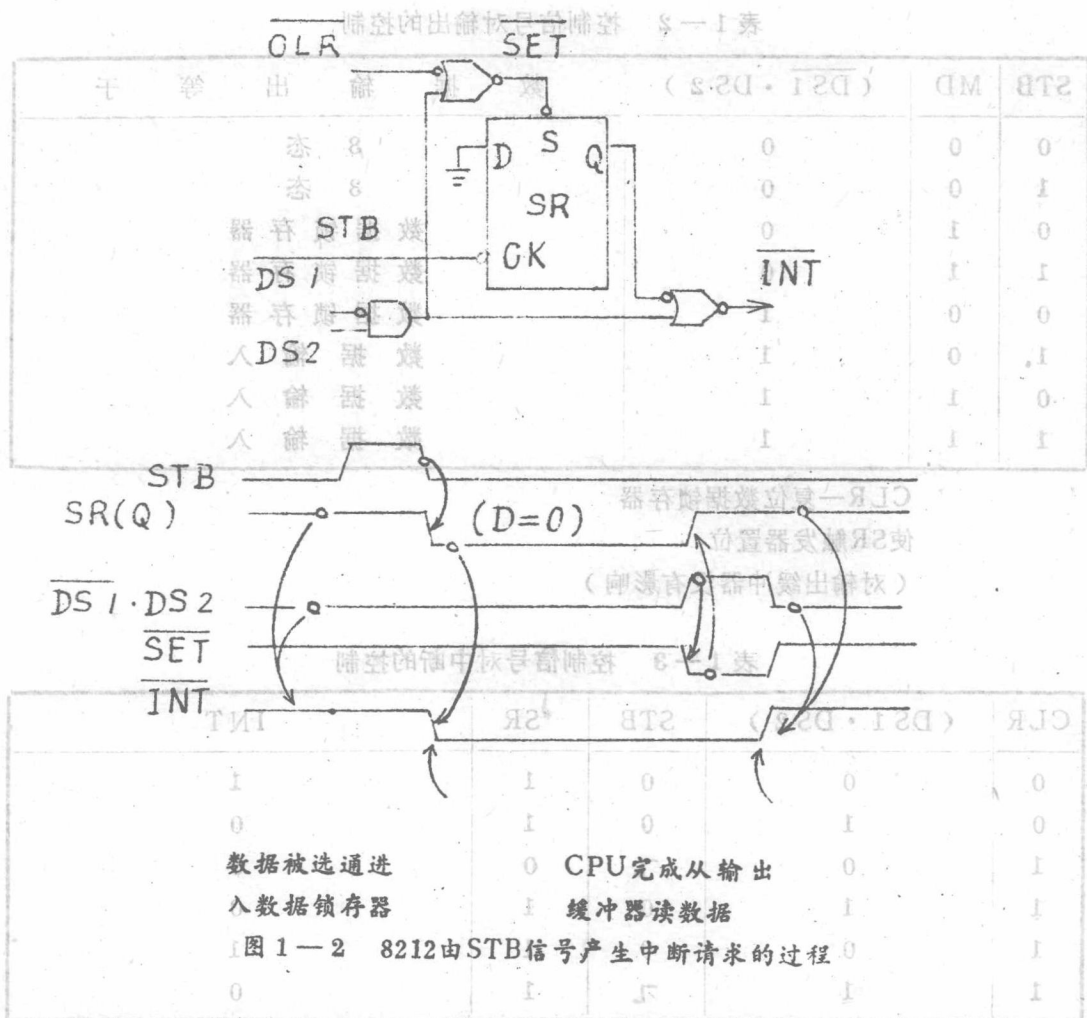


图 1—2 8212由STB信号产生中断请求的过程

下边介绍8212几种典型的使用方法。

①门控缓冲器(3态)

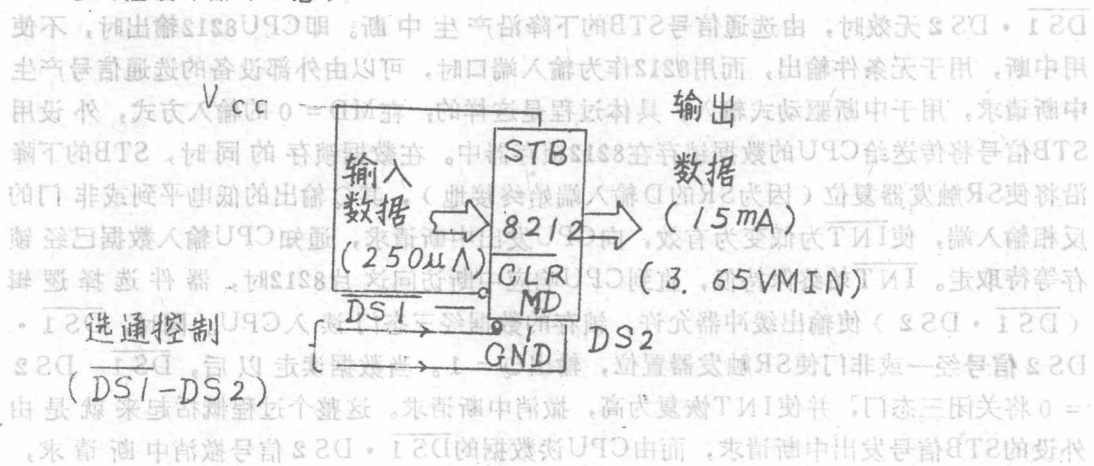


图 1—3 8212用作门控缓冲器

8212最简单的使用就是用作门控缓冲器，这实际上就是不使用中断的无条件输入或输出方式。如图1—3所示，使方式控制信号MD固定为低，选通输入STB为高，则数据锁存器的作用犹如一个直通门电路。输出缓冲器由器件选择逻辑DS1和DS2控制允许。当不满足器件选择逻辑要求时，输出是三态。当器件被选中时，输入数据被直接传送到输出。DS2可以连接到一个地址译码器的输出，以便确定该芯片的端口地址。在作为并行输出端口时，DS1可与I/O $\overline{W}$ 相连，而与I/O $\overline{R}$ 相连则可以作为并行输入端口。

②中断输入端口

中断输入端口电路如图1—4所示。I/O $\overline{R}$ 和RD两信号相“与”后作为DS1信号，地址译码输出的信号作为DS2信号，共同作为端口选择信号。STB由输入装置的选通(READY)信号供给。中断驱动的数据输入过程已在前边介绍过，见图1—2。

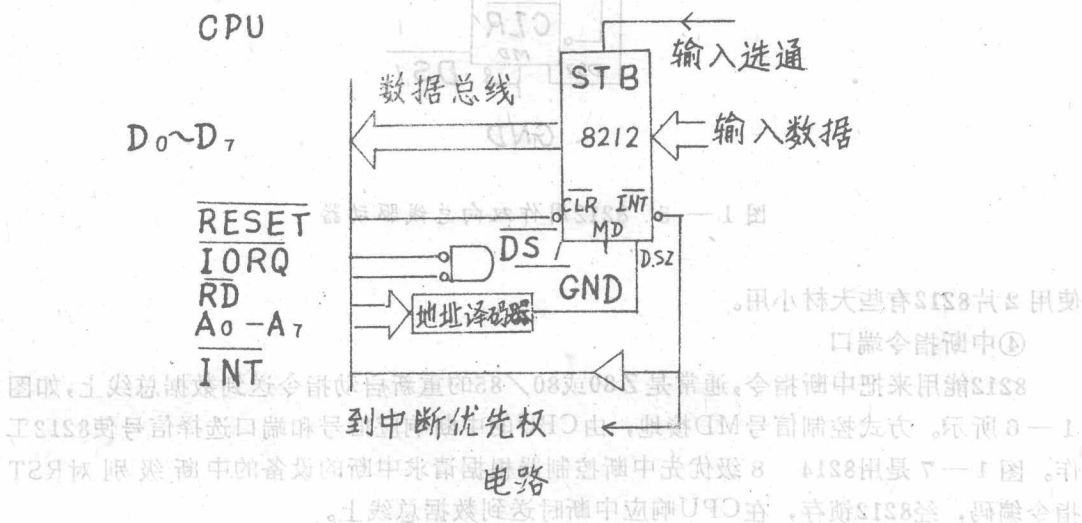


图 1—4 8212用作中断输入端口

③双向总线驱动器

将一对8212背对背地连接可以用作一个对称驱动的双向总线驱动器，如图1—5所示。两个芯片的MD接地而STB接+5V，两片8212都是由数据总线控制信号控制的。这个控制信号连接到上一个芯片的DS1端，同时连接到下一个芯片的DS2端。一个芯片被选中时，就可以作为直通的缓冲器，而另一个则处于三态方式。假设图1—5的左侧与CPU连接，右侧与外设连接，就可以用I/O $\overline{W}$ 信号作为数据总线控制信号。当I/O $\overline{W}$ = 0时，上面芯片的DS1有效，CPU输出的数据从左到右通过上一个芯片传递给外设，下面芯片则处于三态；当I/O $\overline{W}$ = 1时，下一个芯片的DS2有效，从外设传送来的数据从右到左通过下面芯片输入CPU，上面芯片则处于三态。在小系统设计中，这是一个很有用的电路。但是使用2片8216/8226 4位并行双向总线驱动器或2片SN54/74 240/241/244 八总线缓冲器驱动器也可以实现同样的功能。相比之下，

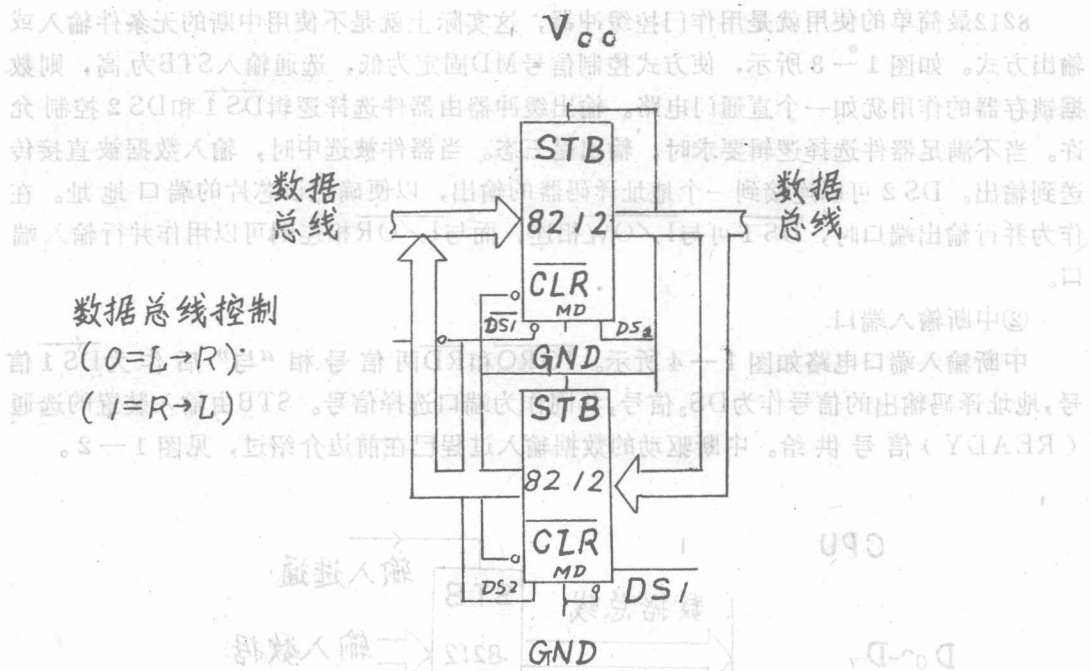


图 1—5 8212 用作双向总线驱动器

使用 2 片 8212 有些大材小用。

④ 中断指令端口

8212 能用来把中断指令，通常是 Z80 或 80/85 的重新启动指令送到数据总线上，如图 1—6 所示。方式控制信号 MD 接地，由 CPU 的中断响应信号和端口选择信号使 8212 工作。图 1—7 是用 8214 8 级优先中断控制器根据请求中断的设备的中断级别对 RST 指令编码，经 8212 锁存，在 CPU 响应中断时送到数据总线上。

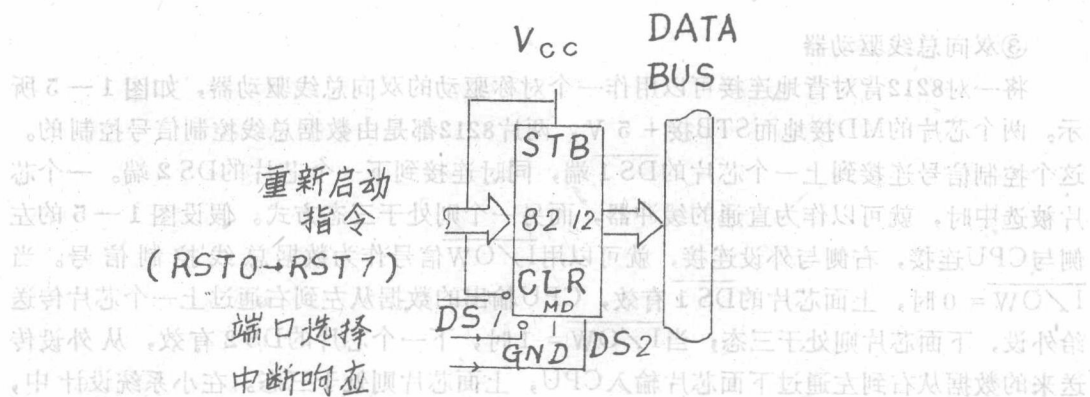


图 1—6 8212 用作中断指令端口

8080双向总线

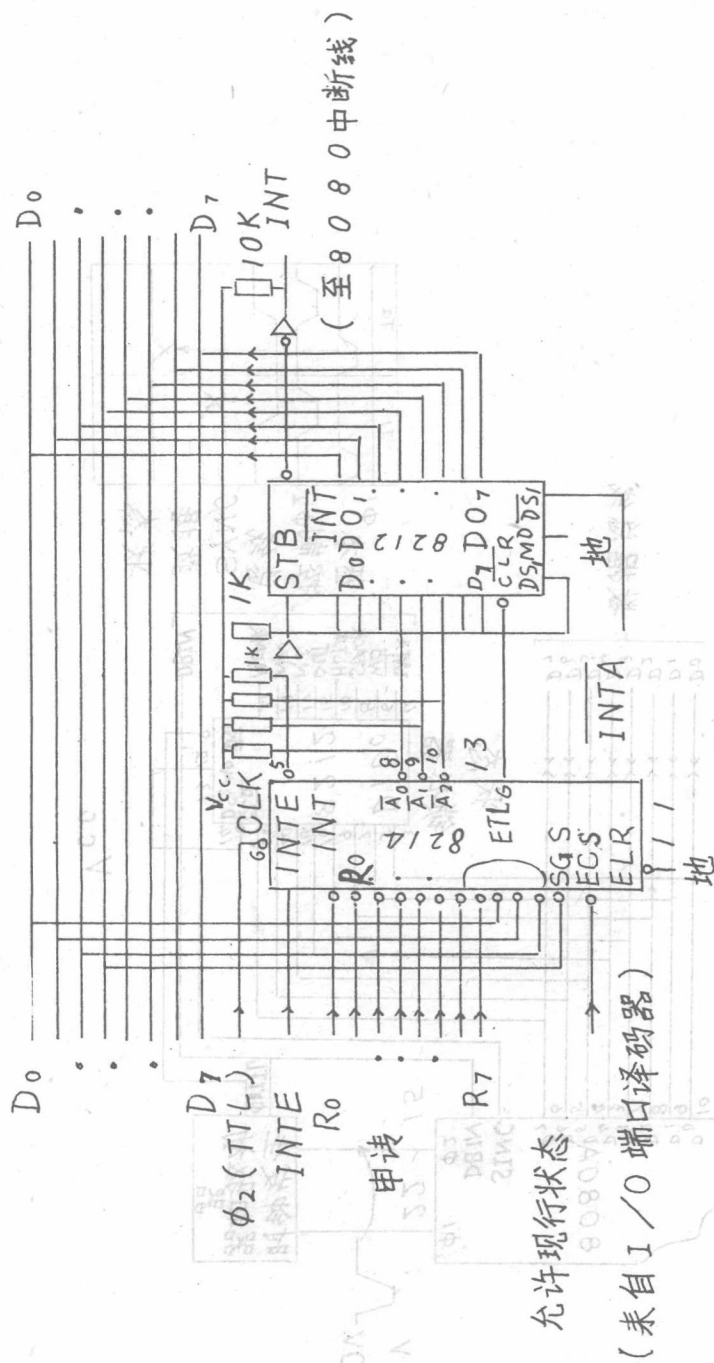


图 1—7 用 8212 和 8214 产生 RST 中断

图 1-1 用 831S 和 831N 作 821 中解

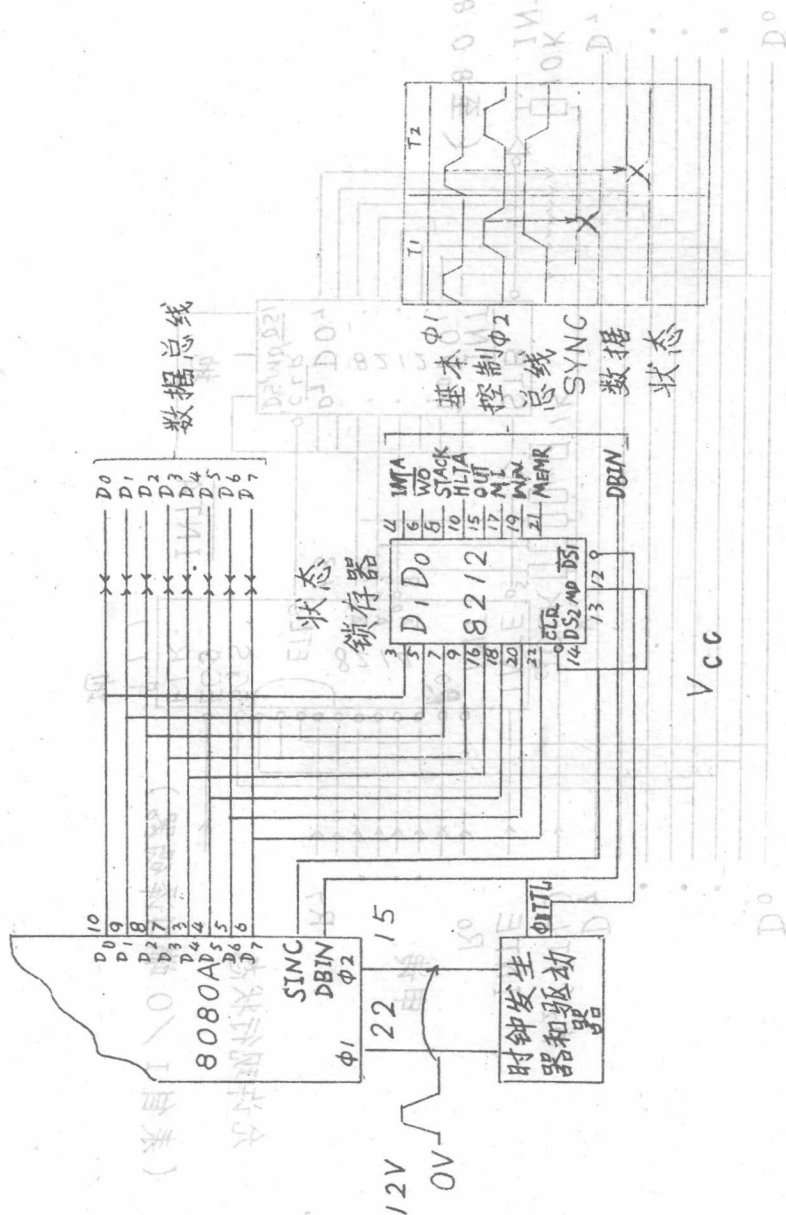


图 1-8、8212 用作 8080A 状态锁存器

输出控制

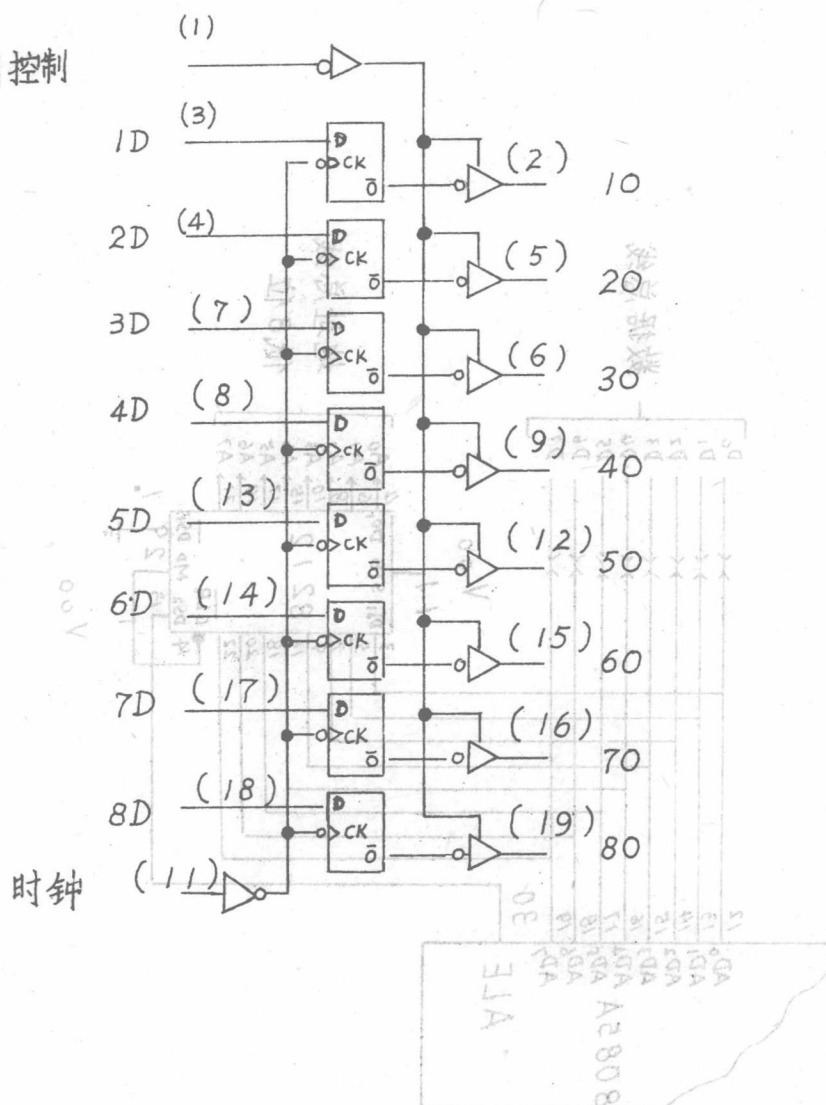


图 1—10 SN54/74 374 8D 型正边沿触发器逻辑电路

⑤8080A 状态锁存器

8212可以用作8080A微型计算机系统的状态锁存器,如图1—8所示。8212锁存器的输入直接来自8080A数据总线。时间关系表明,当SYNC信号是1(连接到DS2输入)和 ϕ_1 信号是1(来自时钟发生器,连接到DS1)时,则状态数据被锁存入8212。注意,方式信号MD连接到高电平使锁存器输出是有效的。而且总是处于允许工作状态。

⑥8085A 低8位地址锁存器

8085A微处理器采用了多路转换的地址/数据总线。在每个机器周期的第一个T状态,地址/数据总线上包含有地址信息的低8位。8085A提供了一个地址锁存允许信号ALE,可用于使8212锁存这个地址信息,并在整个机器周期内始终保持有效。注意,在图1—9所示的电路中,方式输入MD接为高,以便使8212输出缓冲器始终保持信号。

使用8257 DMA控制器也需要同时用一片8212作为低8位地址锁存器。

2、其它不可编程的并行接口电路

德克萨斯仪器公司的SN54/74S12多模缓冲锁存器(TIM8212)的电路结构和引脚是与Intel 8212完全相同的。

与8212类似的电路还有54/74系列的SN54/74 374八D型透明锁存器和边沿触发器,图1—10是它的逻辑图。从图1—10可以看出,除了没有芯片选择逻辑,没有锁存器清除端和中断控制逻辑外,SN54/74 374的数据锁存器和输出缓冲器结构与8212相似。

由此可以看出,数据锁存器和输入/输出缓冲器是构成并行I/O接口电路的基本部件。8212和74374都具有这两部分电路。还有一些只具有上述二者之一的芯片,也可以选用作为并行I/O的接口芯片。例如,有不少系统都使用了不带三态缓冲器而带有清除端的八D触发器SN54/74 273作为并行输出端口,图1—11是它的逻辑电路。

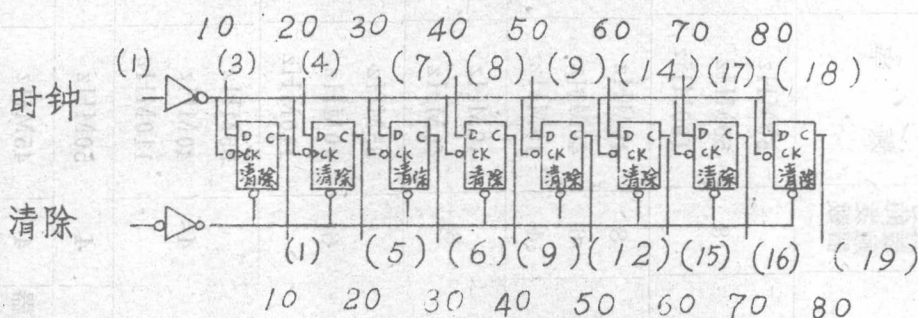


图1—11 SN54/74 273带清除端的八D触发器

表1—4和表1—5列出了部分可以选用并行I/O接口电路的四、六、八位触发器和锁存器。除了两个表中的第一项是带有三态缓冲器的,一般都没有输出缓冲器。