

電子學 3

彭信成 戴建耘／編譯

施純協／校閱



羅拔書局印行

電 子 學

3

彭信成 戴建耘／編譯

施 純 協／校閱

羅 拔 書 局 印 行

電 子 學 3

編譯者：彭信成 · 戴建耘

出版兼：羅拔書局
發行

澳門大馬路 381 號二樓 F 座

印刷者：振興印刷公司

澳門龍崙街 152 號地下

H. K. \$ 22.00

目 錄

第十七章 積體電路(IC)	1
17-1 IC的製造.....	3
17-2 差動放大器.....	8
17-3 差動放大的AC分析.....	13
17-4 串級式差動放大器.....	24
17-5 運算放大器.....	27
17-6 OPA的演進.....	31
17-7 其它線性IC	33
第十八章 負回授	43
18-1 回授的四種基本型態.....	45
18-2 SP式放大器的理想分析法.....	49
18-3 PP式回授電路.....	64
18-4 S'S回授(串聯—串聯回授)電路.....	71
18-5 PS回授(並聯—串聯回授)電路.....	75
18-6 回授放大器的頻帶寬度.....	79
18-7 增益頻寬乘積.....	84
18-8 其它基本電路的折點頻率.....	87
18-9 負回授的其它優點.....	90
18-10 類比計算機電路.....	90
第十九章 回授振盪器.....	101

19-1	正回授的基本觀念	103
19-2	導前一滯後網路	105
19-3	韋恩電橋振盪器	108
19-4	如何預防寄生振盪	114
19-5	L C 振盪器	119
19-6	L C 振盪器的分析	123
19-7	考畢子振盪器	129
19-8	鈴錘式振盪器	132
19-9	石英晶體	133

第二十章 頻域觀念 147

20-1	傅立葉級數	149
20-2	信號的頻譜	154
20-3	濾波器	163
20-4	諧波失真	171
20-5	三點失真分析法	177
20-6	其它失真情況	179
20-7	用負回授消除失真	182

第二十一章 交互調變與混波 193

21-1	非綫性	195
21-2	綫性動作	196
21-3	單正弦波的中信號動作	201
21-4	兩正弦波的中信號動作	203
21-5	兩正弦波的大信號動作	209
21-6	交互調變失真	214
21-7	頻率混合器	216
21-8	混附信號	223

21-9 雜訊.....	227
--------------	-----

第二十二章 調變.....235

22-1 調幅.....	237
22-2 為何需要做調變.....	241
22-3 調變百分比.....	243
22-4 AM頻譜.....	245
22-5 AM信號的濾波.....	248
22-6 AM抑制方式之探討.....	253
22-7 AM調制器的電路.....	256
22-8 波封檢波器.....	260
22-9 射頻調諧式接收機.....	263
22-10 超外差式接收機.....	266
22-11 自動增益控制 (AGC).....	270
22-12 調頻 (FM).....	276

第二十三章 電壓調節電路.....287

23-1 未調節前的電源供應器.....	289
23-2 稽納 (穩壓) 二極體.....	291
23-3 稽納二極體式調節器.....	293
23-4 稽納隨耦器.....	297
23-5 SP式調節器.....	299
23-6 IC式調節器.....	303

第二十四章 數位電路.....307

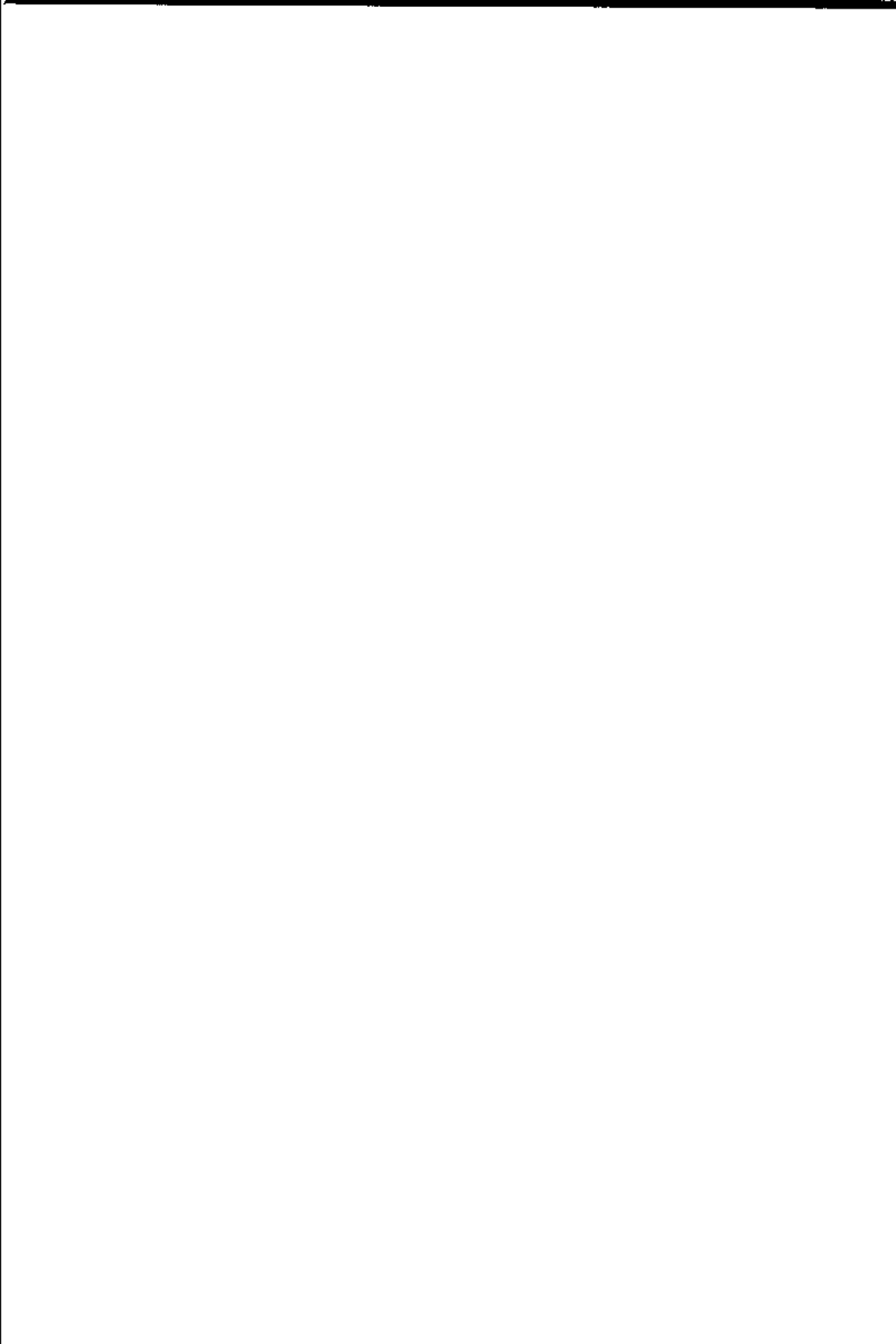
24-1 矩形脈波.....	309
24-2 分佈電容的效應.....	312
24-3 波形整型電路.....	315

24-4	邏輯電路	319
24-5	數位積體電路	322
24-6	I C多諧複振器(振盪器)	333

17

積體電路(IC)

- 17-1 IC的製造
- 17-2 差動放大器
- 17-3 差動放大的AC分析
- 17-4 串級式差動放大器
- 17-5 運算放大器
- 17-6 OPA的演進
- 17-7 其它線性IC



第三章曾提過，利用一片晶片可製造成積體電路 IC (Integrated Circuit)。由於 IC 的問世更加速近代科技文明的精進，到底 IC 的奧妙有那些呢？請繼續研讀……

17-1 IC的製造

雖然本書主要着重於 IC 的使用，但各位亦當對 IC 的製造程序有初步的概念。

P基底

首先，廠商先製造長約幾英吋，直徑 1 至 2 吋的 P 晶體 (參閱圖 17-1a)，再將它切成像圖 17-1b 許多薄晶片 (Wafer)。此晶片有一面經清潔處理將表面不潔物去除，這一面即為 P 基底 (P Substrate)，我們利用它作為積體元件的底層。

晶膜層

其次，將晶片置放於窯爐內，此時由矽原子與五價原子 (Pentavalent atom) 組成的混合氣通過晶片表面，於是在基底受熱的那一面上形成一層很薄的 n 型半導體 (參閱圖 17-1c)，我們稱此薄層為晶膜層 (epitaxial layer)，它的厚度約為 0.1 至 1 密爾 (mil)。

絕緣體

為防止晶膜層受到污染，通常都在晶膜層的表面吹上純氧，使氧原子與矽原子組合形成圖 17-1d 所示的二氧化矽層 (SiO_2)。此像玻璃狀的 SiO_2 ，

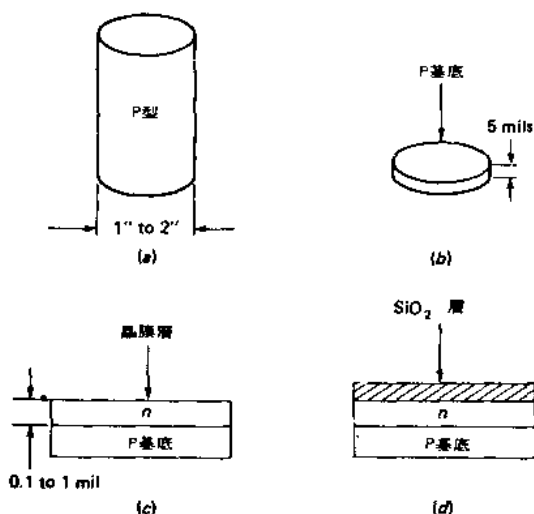


圖17-1 (a) P晶體 (b) 薄晶體
(c) 晶膜層 (d) 絕緣層

層掩蓋了晶膜的表面防止它起化學作用。

晶切片

用顯微鏡可看出晶片劃分為許多小區域，如圖 17-2 所示，這些區域在晶片被切削之後便成為獨立的切片（chip）。但在這些晶片被切削成切片之前，製造商已在此晶片上作成千百個電路，即圖 17-2 各區域內。此種大量生產的方式即為 IC 元件低成本的原因。

電晶體的製成

IC 內是如何形成電晶體的呢？此乃先將 SiO_2 層部分刻蝕使晶膜層暴露（如圖 17-3a 所示），然後放入烤爐內使三價原子滲透入晶膜層內，集中的三價原子足以使暴露於外的晶膜層由 n 型半導體變為 P 型。結果，就在

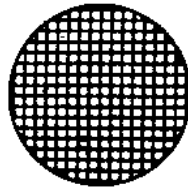


圖17-2 薄晶片分成切片

SiO_2 層下方得出 n 型的“島”(island)。請參閱圖 17-3b。

接着再把氧氣吹至晶片表面以形成完整的 SiO_2 層，如圖 17-3c，並在 SiO_2 層的中央蝕刻一個洞又稱為“窗”(window)。以上所做便是電晶體的集極。

製成基極的方式可將三價原子穿過上述的“窗口”，滲透入晶膜層而形成 P 型物質的“島”(參閱圖 17-3e)，然後於晶片上再以氧氣形成 SiO_2 層。

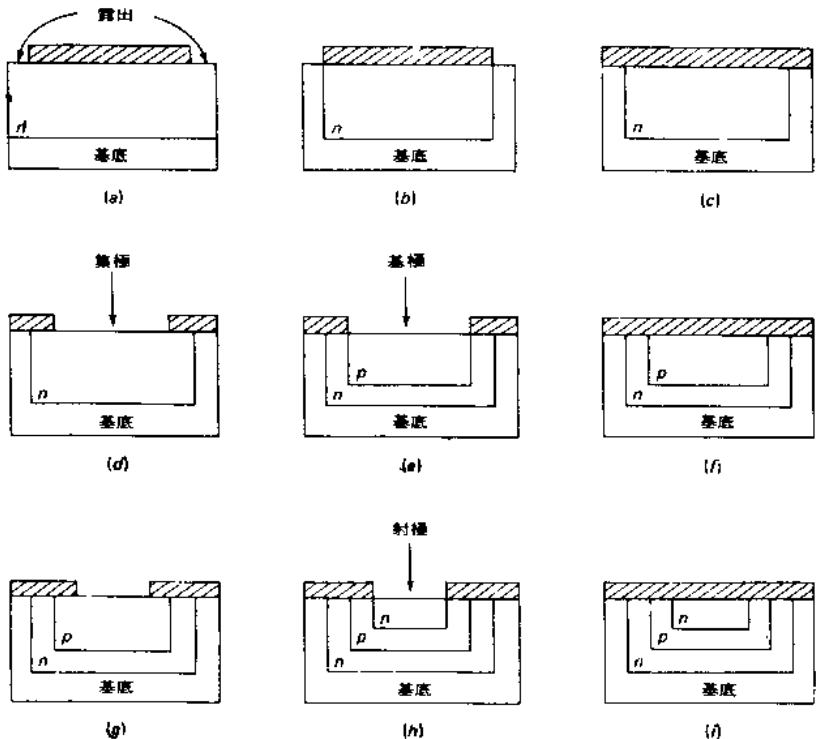


圖17-3

至於射極的形成，在 SiO_2 層蝕刻，並露出 P 島（參閱 17-3g），再將五價原子擴散於 P 島內，形成圖 17-3h 的小 n 型島。最後再把氧氣吹至晶片上（圖 17-3i）。

IC 內部各零件的形成

在 SiO_2 層內蝕刻窗口時可再貯放金屬物，以便和射極、基極與集極相接作為接點，這樣就製成圖 17-4a 的積體電晶體。

若欲製成二極體，可參照電晶體至形成 P 島為止的步驟（即圖 17-3a 至 17-3f 的步驟），然後蝕刻窗口使 P 與 n 島露出，在這兩窗口內置放金屬作為二極體的陽極與陰極的接點（參閱圖 17-4b）。

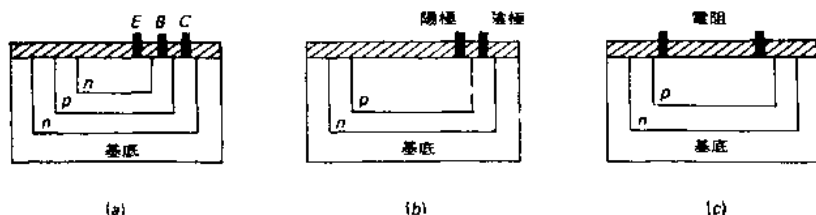


圖 17-4 積體元件
(a) 電晶體
(b) 二極體
(c) 電阻

若在圖 17-3f 的 P 島上蝕刻兩個窗口，再分別與 P 島接觸，便可形成電阻，如圖 17-4c 所示。

電晶體、二極體與電阻對晶片而言很容易製得，故幾乎所有的 IC 內都含有這些元件，但電感與大電容則在技術上目前尚未克服。

實例簡介

為使各位進一步了解 IC 內電路如何形成，特舉用圖 17-5a 含三個元

件的電路來說明。此線路可同時在一片晶片上製成千百個相同的電路，二極體與電阻的製造要點可參照上面所述，接着再製出電晶體的射極，然後蝕刻窗口並置入金屬以便與二極體、電晶體與電阻連接，如圖 17-5 b 所示。

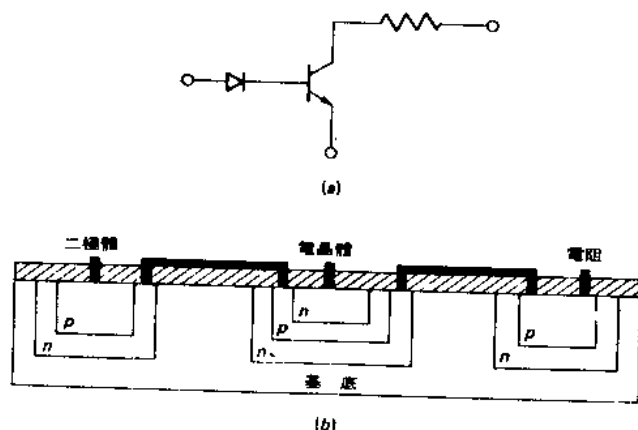


圖 17-5 簡化的積體電路。
(a) 線路圖
(b) 積體內部的成形

不管多複雜的線路，主要都是重複做蝕刻窗口，形成 P 與 n 島並連接各元件等三個處理而已。

P 基底對各元件而言是相互絕緣的，以圖 17-5 b 為例，在與 P 基底接觸的三個 n 島之間會存在空乏層，由於空乏層幾乎沒有電流載子，故各積體元件是相互隔離的。此種絕緣的方式又稱為空乏層或二極體絕緣。

單晶式 IC

以上所討論的 IC 都叫做單晶式 IC (Monolithic IC)，“單晶”是由希臘式演變而來，它的原意是指“一塊石頭”。由於積體元件乃是一晶片的部份，故“單晶”此字可助我們了解它的意義。

單石 IC 並非常見，另有兩者較為常用，比單晶 IC 大但小於獨立電路

(discrete circuit)的，即薄膜與厚膜 IC。薄膜或厚膜 IC 的被動元件如電阻、電容等可在一片基底上同時完成，然後再將活性（或稱主動）元件如電晶體和二極體連接起來形成複雜的電路。因此，市面上的厚膜與薄膜電路都是組合了積體與獨立元件。

混拼式 IC (hybrid IC) 則是將兩個或更多個單晶 IC 組成一個包裝，或是將單晶 IC 與薄膜或厚膜 IC 組合亦可。

SSI, MSI與LSI

圖 17-5b 即為“小型積體 IC (SSI)”的一例子，整個電路僅有幾個元件。SSI 是英文字 Small Scale Integration 的簡稱，它是指僅含 12 個積體元件的 IC。

中型積體 IC (MSI) 則是指每一切片內含 12 至 100 個積體元件的 IC；大型積體 IC (LSI) 則多於一千個元件。前曾提過，製造積體 MOSFET 較為容易僅需幾個步驟即可，在同一切片內 MOSFET 可以製造比雙極性電晶體多，所以目前 LSI 元件大都為 MOS/LSI。

17-2 差動放大器

單晶式 IC (monolithic IC) 內實際上僅含電晶體、二極體與電阻三種元件，電容偶而會有，但通常它的容值都在 50PF 以內。因此，IC 設計工程師盡量不使用電容作耦合或旁路，而是採用直接耦合方式處理內部線路。

差動放大器 (Differential Amplifier)，簡寫為 Diff-Amp，它是線性 IC 內最常採用的基本電路，因為差動放大器不用耦合或旁路電容，僅需電阻和電晶體，這些都很容易在切片內積體化。

射極偏壓

圖 17-6a 所示即為差動放大器 (有人也稱為差值放大器) 的基本組態, 有兩組輸入信號一個輸出信號。理想上, 此電路為對稱的, 左半邊與右半邊相同。由於積體元件皆在同一片內具有相同之特性, 故單晶 IC 更可達到理想近似相同的的要求。

研究差動放大器需先知道它的 dc 射極電流值為多少? 由重疊定理, 先把 ac 信號源短路 (如圖 17-6b 所示), 並將 R_E 劃分為兩個 $2R_E$ 的電阻 ($\because R_E = 2R_E \parallel 2R_E$), 由於兩電阻之並聯值仍為 R_E 故並未改變各電晶體的 dc 射極電流。若此兩半邊皆相同, 則圖 b 中兩射極間的水平線應無電流通 ($I = 0$), 故將此線開路不會影響 dc 射極電流值 (參考圖 17-6c)。

由圖 c 各位可看出差動放大器的 dc 等效放大器與理想上可視為兩組分立的射極偏壓電晶體所組成。由式 (7-6)

$$I_E = \frac{V_{EE} - 0.7}{2R_E + R_B / \beta_{dc}} \quad (\text{第二近似解}) \quad (\text{式 17-1})$$

此為各電晶體的 dc 射極電流值。通常, $0.7V$ 與 R_B / β_{dc} 皆可不計, 故可使用理想公式

$$I_E = \frac{V_{EE}}{2R_E} \quad (\text{理想}) \quad (\text{式 17-2})$$

從另一觀點探討射極電流

圖 17-6a 的 dc 動作可用另一方式來說明。由於此兩晶體皆為射極一偏壓, 故由射極至地的 dc 電壓約為 0 (精確值約為 $-0.7V$), 結果, 幾乎所有的 V_{EE} 電壓皆在 R_E 電阻上。由於兩 dc 射極電流皆流過 R_E , 因此

$$2I_E \cong \frac{V_{EE}}{R_E}$$

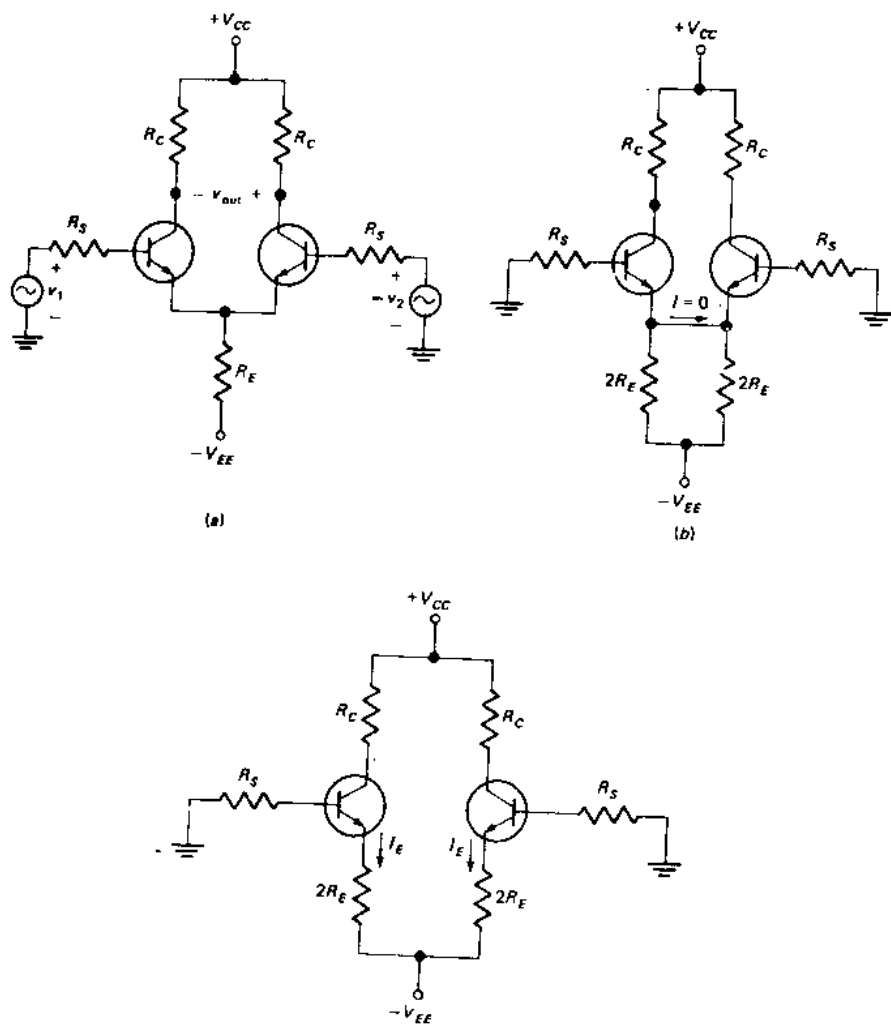


圖17-6 差動放大器
(a) 整個電路
(b) dc 等效電路
(c) 另一dc 等效電路