

intel. 微处理器系列手册之一

486 系列数据手册· 应用说明·开发工具 下册

Intel 公司 著 周红群 程钧之 张纪罗 夏仁霖 等译 胡传国 审校



上海科学普及出版社

Intel 微处理器系列手册之一

486 系列

数据手册 · 应用说明 · 开发工具

下 册

Intel 公司 著
周红群 程钧之 等译
张纪罗 夏仁霖
胡传国 审校

此书由英特尔公司捐赠
英特尔技术发展有限公司
中国北京市海淀区花园路4号
北京衡通大厦401室
邮编 100088
电话 010-238-5130
传真 010-238-5110



上海科学普及出版社
英特尔计算机技术有限公司

485 高级高速缓存模块

Intel486™ 微处理器的高速缓存升级产品

82485MA (64K 模块)

82485MB (128K 模块)

- 高性能
 - 零等待状态访问
 - 一个时钟周期猝发传输
 - 两路组相联
 - 高速缓存BIOS ROM
 - 25 / 33MHz操作
- 价格 / 性能的范围
 - 使用单一插口的0, 64K, 128K高速缓存
- 高集成度
 - 7平方英寸面积
 - 包含标记, 数据, 奇偶位和控制器
- 使用方便
 - 对软件透明
 - 可由最终用户 / 销售商安装
 - 存储器通写更新
 - 与Intel486™ CPU相同的时序
 - 与Intel486™ CPU相同的无效性机制

485 高级高速缓存模块是 25MHz 或 33MHz Intel486™ 微处理器系统性能升级的产品。它在单片模块内提供高达 128K 字节的外部高速缓存, 它是最终用户能安装的模块。为了支持该高速缓存模块升级产品, 要在 Intel486 CPU 系统内提供 113 引脚的插座。同一个插座允许三种价格 / 性能的配置: 无高速缓存, 64K 字节高速缓存, 或 128K 字节高速缓存。在安装了高速缓存后, 不需要跨接器, 配置软件, 或 BIOS / 应用软件操作系统的支持, 就能得到 5~30% (平均 15%) 的性能提高。高速缓存数据的完整性由每个字节的奇偶检验位监视。

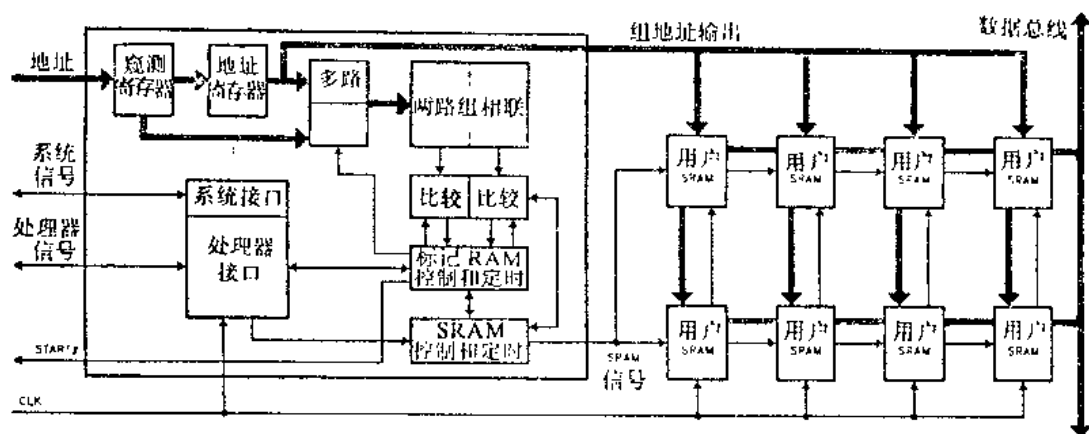


图 485 高级高速缓存模块内部框图

目 录

第一章 引脚描述	2-474
1.1 引出脚	2-474
1.2 引脚描述概要	2-476
第二章 功能描述	2-480
2.1 引言	2-480
2.2 基本结构	2-480
2.3 高速缓存操作	2-481
2.4 不兼容性	2-485
第三章 系统接口	2-487
3.1 Intel486™ 微处理器信号	2-487
3.2 CPU 总线接口信号	2-489
3.3 存储器接口信号	2-490
第四章 系统结构	2-493
4.1 单一的高速缓存	2-493
4.2 可选择的高速缓存	2-495
第五章 操作/性能要素	2-496
5.1 测试和数据完整性	2-496
5.2 分区和不分区的高速缓存	2-496
5.3 性能要素	2-497
第六章 机械规范	2-500
第七章 最大极限值	2-501
第八章 直流特性	2-502
第九章 交流特性	2-503
第十章 波形	2-505
第十一章 封装热规范	2-508
第十二章 新版修改要点	2-509

第一章 引脚描述

1.1 引出脚

	1	2	3	4	5
A	GND	RESET		CS [#]	GND
B	CLK	M/IO [#]		CRDY [#]	CKEN [#]
C	RESV	FLUSH [#]		CBRDY [#]	BRDYO [#]
D	BLAST [#]	EADS [#]		Vcc	SKEN [#]
E	BOFF [#]	Vcc		WP	START [#]
F	ADS [#]	W/R [#]		DO	GND
G	GND	WPSTRP [#]		D2	D1
H	BEO [#]	BE1 [#]		GND	D3
I	BE2 [#]	BE3 [#]		D5	D4
J	A2	GND		D7	D6
K	Vcc	A3		D8	GND
L	A4	A5		D10	D9
M	A6	A7		Vcc	D11
N	A9	A8		D13	D12
O	A10	Vcc		D15	D14
P	GND	A11		DP0	GND
Q	A31	A12		D16	DP1
R	A14	A13		GND	D17
S	A15	GND		D19	D18
T	A17	A16		D21	D20
U	A19	A18		D22	Vcc
V	Vcc	A20		D24	D23
W	A22	A21		GND	D25
X	A23	Vcc		D27	D26
Y	A25	A24		D29	D28
Z	A27	A26		D30	D31
AA	A29	A28		DP2	DP3
BB	GND	A30	PRSN [#]	Vcc	GND

从顶这一面观察

	1	2	3	4	5
88	GND	A30	PRSN [#]	Vcc	GND
AA	A29	A28	○	DP2	DP3
Z	A27	A26	○	D30	D31
Y	A25	A24	○	D29	D28
X	A23	Vcc	○	D27	D26
W	A22	A21	○	GND	D25
V	Vcc	A20	○	D24	D23
U	A19	A18	○	D22	Vcc
T	A17	A16	○	D21	D20
S	A15	GND	○	D19	D18
R	A14	A13	○	GND	D17
Q	A31	A12	○	D16	DP1
P	GND	A11	○	DP0	GND
O	A10	Vcc	○	D15	D14
N	A9	A8	○	D13	D12
M	A6	A7	○	Vcc	D11
L	A4	A5	○	D10	D9
K	Vcc	A3	○	D8	GND
J	A2	GND	○	D7	D6
I	BE2 [#]	BE3 [#]	○	D5	D4
H	BE0 [#]	BE1 [#]	○	GND	D3
G	GND	WPSTRP [#]	○	D2	D1
F	ADS [#]	W/R [#]	○	DO	GND
E	BOFF [#]	Vcc	○	WP	START [#]
D	BLAST [#]	EADS [#]	○	Vcc	SKEN [#]
C	RESV	FLUSH [#]	○	CBRDY [#]	BRDYO [#]
B	CLK	M/IO [#]	○	CRDY [#]	CKEN [#]
A	GND	RESET	○	CS [#]	GND
	○	○		○	○

从引脚这一面观察

引脚交叉引用表

引脚名	位置	引脚名	位置	引脚名	位置	引脚名	位置	引脚名	位置
ADS [#]	F1	A20	V2	CBRDY [#]	C4	D10	L4	D29	YA
A2	J1	A21	W2	CKEN [#]	B5	D11	M5	D30	Z4
A3	K2	A22	W1	CLK	B1	D12	N5	D31	Z5
A4	L1	A23	X1	CRDY [#]	B4	D13	N4	EADS [#]	D2
A5	L2	A24	Y2	CS [#]	A4	D14	O5	FLUSH [#]	C2
A6	M1	A25	Y1	DP0	P4	D15	O4	M / IO [#]	B2
A7	M2	A26	Z2	DP1	Q5	D16	Q4	PRSN [#]	BB3
A8	N2	A27	Z1	DP2	AA4	D17	R5	RESET	A2
A9	N1	A28	AA2	DP3	AA5	D18	S5	RESV	C1
A10	O1	A29	AA1	D0	F4	D19	S4	SKEN [#]	D5
A11	P2	A30	BB2	D1	G5	D20	T5	START [#]	E5
A12	Q2	A31	Q1	D2	G4	D21	T4	WP	E4
A13	R2	BE0 [#]	H1	D3	H5	D22	U4	WPSTRP [#]	G2
A14	R1	BE1 [#]	H2	D4	I5	D23	V5	W / R [#]	F2
A15	S1	BE2 [#]	I1	D5	I4	D24	V4	GND	A1,G1,P1,BB1,
A16	T2	BE3 [#]	I2	D6	J5	D25	W5		J2,S2,H4,R4,BB5,
A17	T1	BLAST [#]	D1	D7	J4	D26	X5		W4,A5,F5,K5,P5,
A18	U2	BOFF [#]	E1	D8	K4	D27	X4	Vcc	K1,V1,E2,O2,X2,
A19	U1	BRDYO [#]	C5	D9	L5	D28	Y5		D4,M4,BB4,U5

1.2 引脚描述概要

引脚名	类型	有效状态	描 述
控制信号			
CLK	输入	—	时钟 (CLOCK) 信号, 是 485 高级高速缓存模块监视和生成一切事件的时序基准, CLK 必须被连接到 Intel486 CPU 的 CLK 引脚。
RESET	输入	高	高速缓存复位 (RESET CACHE) 信号, 强使 485 高级高速缓存模块在已知状态中开始运行。必须被连接到 Intel486 CPU 的 RESET 引脚, 它还使得所有的高速缓存行变为无效。为了在任何特定的时钟周期得到识别, 建立和保持时间 t23 和 t24 必须得到满足。
ADS [#]	输入	低	地址选通 (ADDRESS STROBE) 信号是由 Intel486 微处理器产生的。它被用来确定新的周期已经开始。为了正确的操作, 建立和保持时间 t7 和 t7a 必须得到满足。
M / IO [#]	输入	—	存储器 / IO (MEMORY / IO) 信号是 Intel486 微处理器产生的周期定义信号, 它指示存储器 (M / IO [#] 高电平) 或 I / O (M / IO [#] 低电平) 访问。为了正确的操作, 建立和保持时间 t7 和 t7a 必须得到满足。

引脚名	类型	有效状态	描述
W/R [#]	输入	—	写/读 (WRITE/READ) 信号是 Intel486 微处理器产生的周期定义信号, 被用来指示写 (W/R [#] 高电平) 或读 (W/R [#] 低电平) 访问。为了正确的操作, 建立和保持时间 t7 和 t7a 必须得到满足。
START [#]	输出	低	存储器启动 (MEMORY START) 信号, 表示高速缓存读命中或写周期已经发生, 并且当前的访问必须由存储器系统完成。对于 I/O 周期, START [#] 不被激活, 并且如果 CS [#] 无效, START [#] 也不激活。
BRDY [#]	输出	低	猝发就绪输出 (BURST READY OUT) 是由 485 高级高速缓存模块驱动发给 Intel486 CPU 的猝发传输就绪信号。当对 485 高级高速缓存模块的读命中发生时, 它被激活, 并且应该是 Intel486 的 BRDY [#] 输入信号的组成部分。
CBRDY [#]	输入	低	高速缓存猝发就绪输入 (CACHE BURST READY IN) 是来自存储器系统的猝发就绪输入信号。它被平行地同时应用于 485 高级高速缓存模块和 Intel486 CPU 的 BRDY [#] 引脚。在 T1 和空闲周期, CBRDY [#] 被忽略, BLAST [#] 确定传输的长度。所有能高速缓存的读周期都是 4 个双字的传输。为了正确的操作, 建立和保持时间 t9 和 t10 必须得到满足。
CRDY [#]	输入	低	高速缓存就绪输入 (CACHE READY IN) 信号是来自系统的非猝发就绪输入信号。像 CBRDY [#] 一样, 它被平行地同时应用于高速缓存和 Intel486 CPU 的 RDY [#] 引脚。在 T1 和空闲周期, CRDY [#] 被忽略。为了正确的操作, 建立和保持时间 t9 和 t10 必须得到满足。
BLAST [#]	输入	低	猝发结束 (BURST LAST) 信号由 Intel486 CPU 输出, 被 485 高级高速缓存模块采样, 用以确定什么时候结束周期。为了正确的操作, 建立和保持时间 t8 和 t8a 必须得到满足。
BOFF [#]	输入	低	总线释放 (BACKOFF) 信号是 Intel486 CPU 的输入信号, 由 485 高级高速缓存模块采样, 表示周期被立即中止。如果 BOFF [#] 被采样有效, 485 高级高速缓存模块将浮动它的数据总线。除了无效性周期, 485 高级高速缓存模块将忽略所有的周期, 直到 BOFF [#] 变为无效。为了正确的操作, 建立和保持时间 t17 和 t18 必须得到满足。
PRSN [#]	输出	低	存在 (PRESENCE) 信号, 是始终被 485 高级高速缓存模块维持在低电平有效状态的信号, 它可以被用作 485 高级高速缓存模块的存在指示器并且应该外接 10K 的上拉电阻。

续表

引脚名	类型	有效状态	描述
地址信号			
A2—A31	输入	—	处理器地址线 A2—A31(PROCESSOR ADDRESS LINES A2—A31)是 Intel486 CPU 的地址线, 由 485 高级高速缓存模块使用。地址线 A2 和 A3 被用作猝发地址位。在 64K 的 485 高级高速缓存模块中, A4—A14 包含了对 485 高级高速缓存模块的组地址输入, 而 A15—A31 被用作标记地址。在 128K 的 485 高级高速缓存模块中, A4 变为行选择输入信号, A5—A15 为组地址输入并且 A16—A31 被用作标记地址。为了正确的操作, 建立时间 t_6 必须被满足。
BE0 [#] — BE3 [#]	输入	低	字节使能 (BYTE ENABLE) 输入信号被连接到 Intel486 CPU 字节使能输出端。它们被指定用于完成命中周期对 485 高级高速缓存模块的局部写操作。在未命中周期, 如果所有的字节使能信号未全部有效, 则传输被忽略, 因为 485 高级高速缓存模块只高速缓存 32 位的传输。为了正确的操作, 建立时间 t_6 必须得到满足。
CS [#]	输入	低	芯片选择 (CHIP SELECT) 信号使能 485 高级高速缓存模块的输出, 并可以被接地。为了正确的操作, 建立和保持时间必须得到满足。
数据信号			
D0—D31	输入 / 输出	—	处理器数据线 D0—D31 (PROCESSOR DATA LINES D0—D31) 被连接到 Intel486 CPU 的数据总线。D0—D7 定义为最低有效字节, 而 D24—D31 定义为最高有效字节。为了正确的操作, 建立和保持时间 t_{13} 和 t_{14} 必须得到满足。
DP0—DP3	输入 / 输出	—	数据奇偶位 (DATA PARITY) 是与数据总线上的数据相伴的奇偶校验位。它们与 Intel486 CPU 的同各引脚相连接。奇偶校验位由 485 高级高速缓存模块处理为被存储的附加数据位。为了正确的操作, 建立和保持时间 t_{13} 和 t_{14} 必须得到满足。
高速缓存可行性信号			
CKEN [#]	输出	低	对 CPU 的高速缓存使能 (CACHE ENABLE TO CPU) 信号是由 485 高级高速缓存模块产生的给处理器的 KEN [#] 项。CKEN 在 T1 有效并且在第一个 T2 无效。在读未命中周期, 它将在周期的剩余时间里保持无效。如果周期是读命中周期, 则 CKEN [#] 将在第二个 T2 变为有效并且保持有效至周期结束。在空闲总线上, CKEN [#] 有效。

续表

引脚名	类型	有效状态	描 述
SKEN [#]	输入	低	系统高速缓存使能 (SYSTEM CACHE ENABLE) 信号是来自主存储器系统的输入信号, 指示当前周期是不是能被高速缓存在 485 高级高速缓存模块中。为了填入高速缓存行, SKEN [#] 在第一个 BRDY [#] 或 RDY [#] 之前和在最后一个 BRDY [#] 或 RDY [#] 返回处理器之前的时钟周期内必须都是有效的。为了正确的操作, 建立和保持时间 t11 和 t12 必须得到满足。
FLUSH [#]	输入	低	清洗高速缓存 (FLUSH CACHE) 信号使得 485 高级高速缓存模块内的整个高速缓存的内容变为无效, 而不管 CS [#] 的状态。在进行中的任意的行填入将继续, 但将立刻成为无效。Intel486 CPU 的清洗指令不影响 485 高级高速缓存模块。为了在任何特定的时钟得到识别, 建立和保持时间 t23 和 t24 必须被满足。
WP	输入	高	写保护 (WRITE PROTECT) 信号定义一行为写保护的。WP 被内部保留为状态位, 任何对写保护行的写将没有作用。为了正确的操作, 建立和保持时间 t23 和 t24 必须得到满足。
WPSTRP [#]	输入	低	写保护短接选择 (WRITE PROTECT STRAPPING OPTION) 信号改变 CKEN [#] 的动作。CKEN [#] 在 T1 被激活, 表示一可高速缓存的行传输, 但在下一时钟即被撤消。在读命中周期期间, 在传输的后续时间内 CKEN [#] 被再次维持有效, 以表示是可高速缓存的行填入。如果 WPSTRP [#] 被短接到低电平, 并且写保护行正被传输, 则 CKEN [#] 不会为了传输而再次激活, 这防止了在读命中周期中, Intel486 CPU 高速缓存写保护行。在 RESET 下降沿的前后两个时钟周期内, WPSTRP [#] 必须有效且保持不变。
无效性信号			
EADS [#]	输入	低	有效外部地址选通 (VALID EXTERNAL ADDRESS STROBE) 信号表示一个无效性地址正出现在 Intel486 CPU 地址总线上。如果该地址存在, 则 485 高级高速缓存模块将使这个地址单元为无效, 但仅在 CS [#] 有效时这样做。485 高级高速缓存模块能够每隔一个时钟周期接收 EADS [#] 。485 高级高速缓存模块的 EADS [#] 应该连接到 Intel486 CPU 的 EADS [#] 引脚。为了正确的操作, 建立和保持时间 t19 和 t20 必须得到满足。

第二章 功能描述

2.1 引言

485 高级高速缓存模块是一完整的两路组相联的 64K 或 128K 的高速缓存，封装在 113 个引脚的模块中，它包含 4 或 8 个用户数据 SRAM 和 Intel82485 高速缓存控制器。该模块被设计成这样：使系统能够方便地检测高速缓存的存在与否并且相应地重新配置自己。485 高级高速缓存模块是插入式的备选器件，它是 Intel486 微处理器高速缓存的理想解决方式。

该高速缓存模块直接接口到 Intel486 微处理器。使用高速缓存模块的设计是方便的，因为它直接支持 25MHz 和 33MHz 的时序。它能以零等待状态读和写数据，并且执行 1 个时钟周期的猝发传输。因为 485 高级高速缓存模块是专为 Intel486 微处理器设计的，因而它能识别 Intel486 CPU 的无效性、BOFF[#]的使用，和被提早终止的周期。该高速缓存模块是通写的，因此它支持与 Intel486 CPU 相同的一致性机制，存储数据奇偶校验位，能够用 Intel486 CPU 不能用的模式高速缓存 BIOS，对软件透明，它并且是可以由最终用户安装的升级产品。

下面是 485 高级高速缓存模块的序号代码：

容 量	25MHz	33MHz
64K	82485MA-25	82485MA-33
128K	82485MB-25	82485MB-33

下面的功能描述说明了该高速缓存模块的基本结构，它的操作，特性和与 Intel486 CPU 规范的差别。

2.2 基本结构

485 高级高速缓存模块作为完整的 64K 或 128K 高速缓存包含 82485 高速缓存控制器和 4 个 (82485MA) 或 8 个 (82485MB) SRAM。在任一种结构中，485 高级高速缓存模块都是 16 个字节行容量，两路组相联的。

图 2-1 简述了作为 485 高级高速缓存模块之核心的 82485 高速缓存控制器，每一路包含 2K 个标记，每个标记 17 位，所以它可以存储整个 4G 实地址空闲。标记还引用两位有效位和一位写保护位。当 82485 被配置为 64K 高速缓存时，即在 64K 的 485 高级高速缓存模块中，每个标记引用唯一的，16 字节的行。当 82485 被配置为 128K 高速缓存时，即在 128K 的高级高速缓存模块中，每个标记被强制引用两个连续的 16 字节的行：这称为分区。128K 的 485 高级高速缓存模块每个标记包含两个区。LS 输入信号（地址位 A4）确定每个标记的哪一区是正被选择的。

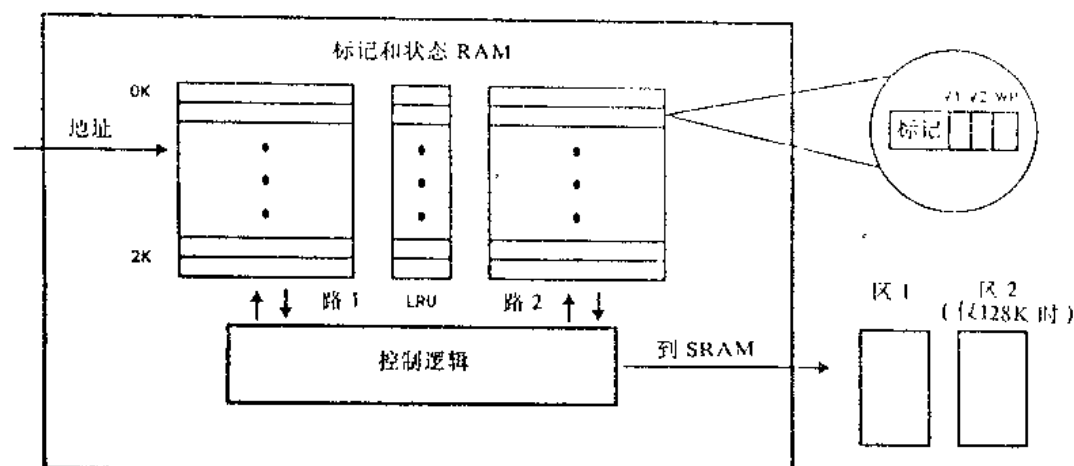


图 2-1 82485 高速缓存控制器

82485 的控制部件对三个主要功能负责：控制数据 SRAM，控制标记存储器的配置和同 Intel486 CPU 的接口。因为这三部分是相互独立的，故 82485 有能力在数据正被猝发传输到 SRAM 内的同时更新标记存储器，或在行填入期间对不同的地址进行无效性操作。485 高级高速缓存模块内专用的地址寄存器允许 Intel486 微处理器在第一个 T2（在回答 AHOLD 时）撤消它的地址信号并且允许系统在 Intel486 CPU 保持时间发出无效性地址。

82485 使用“最近最少使用”算法确定哪个标记应该在高速缓存未命中周期时被变为无效。每个标记的唯一的 LRU 位被用来指向将被置换的标记，它应是正需要置换的。

485 高级高速缓存模块的数据存储器部分由以高达 33MHz 频率运行的 SRAM 组构成。它们有能力以零等待状态读和写，单一时钟的猝发传输，并且在 Intel486 CPU 的时钟和数据线上有最小的电容负载。

2.3 高速缓存操作

为了以高速度操作，485 高级高速缓存模块必须尽可能早地开始它的标记查表，以决定高速缓存命中或未命中。在通常的操作中，Intel486 CPU 一产生地址信号，这就被完成了。在命中或未命中被确定前，SRAM 读、SRAM 写和系统信号都不能发生。下面各节将讨论读未命中，读命中，写，无效性和 BOFF[#]周期。

2.3.1 读未命中

图 2-2 显示了 485 高级高速缓存模块在通常的读未命中周期中的活动。在 T1，485 高级高速缓存模块开始它的标记查表检测读周期是否是命中的。一旦确定地址不存在于高速缓存中（未命中），就发出 START[#]信号给存储器系统，指示它必须运行当前周期。然

后高速缓存空闲，直到看到 $SKEN^{\#}$ 为有效。 $SKEN^{\#}$ 可能保持无效并且来自存储器的猝发行传输已开始，则该行是不能高速缓存的并且被忽略。

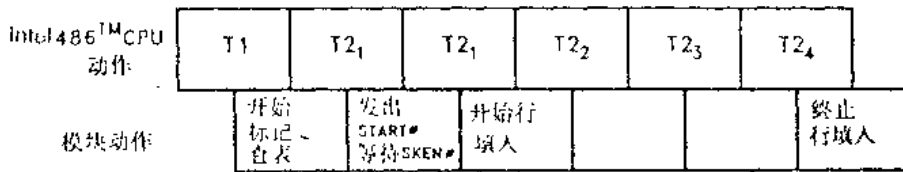


图 2-2 通常的读未命中周期

一旦 $SKEN^{\#}$ 被激活，则 485 高级高速缓存模块使高速缓存中某一行无效（或挑选一空白行）为被猝发传输的数据作准备。该数据被同时猝发传输到高速缓存和返回到 Intel 486 微处理器。如果 $SKEN^{\#}$ 领先于最后一个猝发传输项，那末该行将是可高速缓存的，并且 485 高级高速缓存模块更新它的有效位以表示已这样做了。如果 $SKEN^{\#}$ 无效，或因为任何原因（ $BLAST^{\#}$ ， $BOFF^{\#}$ ）而中止，传输则该行被弃为无效。

在读未命中周期期间，485 高级高速缓存模块不能以零等待状态接受来自存储器的数据。最早的数据可能在 $START^{\#}$ 被采样为有效后的时钟内返回。 $START^{\#}$ 是指示存储器系统必须完成当前周期的信号。

485 高级高速缓存模块也有能力处理非猝发的和被中断的猝发行填入。如欲改进在行填入时 485 高级高速缓存模块的性能，请参看第五章“性能要素”。注意，82485 仅仅高速缓存 32 位的传输。485 高级高速缓存不输入 Intel 486 CPU 的 $BS16^{\#}$ 或 $BS8^{\#}$ 输入信号。所有的传输都被假定为是在所有 32 位数据线上的有效数据的 32 位传输。

2.3.2 读命中

在读命中周期内，485 高级高速缓存模块以在与个时钟周期中传输的数据行直接回答 Intel 486 微处理器。485 高级高速缓存模块在 T₁ 和第三个 T₂ 都激活 $CKEN^{\#}$ 信号（它的给 Intel 486 CPU 的 $KEN^{\#}$ 输出）以表示这是可高速缓存的传输。可能该被猝发传输的行是写保护的，并且 $WPSTRP^{\#}$ 被短接到低电平，则在第三个 T₂ 中 $CKEN^{\#}$ 高电平，且该行不被 Intel 486 CPU 高速缓存。在读命中周期，需要执行的对 485 高级高速缓存模块的更新仅仅是更新 LRU 位，使它指向没有被传输那一路。

2.3.3 写周期

因为 485 高级高速缓存模块是通写的高速缓存，所有的写周期都由 Intel 486 CPU 写到主存储器。图 2-3 示出一写命中周期，在 T₁ 的标记查表中发现是命中的，因此在 T₂ 数据由高速缓存更新。写未命中不影响高速缓存的内容，对写保护行的写操作也不影响。写命中能更改 LRU 位。

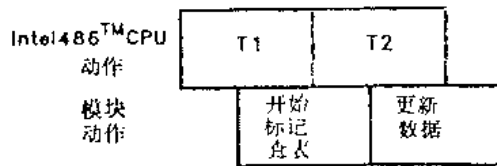


图 2-3 写命中周期

2.3.4 无效性周期

485 高级高速缓存模块允许在任何时刻由有效的 AHOLD 和 EADS[#]引起的无效性周期。自身无效性，那时 AHOLD 无效，除了在行填入的最后一次传输的时钟边沿上，在任何其它时刻也是被允许的。EADS[#]的有效使 CPU 内的高速缓存和 485 高级高速缓存模块在同一时刻进行无效性操作。不管 485 高级高速缓存模块正在做什么，EADS[#]使得出现在 485 高级高速缓存模块的地址输入线上的地址单元成为无效。这包括在读命中，读未命中，写和 BOFF[#]周期。

然而，可能存在性能损失，如果 EADS[#]是在 485 高级高速缓存模块的标记有存贮器正被使用的时刻被激活的。因为 485 高级高速缓存模块的标记存贮器是单一端口的，在每一时钟周期只允许一次标记访问。

图 2-4 显示了一个在行填入的第三次传输时发生了无效性查表的读未命中周期。在通常的情况下，485 高级高速缓存模块将在下一个时钟周期，使当前正在被填入的行有效，因为发生了 EADS[#]，在下一时钟周期上的标记存贮器被检测无效性是否命中的标记查表占据了，如果它是命中的，下一时钟周期被用来执行实际的无效操作。紧跟着的时钟周期被化费在使当前的行填入有效上。可能 Intel486 微处理器立即开始一个新周期，但 485 高级高速缓存模块不可能执行它的标记查表，直到后来的标记存贮器已被释放的时钟周期。这使得 START[#] (BRDYO[#]) 被延迟，并且主要地是存贮器读周期的启动被延迟了。

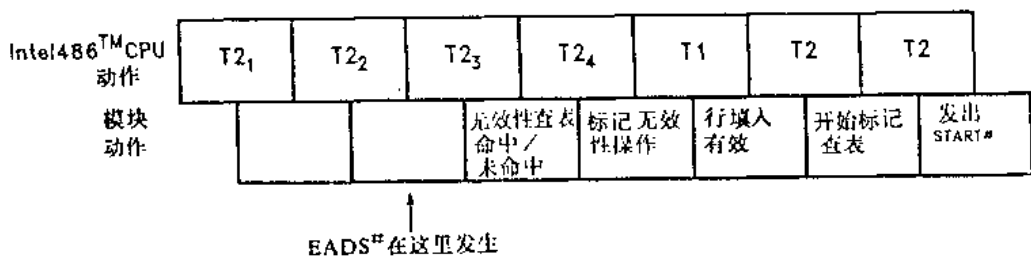


图 2-4 读未命中期间的无效性操作

为了最高的性能，EADS[#]不应该在高速缓存行填入的第二，第三或第四次传输中被激活。

自身无效性，没有 AHOLD 而 EADS[#]有效，在一个周期的最后一个 T2 的时钟边沿（下一个周期的第一个 T1 的时钟边沿）上是不允许的。如果自身无效性在 T1 发生，ADS[#]和 EADS[#]在同一时刻被采样。485 高级高速缓存模块将使该行无效，并且如同在普通的读未命中周期中那样发出 START[#]。如果 EADS[#]在任意其它时刻被激活，则 START[#]不被激活。

2.3.5 BOFF[#]周期

当 BOFF[#]有效时，485 高级高速缓存模块，像 Intel486 微处理器一样，将在下一时钟周期释放总线。在 BOFF[#]有效期内，485 高级高速缓存模块将仍然监视 EADS[#]以执行任何无效性周期。

如果 BOFF[#]在高速缓存读命中周期（数据正以高速缓存传输到 CPU）期间有效，则 485 高级高速缓存模块使正被传输的行无效。一旦 BOFF[#]被撤消并且周期重新开始，则 485 高级高速缓存模块把它看作为高速缓存读未命中并且存储器系统必须供给剩余的数据。如果 BOFF[#]在高速缓存读未命中（存储器的数据正传输到高速缓存和 CPU）期间被激活，则 485 高级高速缓存模块将像被中止的填入那样处理填入，并且该行将停留在无效。一旦 BOFF[#]被撤消并且该周期重新开始，则该行填入的剩余部分被处理为像另一次中止的填入，并且仍然无效。

图 2-5 是一个中止的行填入的例子，因为行传输在传输完成前被中断，它停留在无效状态。一旦传输重新开始，485 高级高速缓存模块认为由 ADS[#]开始了一个新的周期，但它在三次传输后由 BLAST[#]完成。它把这处理为一次中止的行填入周期，并且该周期永不会有效。

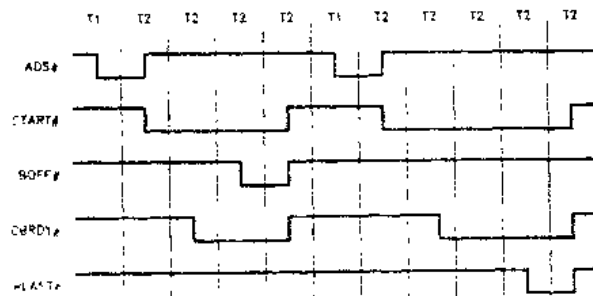


图 2-5 被中止的行填入

在 ADS[#]有效的同一时钟周期内激活 BOFF[#]，将使得 Intel486 在下一时钟周期浮动它的总线，并且听任 ADS[#]浮动在低电平上。既然 ADS[#]正浮动在低电平上，则外围设备可以认为一个新的总线周期已经开始，虽然该周期已经中止。82485 以一般方式处理这

个情况，因为在 $\text{BOFF}^\#$ 有效的时钟周期里激活的 $\text{ADS}^\#$ 是被忽略的。只有下列情况必须由系统来处理：

$\text{BOFF}^\#$ 在 T1 被激活，并且在 $\text{BOFF}^\#$ 撤消之前， HOLD 被激活并且在 $\text{BOFF}^\#$ 被撤消后仍保持有效（见图 2-6）。在这种情况下，对于系统必须保证在 $\text{BOFF}^\#$ 被撤消后的时钟周期里 $\text{ADS}^\#$ 或者被驱动到有效电平上或者被拉到高电平（满足 82485 的 $\text{ADS}^\#$ 建立时间）

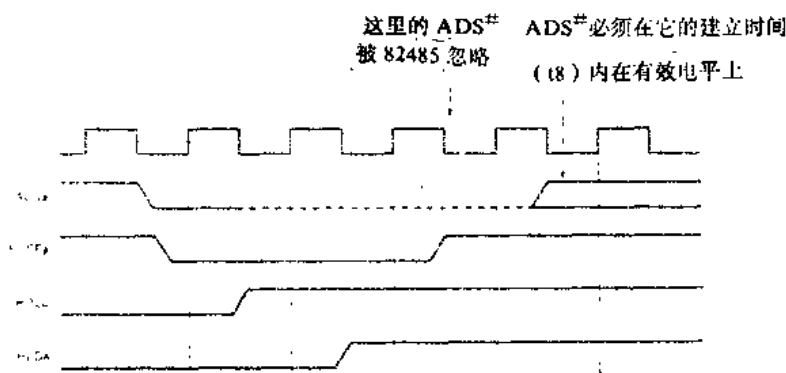


图 2-6 在 T1 激活的 $\text{BOFF}^\#$

有几个方式可回避这个系统的限制：

- 1) 不在 T1 激活 $\text{BOFF}^\#$ 。
- 2) 使用“两个时钟周期”的总线释放：在第一个时钟周期 AHOLD 被激活，而在第二个时钟周期 $\text{BOFF}^\#$ 被激活。这将保证 $\text{ADS}^\#$ 不会浮动在低电平上。
- 3) 在 $\text{BOFF}^\#$ 有效时不激活 HOLD 。

2.4 不兼容性

下面是 485 高级高速缓存模块被设计到 Intel486 CPU 系统中时需要特别考虑的一些问题。它们摘要指出了在 Intel486 CPU 的规范和 485 高级高速缓存模块的规范之间任何可能的不一致：

- 1) 无效性周期只能每两个时钟被执行一次。同 Intel486 CPU 不一样，485 高级高速缓存模块只允许 $\text{EADS}^\#$ 至多每隔一个时钟周期有效。
- 2) 最小时钟高电平略微高于 Intel486 CPU 的规范。它毕竟仍在 TTL 级别之内。
- 3) 在非猝发传输的 486 不能高速缓存、代码预取周期期间，Intel486 CPU 将识别 HOLD 。这些预取的代码能够由 485 高级高速缓存模块高速缓存。因为该模块看不见 HLDA 信号，所以另一个总线主设备可以保持 CPU 在中性周期 (mid-cycle) 中，且开始它自己的传输，并且巧合地完成可高速缓存的传输。这仅仅在另一个总线主设备能驱动模块的 $\text{ADS}^\#$ 引脚的系统才是可能的。在这些系统中，