

8086微计算机系列 用户手册

(上 册)

《舰船导航》编辑部

一九八二年十二月

目 录

第一章 引言

1.1 手册的编排	(1)
1.2 8086系列的体系结构	(1)
功能分配	(2)
多处理器技术	(4)
总线结构	(4)
1.3 开发工具	(11)

第二章 8086和8088中央处理器

2.1 处理器概述	(14)
2.2 处理器的体系结构	(16)
执行部件	(17)
总线接口部件	(18)
通用寄存器	(19)
段寄存器	(19)
指令指示器	(20)
标志位	(20)
同8080/8085寄存器和标志位的对应	(21)
模式选择	(22)
2.3 存储器	(22)
存储器的结构	(22)
程序分段	(23)

物理地址的生成	(23)
动态浮动码	(25)
堆栈的实现	(26)
专用的和保留的存储器单元	(27)
8086和8088存储器访问的差别	(27)
2.4 输入/输出	(28)
输入/输出空间	(28)
输入/输出单元的限制	(28)
8086和8088输入/输出访问的差别	(28)
存储器映象输入/输出	(29)
直接存储器访问 (DMA)	(29)
8089输入/输出处理器 (IOP)	(29)
2.5 多处理部件	(29)
总线封锁	(30)
等待和检测	(32)
换码	(32)
请求/应答线	(32)
多种线的体系结构	(33)
8289总线仲裁器	(33)
2.6 处理器的控制和监督	(34)
中断	(34)
系统复位	(41)
指令排队状态	(41)
处理器暂停	(41)
状态线	(42)

2.7 指令系统	(42)
数据传送指令	(43)
算术运算指令	(45)
位操作指令	(50)
串操作指令	(52)
程序转移指令	(55)
处理器控制指令	(60)
指令系统参考资料	(61)
2.8 寻址方式	(87)
寄存器和立即操作数	(87)
存储器寻址方式	(88)
输入/输出通道寻址	(91)
2.9 程序设计设备	(91)
软件开发概述	(92)
PL/M—86	(93)
A S M—86	(100)
L I N K—86	(108)
L O C—86	(108)
L I B —86	(108)
O H —86	(108)
C O N V—86	(108)
样本程序	(109)
2.10 程序设计准则和示例	(113)
程序设计准则	(113)

程序设计示例	(117)
第三章 8089输入/输出处理器	
3.1 处理器概述	(144)
演变过程	(144)
工作原理	(145)
应用	(154)
3.2 处理器的体系结构	(155)
通用控制部件 (CCU)	(155)
算术逻辑部件 (ALU)	(156)
装配/拆卸 寄存器组	(156)
取指令部件	(156)
总线接口部件 (BIU)	(157)
通道	(158)
3.3 存储器	(163)
存储器结构	(163)
专用存储单元和保留存储单元	(165)
动态浮动	(165)
存储器访问	(166)
3.4 输入/输出	(167)
编程的 I/O	(167)
DMA 传送	(168)
3.5 多处理特性	(176)
总线仲裁	(176)
总线加载的限制	(178)

总线封锁	(179)
3.6 处理器控制和监督	(179)
予置	(180)
通道命令	(182)
DRQ (DMA请求)	(184)
EXT (外部终止)	(185)
中断	(185)
状态线	(185)
3.7 指令系统	(186)
数据传送指令	(186)
算术指令	(187)
逻辑指令和位操作指令	(188)
程序转移指令	(190)
处理器控制指令	(191)
指令系统参考资料	(192)
3.8 寻址方式	(201)
寄存器操作数和立即操作数	(201)
存储器寻址方式	(201)
3.9 程序设计设备	(204)
A S M—89	(205)
连接和定位 A S M—89模块	(215)
3.10 程序设计准则和示例	(218)
程序设计准则	(218)
程序设计示例	(221)

第四章 硬件参考资料

4.1	引言	(226)
4.2	8086和8088中央处理器 (CPU)	(226)
	CPU体系结构	(226)
	总线操作	(229)
	时钟电路	(234)
	最小/最大模式	(235)
	LOCK	(239)
	外部存储器寻址	(240)
	输入/输出 (I/O) 接口	(241)
	中断	(242)
	机器指令的编码和译码	(244)
	8086的指令序列	(263)
4.3	8089输入/输出处理器	(266)
	系统结构	(266)
	总线操作	(268)
	予置	(272)
	输入/输出调度	(273)
	DMA传送	(274)
	DMA的终止	(278)
	外围设备的连接	(278)
	指令编码	(280)

第一章 引言

本手册介绍了 Intel 公司8086系列微计算机的各种器件，特别集中介绍了8086、8088和8089微处理器。它是为懂得计算机工作原理的硬件和软件工程技术人员而写的。本手册介绍整个产品系列，供系统设计和实践参考。

一般认为，微计算机产品是硬件和软件的合理结合，本手册在这两方面都作了说明，只是在详细程度上有所不同。本手册是介绍8086系列元器件的权威性的资料。对于软件，如程序设计语言、实用程序及其举例等，都相当详细地作了介绍，但不是完整的，面面俱到的。附加的参考资料，援引在程序设计各节中，可从Intel公司资料部得到。

1.1 手册的编排

本手册包括四章及四个附录。本章介绍了8086系列的体系结构，下面几章详细介绍了各个元器件。第二章介绍8086和8088中央处理器。第三章介绍8089输入输出处理器。这两章的编排是相同的，集中对8086、8088和8089作了功能说明，并对有关的硬件和软件产品作了介绍。这三种处理器的硬件参考资料：电特性、定时及物理接口考虑等，集中在第四章介绍。

附录A的内容是8086系列的应用说明，提供了设计和调试实例。附录B包括8086系列元器件和系统开发辅助工具的完整数据资料，还重复介绍了与Intel公司其他系列兼容的元器件的简要数据资料。附录C是SDK—86单板机用户指南。附录D为名词索引。

1.2 8086系列的体系结构

可以认为，8086、8088和8089是先进的第三代微处理器。这些处理器是构成8086系列更大系统设计的基本元件。系统结构规定了这些处理器如何与其他元件相互联系，并且是这些产品具有异常的通用性的关键。

8086系列中的全部元件已用于整个系列体系结构的系统格式中，以各种方式组合起来，共同工作。用这种方法，一个单一的元件系列可用于解决广泛范围的微计算机问题。元件的适当搭配，可精确地满足实际应用所需要的性能，而不必用更多的单元构成CPU中央结构，使其具有不必要的一些能力。在多个系统中使用同一系列元件，减少了学习的弯路，可使用已有的经验来构成系统。体系的模块化结构，为扩大系统、修改系统提供了一种有规则的方法。

8086系列的体系结构，在原理上具有以下三个特征：

1. 系统功能分配在各专用器件中。
2. 在硬件中具有多重处理能力。

3. 分级总线结构为高性能系统所需要的复杂数据流提供保证, 而没有以不必要的能力加重结构单一系统的负担。

1.2.1 功能分配

表 1—1 列出了构成微处理器系列的器件。所有器件都是标准的双列直插式封装, 要求单+5 伏电源。

表 1—1

8086 器 件 系 列

微 处 理 器	工 艺	引 线	说 明
8086中央处理器 (CPU)	HMOS	40	8/16位通用微处理器 16位外部数据通道
8088中央处理器 (CPU)	HMOS	40	8/16位通用微处理器 8位外部数据通道
8089输入/输出处理器(IOP)	HMOS	40	高速输入/输出操作8/16 位微处理器, 8位和16位 外部数据通道

支 持 器 件	工 艺	引 线	功 能
8259A 可编程中断控制器 (PIC)	NMOS	28	识别最高优先级中断请求
8282八位锁存器 8283八位锁存器 (反相)	双极型	20	分离地址总线, 并增大 地址总线驱动能力
8284时钟发生器和驱动器	双极型	18	提供时间基准
8286八位总线收发器 8287八位总线收发器(反相)	双极型	20	增大数据总线驱动能力
8288总线控制器	双极型	20	产生总线命令信号
8289总线仲裁器	双极型	20	控制微处理器对多主系 统总线的访问

微处理器

系列产品的核心是三个微处理器, 它们具有如下特性:

1. 标准运行速度 5 MHz (200ns 周期时间); 也可选用 8 MHz 的 8086 cpu 改型。
2. 芯片放在可靠的 40 引线包装中。
3. 处理器对 8 位和 16 位数据进行操作, 内部数据通道至少为 16 位宽。
4. 存储器可寻址 1 兆字节, 并具有独立的 64K 字节输入/输出空间。

5. 各处理器的地址/数据和状态接口是相容的(处理器的地址/数据总线是时间多路复用的,即在同一组物理引线上发送地址以后,接着发送数据)。

8086和8088都是第三代的中央处理器,它们的主要差别是外部数据通道不同。8088在其本身和系统器件之间传送数据是每次8位;8086在一个总线周期内可传送8位或16位,因而具有较大的吞吐量。8086和8088都具有两种工作方式,可通过引线端搭接进行选择。在最小模式,由cpu发送存储器和输入/输出外围器件所需的控制信号。在最大模式,由8288总线控制器控制联到系统总线上的设备。这时,不再为总线控制所必须的那些cpu引线端,重新定义,以提供支持多处理器系统的信号。

8089输入/输出处理器(IOP)是一个独立的微处理器,其设计最优化,用以传送数据。8089通常是在CPU的管理下运行,但它执行独立的指令流,并能与别的系统的处理器并行工作。IOP包含两个独立的I/O通道,它们把CPU和先进的DMA(直接存储器访问)控制器的特性结合起来。这两个通道可执行程序,也可实现类似于CPU的可编程输入/输出操作。它们还可通过DMA传送数据,传送速率达每秒1.25兆字节(5MHz CPU型)。两个通道可以支持8位和16位的输入/输出器件和存储器混合。把速度与可编程智能相结合,8089可承担大量的输入/输出处理开销,让CPU去执行其它任务。

中断控制器

8259A可编程中断控制器(PIC)是一个新的器件,是与8086系列兼容的8259的改型。它同8086和8088CPU的先进中断设备一起工作,增强了8259的功能。8259A可接受8个中断源的请求,通过级联8259A可接受64个中断源的请求。每个中断源指派一个优先权号,它反映该设备在系统中的“关键性”。8259A具有若干内部的优先权判别机构,它可由CPU的软件命令来选择。其工作模式有所不同,但一般说来,若中断请求的优先权高于当时正在处理的中断的优先权,8259A就能识别出具有最高优先权的有效中断,并向CPU发出中断请求。当CPU认可这个请求时,8259A就向CPU传送一个代码,以识别中断源。

总线接口器件

可从模块化的器件系列中选择所需要的那些器件,实现各种不同的系统总线配置。除8284外,所有器件都是任选的,在一个系统中所包含的器件种类取决于应用需要。所有总线接口器件都是用双极型工艺做成的,它们的质量高,信号驱动能力强,开关速度快。

8284时钟发生器和驱动器为8086系列微处理器提供时间基准。它把外接晶体或TTL信号三次分频,输出5兆赫或8兆赫的处理器时钟信号。它还给微处理器提供复位和准备好信号。

8282和8283八位锁存器,用来把8086系列微处理器产生的组合地址/数据总线分离。分离的总线提供独立的稳定的地址和数据线,这是许多外围器件所需要的。用两个锁存器分离出16位的地址总线,提供64K字节的存储空间,而用三个锁存器则可产生满20位的地址总线,提供1兆字节的存储空间。锁存器还为大系统所需要的地址线提供高驱动能力。

8286和8287八位总线收发器,用以为数据线提供出比处理器本身所能提供的更大的驱动能力。用一个还是两个收发器,取决于数据总线的宽度(8或16位)。

8288总线控制器把8089或最大模式8086、8088输出的状态信号进行译码。当这些信号指出处理器行将运行在总线周期时,8288就发出一个总线命令,识别出该总线周期是存储器读、存储器写、输入/输出读及输入/输出写等等。它还提供一个选通信号,把地址选到

8282/83锁存器中。8288还为中、大系统的总线控制线提供所需的驱动电平。

8289总线仲裁器控制处理器对多主系统总线的访问。多主系统总线是通向系统资源(如存储器)的路径,它由两个或多个微处理器(主设备)所共用。对每个主设备的仲裁可运用任一种优先权判别技术,来保证只有一个主设备驱动共享总线。

多处理器技术

与依赖于单个CPU和极快的存储器的集中系统相比,在中、大系统中应用多处理器带来了一些明显的好处:

- 系统任务可分配给专用处理器,对专用处理器进行设计最优化,以便简单而有效地执行某种类型的任务。

- 当多处理器同时执行(并行处理)时,可获得很高级的性能。

- 通过隔离系统的功能,提高了耐用性,因为系统中某一部分的故障和错误对其余部分的影响是有限的。

- 系统的自然划分推动了子系统的并行开发,使其应用于较少的、更易管理的任务,并使系统修改方便,不会互相影响。

有了协调处理器相互影响的设备,8086系列的体系结构明显地简化了多处理系统的开发。

这种体系结构支持两种类型的处理器:独立处理器和协处理器。独立处理器执行其本身的指令流。8086、8088和8089就是独立处理器的例子。8086和8088一般根据中断执行程序。8089根据称作通道注意(channel attention)的类中断信号,来启动它的通道,这个信号通常是由CPU发出的。

8086的体系结构还支持第二种类型的处理器,称作协处理器。在8086和8088中设计了协处理器的“挂钩”装置,以使这种处理器能够适应未来环境。协处理器不同于独立处理器的地方是,协处理器可以从另一个主处理器获得指令。协处理器监督由主处理器取来的指令,并且认可其中的某些指令作为它自己的指令执行。事实上,协处理器扩充了主处理器的指令系统。

8086系列的体系结构在机内解决了两类多处理器协调问题:总线的仲裁和相互排斥。总线仲裁可通过总线请求/应答逻辑来完成,这个逻辑电路包含在每一个处理器中,也可通过8289总线仲裁器来完成。或者在许多处理器访问多路共享总线时,通过8289仲裁器和总线请求/应答逻辑的结合来完成。在以上各种情况下,仲裁机构的操作对软件来说是看不见的。

为了相互排斥,每个处理器都有一个可由程序激发的LOCK(总线锁定)信号,以防止另一处理器获得共享系统总线。在DMA传送中,8289可以锁定总线,以保证传送在尽可能短的时间内完成,并保证另一处理器不去访问正在修改中的传送目标(如缓冲器)。每个处理器都有这样一条指令,它可在总线锁定时检查和修改存储器字节。这条指令还可以用作信号灯机构,用以控制多处理器对共享资源的访问(信号灯用来指示哪个资源,如缓冲器或指示器,是“可用的”或“正在使用中”。这在2.5节中将更详细地加以讨论)。

总线结构

图1-1示出8086系列总线结构。有两种不同类型的总线:系统总线和局部总线。两种总线都可由多处理器共享,即两种都可成为多主总线。微处理器总是连到局部总线,而存储器和输入/输出设备通常都驻留在系统总线。8086系列总线接口器件把局部总线和系统总线

连接起来。

局部总线

8086系列微处理器使用局部总线是适宜的。因为标准的存储器和输入/输出器件不加入到局部总线上，信息可被多路复用和编码，以有效地利用处理器的引线（某些MCS—85外围器件可直接连到局部总线上）。这样，可使某些专用引线去协调共享局部总线的多处理器的操作。连到同一局部总线的多处理器彼此都可说是本地的；在不同局部总线上的处理器彼此可看作是远程的或远程配置。独立处理器和协处理器二者可共享局部总线，片上仲裁逻辑决定哪个处理器驱动总线。由于在局部总线上的处理器公用同一个总线接口器件，多处理器本地配置提供了紧凑的、廉价的多重处理系统。

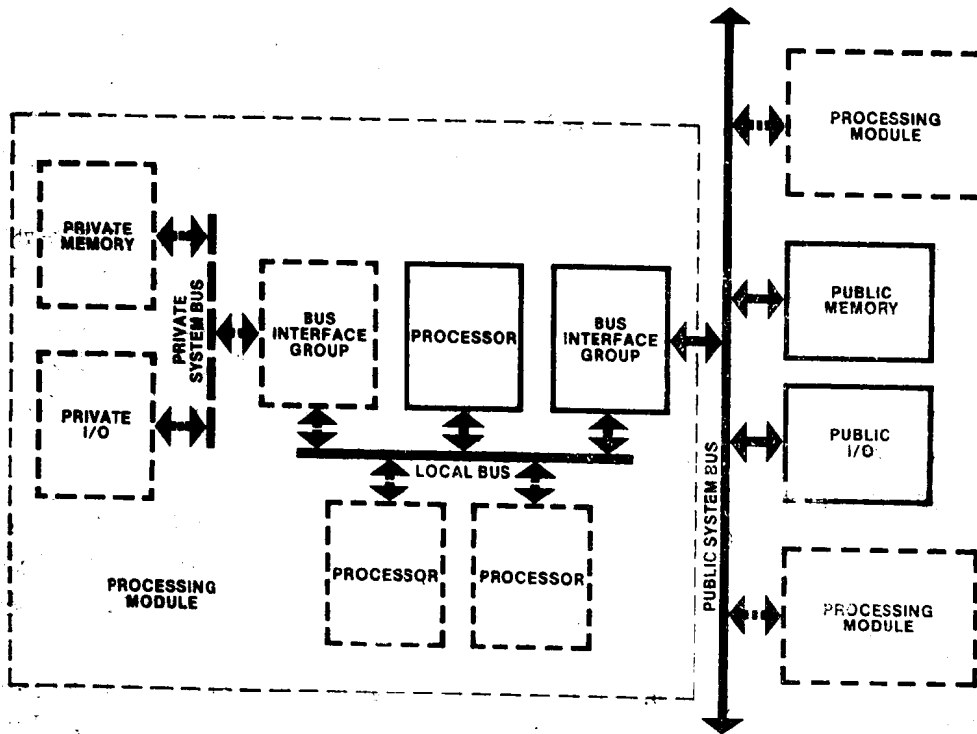


图1—1 一般的8086系统总线结构

系统总线

8086系统总线的完整实现，是由以下五组信号构成的：

1. 地址总线；
2. 数据总线；
3. 控制线；
4. 中断线；
5. 仲裁线。

这些信号是为满足标准存储器和输入/输出设备的需要而设计的。地址和数据总线是分离的，传统的控制信号（存储器读/写及输入/输出读/写等）提供在系统总线上。系统总线设计是模块化的，其子集可根据应用的需要构成。例如，在单处理器系统不需要仲裁线，在

局部总线级执行仲裁的多处理器系统中也不需要。

一组总线接口器件把局部总线的信号转换成系统总线信号。用以产生系统总线所需要的总线接口器件的数目，取决于系统的规模和复杂程度。规模小所需器件就少。下列的主要变量决定了总线接口器件组的配置：地址空间规模（锁存器数目）、地址数据宽度（收发器数目）以及仲裁需要（总线仲裁器的设置）。

8086系列系统总线，在功能上和电性能上是和Multibus兼容的，Multibus是用于Intel公司的iSBC单板计算机产品系列上的多主系统总线。这种兼容性使系统设计者能利用多种计算机、存储器、通讯和其它可以结合到产品中去的模块，用作评价或检验工具。

处理模块

由局部总线连接起来的处理器和总线接口构成了处理模块。简单的处理模块可由单个CPU和一组总线接口构成。更为复杂的模块将包含多个处理器，例如两个IOP，或是一个CPU和一个或两个IOP。一组总线接口把模块中的处理器和公共系统总线连接起来。若在系统中存在多个处理模块，那么所有联接到公共总线的存储器或输入/输出设备对公共总线上的所有处理模块都是可访问的。在每个处理模块中的8289仲裁器控制这些模块对公共总线的访问，因而也控制对公共存储器和输入/输出设备的访问。

第二组总线接口可联接到处理模块的局部总线上，产生第二总线。这个总线可给处理模块提供专用的地址空间，别的处理模块不能对这些地址空间进行访问。用这种方法分配存储器和输入/输出资源，可把故障的相互影响隔开，因而提高了系统的耐用性。它还显著地增加了系统的吞吐量。如果处理器程序和局部数据放在专用存储器中，那么对使用公共系统总线的竞争能减到最小，以保证一旦需要共享资源时可很快得到利用。此外，各模块中的处理器可同时从专用存储空间取指令，以便使多系统任务并行执行。

构成总线的几个例子

本节通过展示如何用8086系列器件构成各种总线配置，概述了8086系列的总线结构。前两个例子说明了应用8086系列器件于较小的系统的特殊情况。其余的例子是增加或重新组合这些基本器件逐步形成更复杂的总线结构。应注意，这些例子只是简要的说明，而不是详尽的；为了满足各自的需要，可用这些器件构成各种不同的组合。

在最小模式配置中，8088用20位地址总线的低8位构成时间多路复用的8位数据总线（图1—2）。这一地址/数据多路复用总线和由8088发出的总线控制信号，是直接同Intel公司8085系列多路复用总线器件相容的。这些外围器件芯片上包含能把组合地址/数据总线分离的逻辑。此外，这些器件多是多功能的、组合式的。例如，在一块芯片上可包含RAM、I/O通道和定时器。运用这些器件，可以构成一个小而经济的系统（例如仅用4片），它可以有效地执行计算任务。

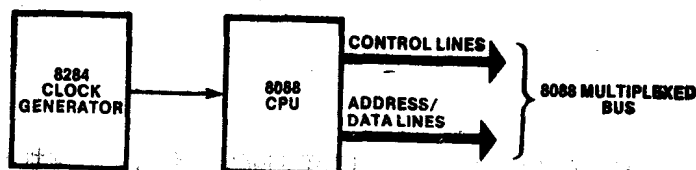


图1—2 8088多路复用总线

在8086或8088最小模式中加入8282/83锁存器，可构成最小模式系统总线（图1—3）。两个锁存器提供64K字节的地址空间，加上第三个锁存器可访问整个1兆字节的存储器。在这个方案中，不需要8288总线控制器，因为当以最小模式构成系统时，CPU本身可发出总线控制信号。这个分离总线结构与大量为工业标准8080A CPU研制的存储器和输入/输出器件是兼容的。8位的外围器件既可连到8086 16位数据总线的高位部分，也可连到低位部分。增加8286/8287收发器可给数据线提供附加的驱动能力。增加8259A，可给CPU以响应多中断源的能力，而不需查询。最小模式系统总线配置，对各种用单个8086或8088 CPU就可满足计算要求的系统来说是很适合的。

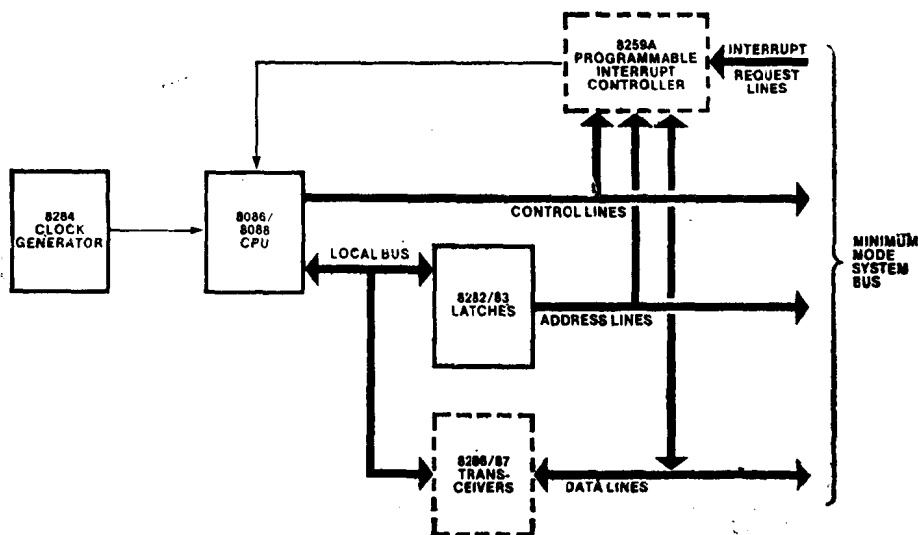


图1—3 最小模式系统总线

当8086或8088以最大模式构造，并且以8288来控制系统总线时，可直接连接一个或两个8089到CPU上（图1—4）。通过局部总线，各处理器共享同一锁存器、收发器、时钟和控制器。8086、8088和8089内部的仲裁逻辑协调局部总线的使用，进而协调系统总线的使用。这种总线配置，把8089的很强的输入/输出处理能力加到了中等规模的系统中。

8289可使高性能的系统设计成一系列独立处理模块，其操作借助共享系统总线协调。图1—5表示多主系统总线的接口，这个总线的电特性同用于Intel公司iSBC单板计算机中的Multibus体系结构兼容。

有几种处理器的不同组合，可加到多主计算模块的局部总线上：

1. 单个8086或8088，
2. 单个8089，
3. 两个8089，
4. 一个8086或8088和一个8089，
5. 一个8086或8088和两个8089。

所有这些在局部总线上的处理器，通过一套接口器件来使用系统总线。

在多主处理模块中的一个或两个8089，可用如图1—6所示的专用输入/输出总线构成。

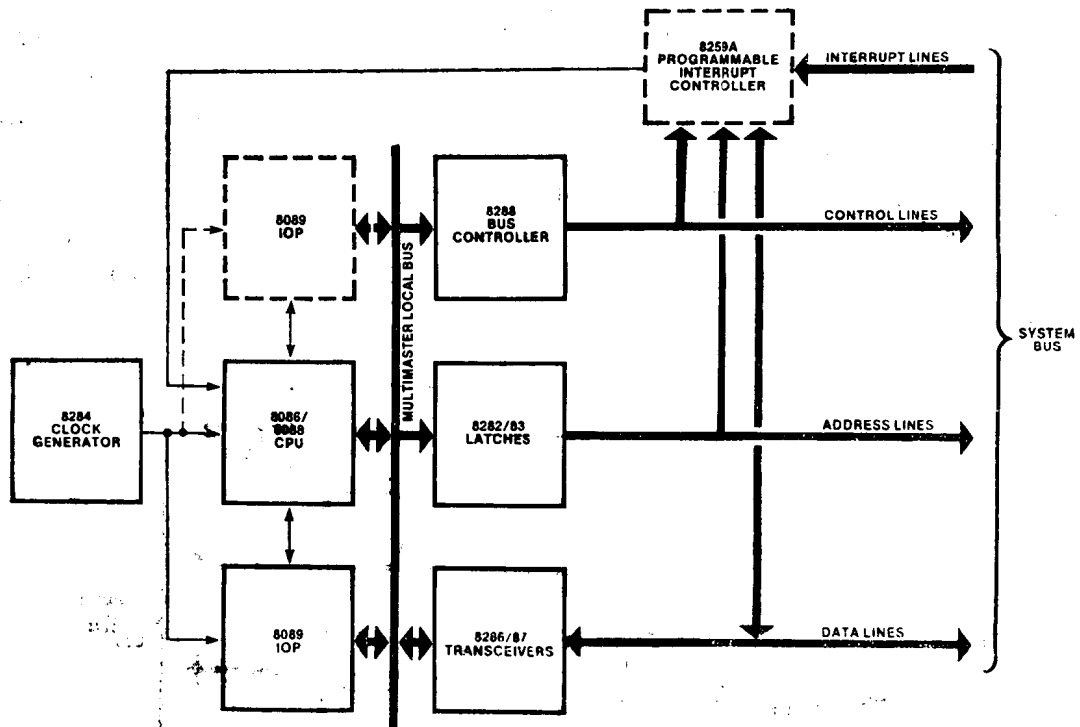
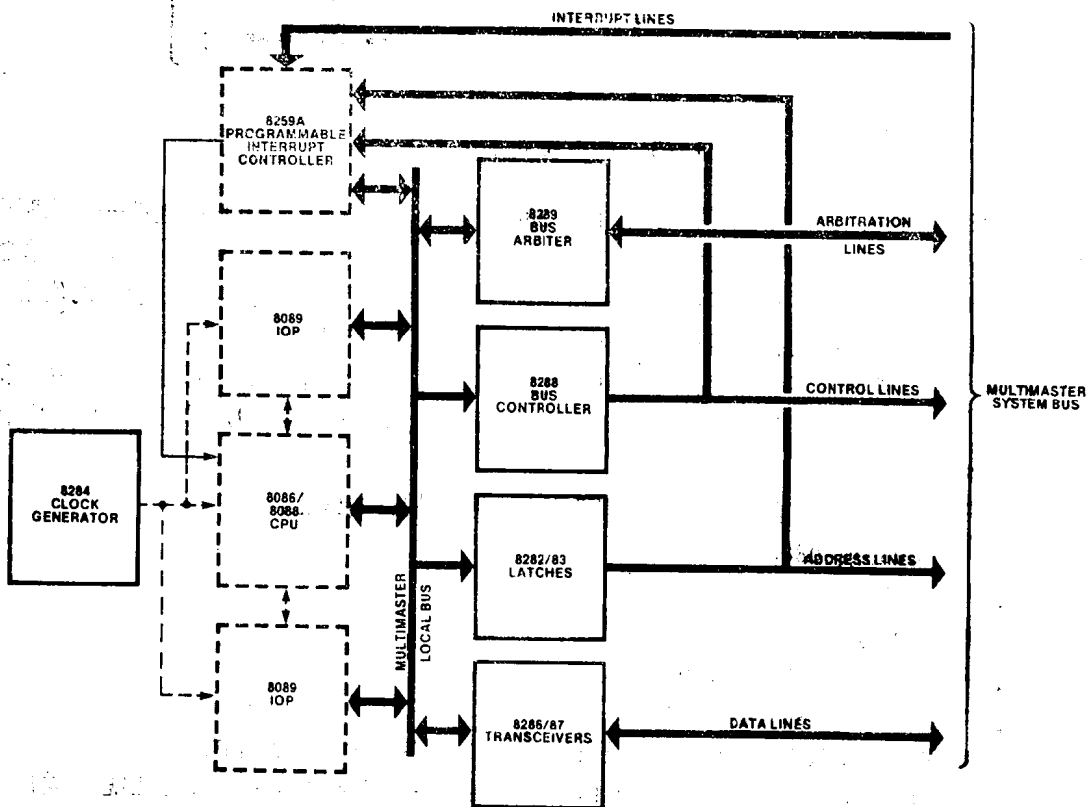


图1—4 多主设备局部总线(上图)

图1—5 基本多主设备处理模块(下图)



在这个配置中，存储器访问命令是直接加到公共多主系统总线上的，而输入/输出命令却使用专用输入/输出总线。装有8089程序的存储器以及输入/输出设备可连接到专用输入/输出总线。采用这个方法可以大大减少8089对系统总线的使用，这是因为大多数存储器和输入/输出可对专用地址空间进行访问。因而，系统总线可由其它处理器来使用，8089可同其它处理器在扩展周期并行执行。为数有限的专用输入/输出总线可用8085系列8位多路复用外围器件实现，省掉了锁存器和收发器，如图1—6所示。

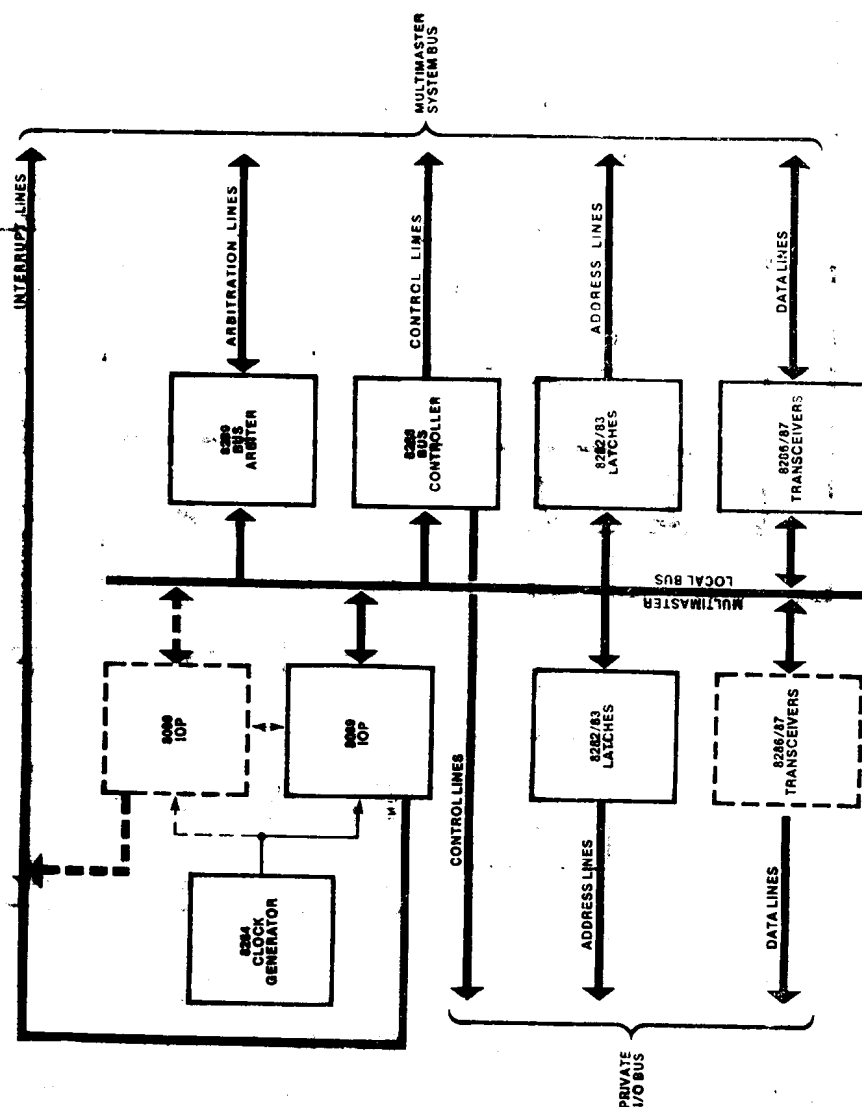


图1—6 专用输入/输出总线

在局部总线上加上第二个8288，可使处理模块中的8086或8088把地址空间分成系统的和常驻的两部分（图1—7）。用一个PROM或译码器引导使用系统总线或常驻总线的地址。常驻总线允许CPU运行在它本身的地址空间以外，以使它对系统总线的使用减少到最低限度。因为其它处理器不能对CPU的常驻总线的专用存储器进行访问，这就避免了在这个空

间中的操作系统代码和数据因其他处理器程序造成的错误。若第二个8289加到常驻总线模块上，则常驻总线就变成第二个多主系统总线。

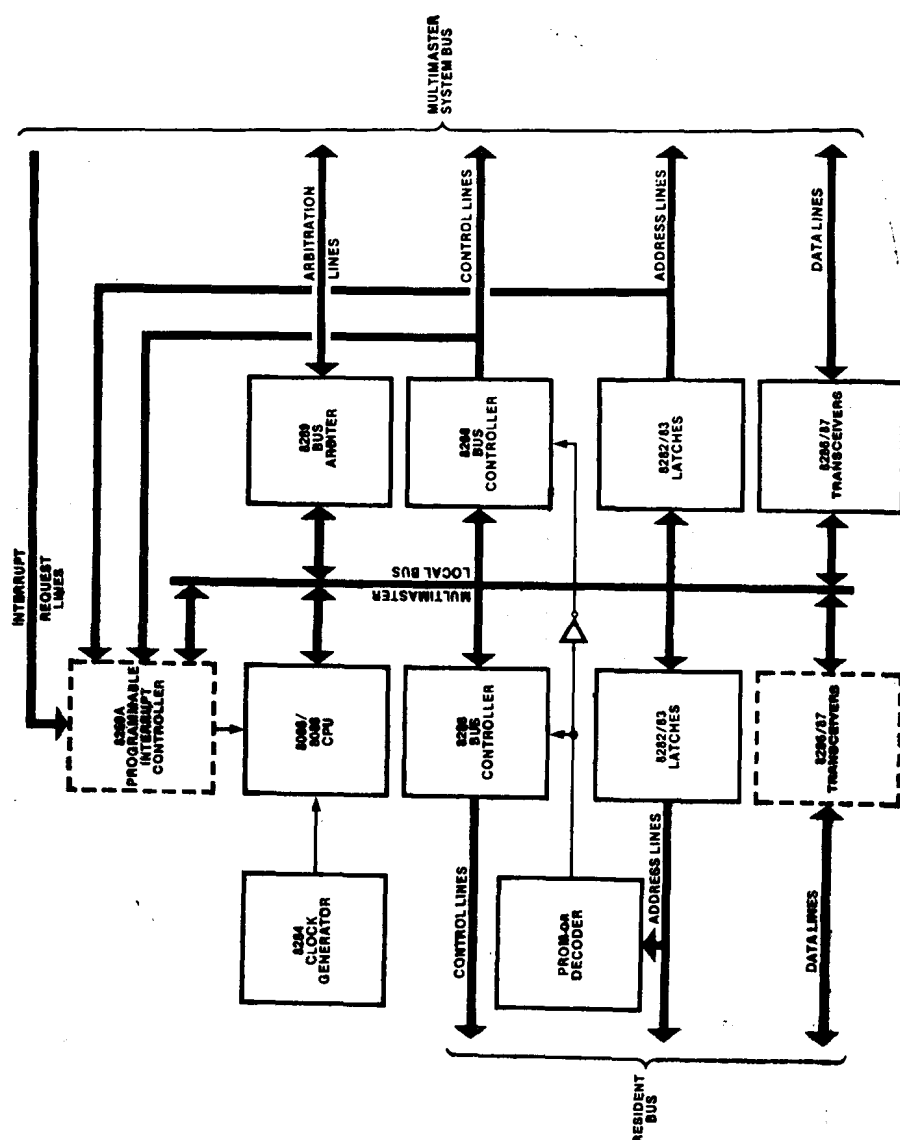


图 1—7 常驻总线

按照另一个常驻总线的方案，专用的只读存储器空间可用CPU提供的 RD（读）信号来实现，以替代8288总线控制器。

多种不同复杂程度的多重处理系统，可由多主处理模块构成。各模块可分别设计和实现，使其对执行给定的任务最优化。模块之间可借助于中断和存放在系统存储器中的信息进行通讯。把新功能加进模块，把模块连到系统总线，可增加系统的功能。

图 1—8 描绘了一个虚拟的系统。其中，九个处理器分配在五个多主处理模块中（为了明晰起见，总线接口器件没有画在图中）。一个管理模块控制系统，它主要是对中断进行响