

与 PC/AT 相兼容的 CHIPS 系列芯片手册

《计算机科学技术与应用》编辑部
苏州电子计算机厂

与 PC/AT 相兼容的 CHIPS 系列芯片

目 录

1. 82C201 引脚说明	(6)
2. 82C202 引脚说明	(18)
3. 82A203 引脚说明	(23)
4. 82A204 引脚说明	(29)
5. 82A205 引脚说明	(31)
6. 82C201 的功能说明	(33)
7. 82C201 的电路参数特性	(48)
8. 82C202 的功能说明	(64)
9. 82C202 的电路参数特性	(69)
10. 82A203 的功能说明	(76)
11. 82A203 的电路参数特性	(78)
12. 82A204 的功能说明	(85)
13. 82A204 的电路参数特性	(85)
14. 82A205 的功能说明	(91)
15. 82A205 的电路参数特性	(92)
16. 其它	(97)

CS8220 为与 PC/AT 相兼容的 CHIPS 芯片系列。它包括 82C201, 82C201—10/82C202/82A203/82A204/82A205。

摘要: 本系列芯片由 Intel 808086 微处理器和 8082 总线控制器组成。

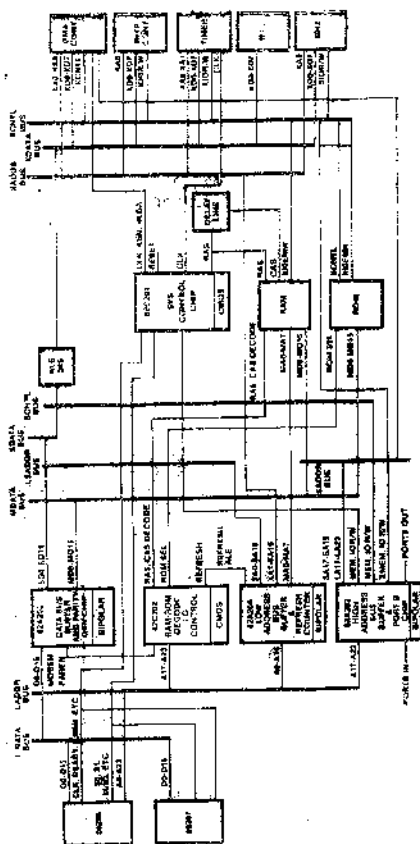
- 与 IBM PC/AT 完全兼容。
- 体系结构灵活, 在 iAPX286 设计中都可使用它。
- 产生超前的 ALE 信号。
- 产生超前的 RAS 信号。
- 82C201 和 82C202 采用低功耗 CMOS 技术。82A203, 82A204 和 82A205 采用先进的低功耗肖特基技术。
- 对 10MHz 或 8MHz 系统时钟带有一个等待状态。对 6MHz 系统时钟等待状态为零。
- 对系统板内存进行编码。
- 带有 16 位到 8 位的转换逻辑。
- 逻辑可变的等待状态。
- 系统总线输出时可吸收 24mA 电流, 可提供 +3.3mA 的源电流。
- 使用单一的 5V 电源。

与 PC/AT 相兼容的 CS8220 CHIPS 芯片组由 5 只大规模集成电路芯片所组成, 它可代替 IBM 个人计算机, AT 中的大多数中规模, 小规模集成电路。CS8220 芯片组灵活的体系结构使它可用于任何基于 iAPX286 系统的设计上。82C201 和 82C202 可实现 Intel 82284 时钟发生器和 Ready 接口的功能。并可实现 iAPX 286 系统中 82288 总线控制器的功能。也可实现 8284A 时钟发生和驱动的功能。它代替了在 IBM PC/AT 设计中大约 30 个中, 小规模集成电

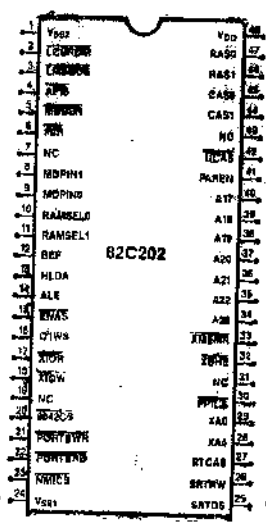
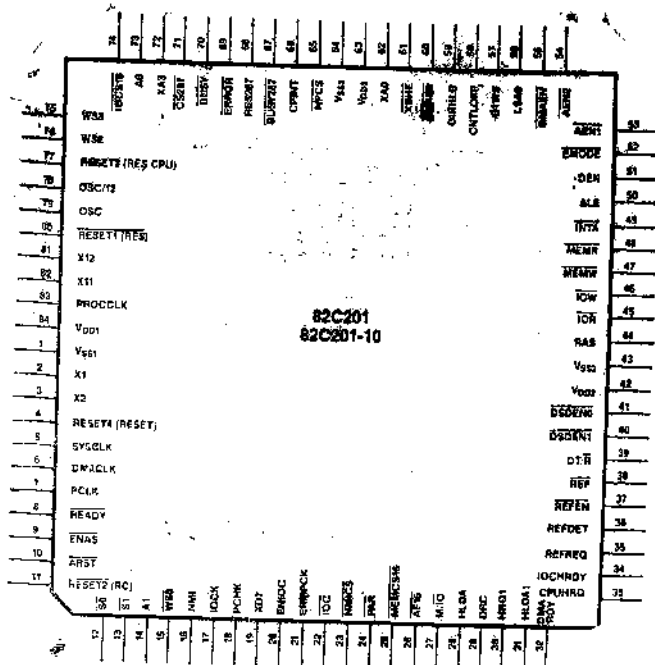
路。它的明显的新的特点已被用于增强系统的性能，但它仍然保持着与 PC AT 的兼容。82C201 是标准的用于 8MHz 系统时钟的芯片，而 82C201-10 将在系统时钟频率为 10 MHz 环境下工作。

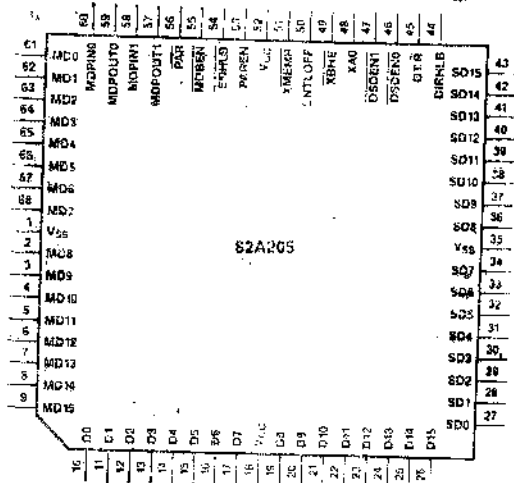
利用超前方式选择线 EMODE 可改变 ALE 和 RAS 这两个信号。当 EMODE 为低电平时，可在正常的产生 ALE 和 RAS 信号之前就产生出 ALE 和 RAS。为此可在 6MHz 时钟，零等待状态的系统中使用 120ns 的动态存储器，在 8MHz 时钟，1 个等待状态的系统中使用 150ns 的 DRAM。对于 10MHz 时钟，1 个等待状态的系统要采用 82C201-10 的芯片，它可使用 120ns 的 DRAM。选择可变的等待状态将使它适应较慢的存储器 and 外围设备。

82A203, 82A204 和 82A205 包含了许多 IBMPC/AT 兼容设计中所要求的缓冲器和驱动器。它们采用了先进的肖特基双极型工艺技术，从而提高了它们的速度并提供高达 -3.3ma 的源电流和吸收 24ma 电流的负载能力。



PC/AT功能框图





1.82C201 引脚说明

引脚号	类型	符号	引脚说明
2, 3	I	X1, X2	并联谐振方式下外部晶振输入。晶振频率应两倍于处理器时钟频率。此外TTL时钟可接至X1。
15	I	WS0	选择等待状态。当它有效时访问存储器没有等待状态的插入。对建立和保持这一类的操作其时间必须与时钟相适应。
12, 13	I	SO, S1	从CPU输入的状态。总线控制器根据此状态信号线来测定CPU的状态。在此输入引脚上应加上上拉电阻。

引脚号	类型	符号	引脚说明
8	O	READY	准备好信号, 当它为低时为有效的输出信号。它表明当前的总线周期已执行完毕。 Ready是集电极开路输出信号, 它需要在外 部接上推拉电阻。 $\overline{S0}$, $\overline{S1}$, $\overline{WS0}$ 和 $\overline{RES-}$ $\overline{ET1}$ 等输入信号控制了READY的输出。
80	I	RESET1	RESET (RES) 为一连接到 Power Good 电源好上的信号。当它为低电平时对 系统提供复位信号。
11	I	RESET2	RESET2 (RC)是一低为有效的信号, 它由通用外围接口 8042 所产生。它启动 RESET3信号, 迫使CPU复位。
77	O	RESET3	RESET3 (RES CPU)系对 CPU 复位的 信号。当RESET1或RESET2 输入为有效 时产生RESET3。当CPU为 HALT 状态时 RESET3也为有效, 它将迫使M/IO, $\overline{S0}$, $\overline{S1}$ 和A1为低。
4	O	RESET4	RESET4 (RESET)为一当 RESET1变为 有效时产生的信号, 它也提供给系统复 位信号。RESET4是与处理器时钟同步 的信号。
83	O	PROCCLK	PROCESSOR CLOCK处理器时钟信号 对CPU提供时钟信号。其频率等于X1和X2 引脚上的晶振频率。
5	O	SYSCLK	SYSTEM CLOCK 系统时钟, 其等于 PROCCLK的一半, 为用于外围设备的

引脚号	类型	符号	引脚说明
时钟。它与处理器的T-状态同步。			
6	O	DMACK	DMA CLOCK 直接存储器存取时钟，其输出为SYSCLK频率的一半，与CPU T-周期同步。它为DMA 控制器提供时钟。
7	O	PCLK	PCLK(Peripheral Clock)外围时钟为PROCCLK 的一半。对外围设备提供时钟。
9	O	ENAS	ENABLE ADDRESS STROBE允许地址选通信号。输出低时为有效，允许实时钟器件MC146818输入地址选通信号。它在CPU第1个读状态(S1=0)时变为低。
14	I	A1	ADDRESS1地址1信号是从CPU 分离出来的一个地址。它用于发现CPU 停止工作时(SHUT DOWN)的状态。
73	I	A0	ADDRESS 0是从CPU来的一个地址信号。它允许数据总线传送数据。
82, 81	I	X11, X12	振荡器晶振的输入脚。振荡器对I/O设备及其它系统外围提供时钟。决定并联谐振基波频率的晶体跨接在X11和X12上。或者TTL时钟接至X11。
79	O	OSC	振荡器 OSCILLATOR 的输出即为跨接在X11和X12上晶振的时钟频率。
78	O	OSC/12	OSC/12的输出为跨接在X11和X12上晶振时钟频率的1/12。

引脚号	类型	符号	引脚说明
27	I	$\overline{M/IO}$	MEMORY/INPUT OUTPUT从CPU来的信号。当它为高时表明系统为访问存储器，为低时为访问I/O。系统用于控制存储器或者I/O设备的访问。
40	O	$\overline{INTA}$	INTERRUPT ACKNOWLEDGE 中断响应，低为有效输出。中断控制器用 $\overline{INTA}$ 把中断矢量输出至数据总线。当 $\overline{HLDA}$ 为高， $\overline{CNTLOFF}$ 为低时 $\overline{INTA}$ 为第三态。
45	I/O	$\overline{IOR}$	I/O READ, 对I/O设备的读信号。当它为低时表明对I/O的读命令正在进行。当 $\overline{HLDA}$ 为高， $\overline{CNTLOFF}$ 输出为低时，其为第三态。
46	I/O	$\overline{IOW}$	I/O WRITE, 对I/O设备的写信号。当它为低时表明对I/O的写命令正在进行。当 $\overline{HLDA}$ 为高， $\overline{CNTLOFF}$ 输出为低时其为第三态。
48	I/O	$\overline{MEMR}$	存储器读命令，通知存储器把数据放至数据总线上。在刷新周期 $\overline{MEMR}$ 也为低。当 $\overline{HLDA}$ 为高， $\overline{CNTLOFF}$ 为低时，其为第三态。
47	I/O	$\overline{MEMW}$	存储器写命令，通知存储器从数据总线上读入数据。当 $\overline{HLDA}$ 为高， $\overline{CNTLOFF}$ 为低，其为第三态。

引脚号	类型	符号	引脚说明
50	O	ALE	ADDRESS LATCH ENABLE 允许地址锁存信号, 当它为高时为有效输出。在总线周期时控制地址锁存以保存地址。在halt总线周期时不发出ALE信号。
44	O	RAS	RAS信号输出为高时有效。在访问存储器时用于产生RAS和CAS信号。
39	O	DT/R	DATA TRANSMIT/RECEIVE 数据发送和接收信号, 用于测定从局部总线来的数据的方向。 当它为高表明是写总线周期, 为低是读总线周期。当DT/R改变状态时DEN输出不起作用。当没有有效的总线周期, DT/R为高。
51	O	DEN	DATA ENABLE 数据允许信号输出高时为有效。当它有效时允许数据接收发送器连接到局部总线上。
41	O	DSDEN0	DATA STROBE DATA ENABLE0 数据选通、数据允许0信号, 低为有效输出。当它有效时允许数据接收发送器连接到数据总线的低字节D0~D7上。当DEN为高时此信号有效。此外数值协处理器芯片的选择将禁止其输出。
40	O	DSDEN1	DATA STROBE DATA ENABLE1 数据选通, 数据允许1信号, 有效输出为低。当它有效时允许数据接收发送器连接

引脚号	类型	符号	引脚说明
			到数据总线的高字节 $D_8 \sim D_{15}$ 上。当 DEN 为高时此信号有效。此外数值协处理器芯片的选择将禁止其输出。
61	I/O	$\overline{XBHE}$	BUS HIGH ENABLE 允许高位总线信号, 其低为有效。当它有效时允许数据总线的高位字节信号通过数据总线接收发送器。
62	I/O	$\overline{XA0}$	ADDRESS 0 地址0信号, 当它为有效的译码时 CPU 发出级联的中断控制器的命令字。 $\overline{XA0}$ 与读、写和中断控制器芯片选择的输入配合在一起工作以确定 CPU 发出的命令或者该控制器的状态。
72	I	$\overline{XA3}$	ADDRESS 3 信号用于选择80287芯片及对80287复位。
71	I	$\overline{CS_{287}}$	CHIP SELECT 287信号输入低时为有效。它对80287产生数值协处理器选中信号 $\overline{NPCS}$ 。
65	O	$\overline{NPCS}$	NUMERICAL PROCESSOR CHIP SELECT 数值协处理器芯片选中信号输出低为有效。它对80287作为数值处理器选中 $\overline{NPS1}$ 信号。
70	I	$\overline{BUSY}$	BUSY 输入低时为有效, 它表明80287正在执行命令, 它对处理器产生 BUSY 信号。

引脚号	类型	符号	引脚说明
67	O	BUSY287	BUSY 287 输出给处理器,其低为有效。它对处理器指明协处理器的操作状态。
69	I	ERROR	ERROR 信号从数值协处理器来,表明它存在不可屏蔽的错误,输入低为有效。
66	O	CPINT	COPROCESSOR INTERRUPT 信号输出高为有效。这是从数值协处理器来的中断请求信号,它连接至中断控制器的中断请求13。
68	O	RES287	RES 287 输出高电平为有效。它使数值协处理器复位。
26	I	AF16	AF16 输入低为有效的信号。当访问16位存储器时应当维持 AF16 ,当I/O设备访问存储器时,它禁止命令延迟。
25	I	MEMCS16	存储器芯片选中信号输入低为有效。它是针对16位,1个等待状态的存储器周期,由LA17—LA23地址线译码而得到。
30	I	HRQ1	HOLD REQUEST1 是从DMA控制器来的高为有效的信号。由它产生CPU HOLD 请求信号。
23	O	CPUHRQ	CPU HOLD REQUEST 即CPU保持请求信号输出高电平为有效。由DMA控制器进行DMA传送时输出给CPU。在刷新周期它也有效。

引脚号	类型	符号	引脚说明
28	I	HLDA	HOLD ACKNOWLEDGE 保持响应信号输入高时为有效。在 DMA 周期由 CPU 产生给 DMA 控制器。 HLDA 有效时它将迫使所有命令 IOR , IOW , MEMR , MEMW 和 INTA 为第三态, 并使 CNTLOFF 输出为低。
31	O	HLDA1	HOLD ACKNOWLEDG1 保持响应1信号当输出为高时有效, 为 DMA 控制器提供保持响应信号。
74	I	$\overline{IOCS16}$	I/O 芯片选中信号当输入低时为有效, 它是针对 16 位 1 个等待状态的 I/O 周期。
53	I	$\overline{AEN1}$	ADDRESS ENABLE1 地址允许 1 信号, 输入低为有效。它从两个 DMA 控制器中的一个输入, 允许地址锁存器保持地址。它是针对 8 位数据传送的。
54	I	$\overline{AEN2}$	ADDRESS ENABLE2 地址允许 2 信号, 输入低为有效。它从两个 DMA 控制器中的一个输入, 允许地址锁存器保持地址。它是针对 16 位数据传送的。
52	I	$\overline{EMODE}$	EARLY MODE 超前模式信号, 它在 ALE 和 RAS 信号超前产生和 ALE , RAS 信号正常产生之间选择一个输入。当输入为低时选择超前模式。输入为高时选择正常模式。

引脚号	类型	符号	引脚说明
76	I	WS2	选择两个等待状态的信号。当它有效时, 访问I/O将插入两个等待状态。WS2由I/O地址译码而得到。
75	I	WS3	选择3个等待状态的信号。当它有效时, 访问I/O将插入3个等待状态。WS3由I/O地址译码而得到。
59	O	DIRHLB	数据和8位外部设备交换期间决定由高位字节到低位字节及低位到高位字节的转换。这个信号也称之为DIR245。
58	O	CNTLOFF	CONTROL OFF控制关闭信号, 输出高为有效。在存取字节期间允许锁存数据总线上的低位字节。当CNTLOFF输出为低, HLDA有效时, 所有输出命令为第三态。
50	O	ENHLB	ENABLE HIGH TO LOW信号和DIRHLB信号配合完成从高位字节到低位字节的转换。如果A0=0, 此时表明为字传送, 转换不会产生。此信号也称之为Gate 245。
55	O	DMAEN	DMA地址允许信号, 输出低时为有效。有效时即为允许某一I/O设备通过DMA访问系统的存储器。
34	I	IOCHRDY	I/O通道准备好信号由I/O设备产生。当它为低时表明I/O设备没有准备好, 在访问I/O设备或存储器时必须插入等待状

引脚号 类型 符号

引脚明说

态。当它为高时表明I/O设备已完成访问存储器或I/O设备了。

32 O DMARDY

.DMA准备好信号用于DMA控制器，DMA控制器对慢速的存储器或I/O设备需要扩展存储器的读周期和写周期。当DMARDY为低时即需插入等待状态。

35 I REFREQ

.刷新请求信号的输入，表明对于动态RAM的一个刷新周期开始。REFREQ这个信号由定时控制器8254产生，且每隔15ms即提供一次刷新请求。

36 O REFDET

REFRESH DETECT为刷新检测信号，当刷新周期开始时它要改变输出的状态。它使外界可以监视刷新周期执行的状态。

38 I/O REF

.REFRESH刷新信号输出低时为有效，它启动动态RAM的刷新周期。当它作输入信号时将迫使从外设进入刷新周期。在这引脚上，需在外部加上驱动。

37 O REFEN

.REFRESH ENABLE允许刷新信号输出低时为有效。它启动刷新计数器，此刷新计数器为动态RAM刷新周期提供地址。

56 O LSA0

ADDRESS 0即地址0信号，系统总线上它为低时将进行字存取。

82C201

• 15 •