

APPLE II

硬件分析与检修

新技术业务部

一九八四年五月

目 錄

第一章 Apple II 簡介.....	1 ~ 4
1-1 微電腦概論.....	1
1-2 Apple II 電腦簡介..	1
第二章 6502 CPU 介紹.....	5 ~ 17
2-1 概論.....	5
2-2 6502 CPU 簡介.....	5
2-3 6502 CPU 暫存器區解析.....	6
2-4 控制區.....	10
2-5 6502 CPU 接腳功能.....	12
2-6 指令週期.....	14
2-7 6502 CPU 的時序控制與記憶讀及記憶寫.....	16
第三章 硬體電路分析.....	19 ~ 204
3-1 系統方塊簡介.....	19
3-2 電源供應器.....	23
3-3 時序產生器及定時圖.....	23
3-4 微處理器電路.....	30
3-5 記憶圖.....	36
3-6 ROM 位址選擇與分配.....	37
3-7 I/O 位址.....	50
3-8 I/O 位址分配.....	56
3-9 週邊卡 I/O 位址分配.....	58
3-10 On Board 位址分配.....	59
3-11 遊戲輸入/輸出連接插頭.....	72
3-12 遊戲控制.....	73
3-13-1 記憶體介紹 (RAM).....	77
3-13-2 Apple II RAM 的結構.....	79
3-13-3 RAM 的擴展.....	82
3-13-4 RAM 位址電路.....	87

3-13-5	資料線傳送電路與讀／寫控制	100
3-14	影像顯示形成軟體開關	104
3-15-1	TV 原理簡介	112
3-15-2	電腦 CRT 顯示原理分析	113
3-15-3	影像同步信號產生器	114
3-15-4	影像同步信號與 CRT 掃描總論	123
3-16	顯示記憶體位址分配	125
3-17	影像軟體開關組合控制	127
3-18	遮沒電路	128
3-19	顯示器記憶體位址定址	130
3-20	程式本文型	150
3-21	游標產生器	151
3-22	鍵入資料與標準輸出	151
3-23	字元產生器或圖形產生器與並入串出電路	157
3-24	高解像與低解像控制器	164
3-25	影像輸出電路	165
3-26	程式本文型影像輸出	168
3-27	低解像度圖形型影像輸出	171
3-28	高解像圖形型影像輸出	179
3-29	合成同步信號	186
3-30	繫色信號	188
3-31	混合影像信號	190
3-32	Apple II 圖形彩色分析	195
3-33	影像輸出插座	199
3-34	週邊連接插頭	201

第四章 故障與檢修 205 ~ 245

4-1	概論	205
4-2	檢修系統方塊圖	206
4-3	主機板裝機分析	209
4-4	主機板檢修流程圖	215
4-5	故障分析明細表	221

第一章 Apple II 簡介

1—1 微電腦概論

自 1971 年底，美國 Intel 公司發表的 MCS-4（型號 4004）以後，微處理機的發展受到相當大的重視，而後於 1972 年 Intel 公司發表 8 Bit 的並列處理機，因它為微處理機的藍本，故為所謂第一代微處理機。1973 年 Intel 公司再推出 8080 微處理器，故該公司一般被認為是微電腦的創始公司，而 8080 微處理機推出之後，獲得極大的支持與銷售，從此微處理機的爭奪戰一連串展開，為了獲得佔有廣大的市場，部分廠商自行設計新的微處理機，也有部分廠商成為原始廠商的第二貨源（Second Source）。

由於半導體技術的進步，微處理機的功能也有很顯著的改變，硬體功能的增強，16 Bit 和 32 Bit 的微處理機相繼出現，而微處理機的應用也相對地大大的推廣，無論是視聽方面，或是工業控制方面及娛樂性消費產品方面，微處理機都佔有了極重要的角色。

由於電子元件成本不斷降低，以致電子產品售價因而下降，故一個功能非常強勁的電腦，可能在極低的價格即可購買到，台產的 APPLE II 電腦即是在這種情況下，大量仿製而生產的。

1—2 APPLE II 電腦介紹

如果您是微電腦的愛好者，必然知道目前市面上出售了各種廠牌的微型電腦，在這些微電腦中有些是專為學過電子的人而設計的，譬如 EDU-80，ABC-80，POP-80，MPF-1，SDK-85 等，它所使用的語言為組合語言（Assembly Language），而且都以 7 段顯示器來當為資料顯示。由於使用者必須具有電子方面的專業知識，而且功能受限制故沒有辦法來廣泛推廣，大都為學校中教學用。

另一種微電腦系統中，使用者不需要具備電子方面的專業知識，即可輕而易舉的使

· 2 · 第一章 APPLE II 簡介

用，而所使用的語言，大都為高階語言，如BASIC FORTRAN ……等，所使用的顯示裝置為CRT，並以大型鍵盤當為輸入元件的一部分，由於適合於各個階層的人所使用，故使用者非常廣泛，況且都可以在這種類型的微電腦系統當為電視遊樂器(TV Game)，故擁有這種電腦系統裝置者日益普及，即為目前所謂個人電腦或所謂家用電腦。

APPLE II 微型電腦 (Micro Computer) 是APPLE 公司所開發出的一部個人用電腦 (Personal Computer)，APPLE II 在最早推出時，首先以套件方式出售，由於功能與特性都非常卓越，故銷售量直線上升，故該公司以1300 美金來成立公司，2年間APPLE公司利潤超過了一億八千四百萬美元，他們公開發行的股票成為華爾街歷史上最成功的股票之一，而APPLE公司也是1980 年全美微電腦銷售第一的公司，APPLE II 的廣受全世界的流行及採用，必然與APPLE II 的功能與特性有關，接着介紹它的特性：

└詳細規格

- (1)微處理器 (Micro Processor) : 6502, 8 Bit CPU。
- (2)時脈 (Clock) : 1 MHz。
- (3)鍵盤 (Keyboard) : 51 鍵，標準ASCII Code 鍵碼輸出。
- (4)顯示器 (Visual Display) : 監視器 (Monitor) 和家用電視機 (Color home TV)。
- (5)文字畫面：每行40/80 字，每頁24 行，字矩陣為5×7 點矩陣字元。
- (6)低解像度畫面：(水平) 40×(垂直) 48全圖形，或(水平) 40×(垂直) 40 連同4 行字元。
- (7)高解像度畫面：(水平) 280×(垂直) 192全圖形，或(水平) 280×(垂直) 160 連同4 行字元。
- (8)顯示速度：1000 CPS，顯示速度Speed 由0～255可隨意調整。
- (9)記憶器 (Memory)
 - ① 12 K ROM：包含自動起動監督程式及Basic 編譯器，可擴展為24 K。
 - ② 16 K RAM：可擴展到64 K。
- (10) I/O
 - ① 主機板上 I/O。
 - ② 週邊連接器。
 - ③ Game I/O。

(二)APPLE II PLUS 系統特性。

(1)主機：

- ①標準打字鍵51鍵。
- ②有實數及整數的 Basic 語言。
- ③有 16 K , 32 K , 48 K RAM可擴展到 64 K Bytes 。
- ④ 12 K Bytes ROM 包含有自動啟動監督程式及 APPLE Soft編譯器，並可執行組合語言。
- ⑤低解像度可選擇 16 種顏色，高解像度有 8 種顏色，適合繪製各種圖形。
- ⑥ 8 個擴充點隨您需要而擴充，週邊介面卡 Integer Basic, EPROM Writer等可插接於此。
- ⑦擴充點可接 Parallel, Serial 及 EIA RS-232C及 IEEE 488 系列各種週邊裝置。
- ⑧有錄音機，可儲存程式資料。
- ⑨顯示器可接到家用電視機。
- ⑩可接 TV Game 控制器，有電視遊樂器功能。
- ⑪可由不同的週邊介面卡來控制 5¼及“8”兩種軟性磁碟機。

(2)語言系統

- ①APPLESOFT。
- ②FORTRAN 77。
- ③ASSEMBLY。
- ④UCSD PASCAL。

(3)主機板主要零件：列於下頁 (Page 4)

APPLE II 主基板零件一覽表	
74LS00	RESISTER 1/8W 5%
74LS02 × 4	10 OHM
74LS04	27 OHM × 2
74LS08 × 2	47 OHM × 2
74LS11	100 OHM × 5
74LS20	150 OHM
74LS32	330 OHM
74LS51	1K OHM × 2
74LS74 × 3	1.5K OHM
74LS86	2K OHM
74LS138 × 4	2.7K OHM
74LS139	4.7K OHM × 2
74LS151	12K OHM × 6
74LS153 × 4	470K OHM
74LS161 × 4	2.2M OHM
74LS166	3.3M OHM
74LS174 × 2	RESISTER ARRAY
74LS175	1K (7) × 3
74LS194 × 3	VR..
74LS195	200 OHM × 1
74LS251	
74LS257 × 5	CAPACTIOR;
74LS259	0.1 UF × 45
74LS283	0.02 UF × 4
74LS367 × 3	47 PF
NE555 × 2	VC.
UA741	50 PF × 2
8T28 × 2	COIL
6502	27 UH
4116 × 8 (16 OR 24)	DIODE
2716 × 7	
NE 558 (OPTIONAL)	IN 4148
CRYSTAL	TRANSISTER
14.318MHz	PNP 2N869A × 2
	NPN 2SC372 × 4

表 1-1 Apple II 主機板主要零件表

第二章 6502 CPU介紹

2-1 概 論

APPLE II 電腦是以 6502 CPU 爲主的一部微型電腦 (microcomputer)，中央處理器 (CPU) 爲電腦的心臟部位，程式的執行，資料處理，輸入與輸出，都必須經由 CPU 來控制，故研究電腦的硬體，首先必須瞭解電路的心臟 CPU 的結構與功能。

以 8 Bit 的微處理器而言，它包括了很多種類，如 Intel 的 8080，8085 CPU 及 Motorola 6800 及時下最普遍的 Zilog Z-80 CPU 及 APPLE II 使用的 6502 CPU，每一種類的 CPU 的特性大都不完全相同 (包括所使用機器語言在內)，因此所使用的 CPU 不同時硬體電路亦可能有所區別。以致程式設計時會產生很大的不同，因而會造成研究硬體及軟體者很大的不便之處，也常有某種說法：那一種 CPU 我很熟，而另外一種則不太清楚，故瞭解每一種 CPU 的結構與功能，是從事硬體設計者的必備工具之一。

2-2 6502 CPU 簡介

6502 微處理器 (CPU) 是 MOS Technology 公司於 1975 年推出的 6500 系列中的一個 40 支腳包裝的大型積體電路 (LSI)。6502 的結構是根據 Motorola 6800 加以改進設計而成，爲了希望能達到低問題與高性能的要求，所以它簡化了 M6800 中不常使用的指令，因而空出了部分的指令碼，使得 6502 能具有更多的定址方式 (Addressing mode. M6800 僅有 7 種，6502 有 13 種)。此外 6502 具有低消耗功能 (Low power dissipation) 和良好的雜訊免疫力 (Noise Reject) 等優點，在下面先列出 6502 CPU 之特性以供參考。

(a) 有 $A_{15} \sim A_0$ 16 條位址線，可定址 64 K bytes 的記憶容量。

(b) 具有 IRQ (Interrupt Request) 和 NMI (Nonmaskable Interrupt) 中斷的能力。

• 6 • 第二章 6502 CPU 介紹

(c) SYNC 信號線可用於單指令操作方式。

(d) RDY 信號線可用於要求處理器暫停或單週期操作。

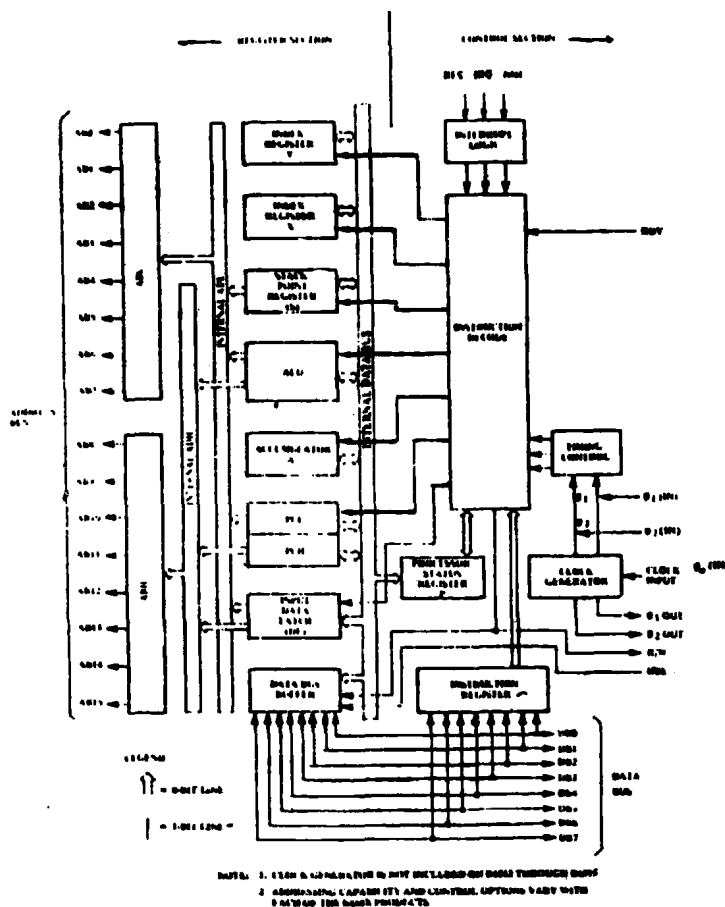
(e) 時脈 (Clock) 供給方式：TTL 位準的單相輸入，RC 時基輸入或石英晶體時基輸入皆可。

(f) 具有二相時脈輸出，可供週邊晶片所需的時序信號用。

(g) 可作指標定址 (Index Addressing)。

(h) 匯流排 (Bus Line) 可和 M6800 共通 (Compatible)。

6502 CPU 的基本結構方塊圖 2-1 (取材於 R 6500 手冊) 所示。它主要分為暫存器區 (Register Section) 及控制區 (Control Section) 兩部分。

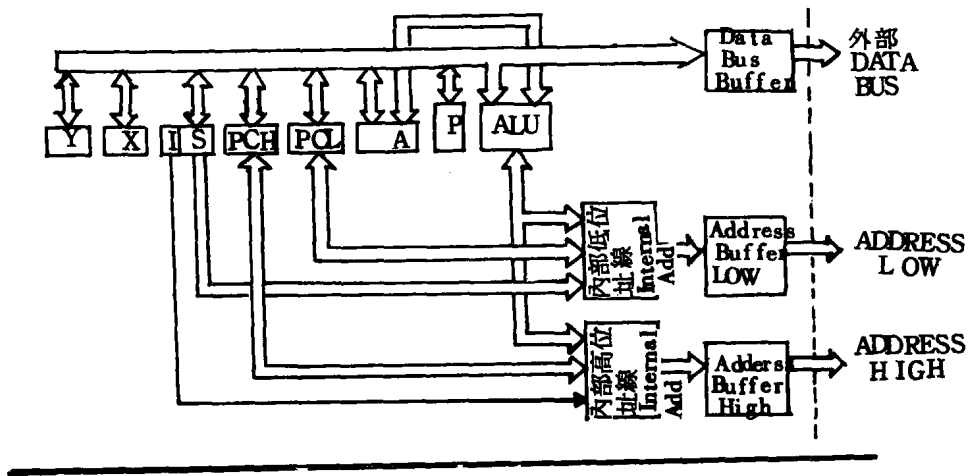


【圖 2-1】6502 內部結構

2-3 6502 CPU 暫存器區 (Register Section) 解析

圖 2-2 為暫存器的結構圖，它包括了所有的暫存器，每一個暫存器都可儲存 8 位

元 (Bit) 的資料。(a)算術邏輯單元 (Arithmetic Logic Unit, ALU)。(b)累積器 (Accumulator, A)。(c)高位址程式計數器 (Program Counter High, PCH)。(d)低位址程式計數器 (Program Counter Low, PCL)。(e)處理器狀態暫存器 (Processor Status Register, P)。(f)堆疊指標暫存器 (Stack Pointer Register, S)。(g)指標暫存器 (Index Register X, X)。(h)指標暫存器 (Index Register Y, Y)。(i)資料緩衝器 (Data Bus Buffer)。



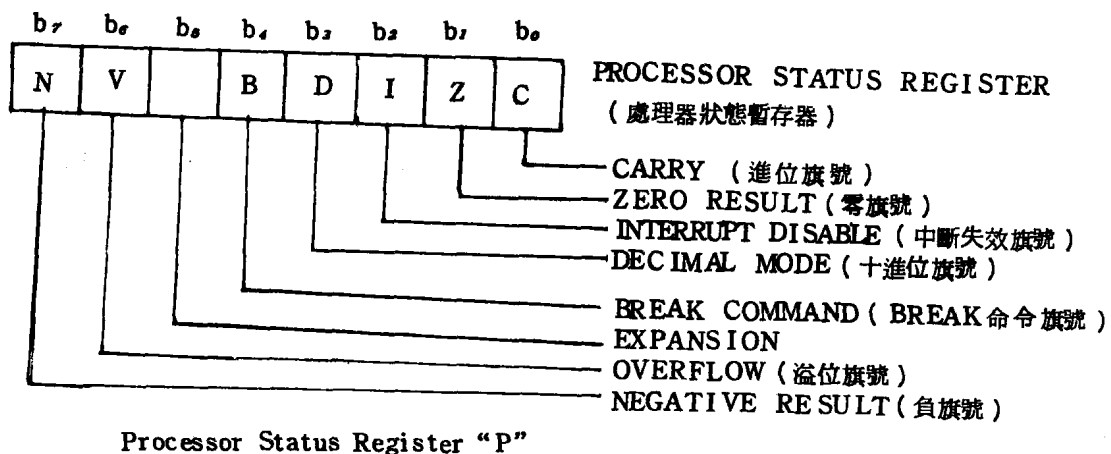
【圖 2-2】6502 CPU 暫存器簡化圖

1. 算術邏輯單元 (ALU)：主要功能是執行微處理器內部資料的算術和邏輯運算。加到 ALU 的運算資料可由兩方面輸入；一為累積器或程式計數器，一為暫存器或記憶體，ALU 即根據控制單元所發出的控制信號，將兩輸入資料行算術（加或減）或邏輯（OR 或 AND）處理，其結果則送至累積器去儲存，而累積器所儲存的資料可能是暫時的結果也可能是運算後的最後結果，故稱之為累積器。
2. 累積器 (A)：累積器的全名為累積暫存器，平時由外部資料線 (Data Bus) 所讀入的資料大都暫時存放於此，而欲運算時才由累積器取出加於 ALU 中運算，運算的結果亦存可存放於累積器中。
3. 程式計數器 (PC)：程式計數器為一 16 bit 的計數器，具有並入並出的功能，分為兩部分；一為高位址程式計數器 PCH，一為低位址程式計數器 PCL，程式計數器的內含即為程式執行的位址，亦即是用來儲存下一個要執行指令的位址，故

• 8 • 第二章 6502 CPU介紹

CPU執行程式時從該位址取出(讀)資料來執行。當CPU執行程式時程式計數器會如一般計數器一樣自動加1計數，故程式執行必然是依照次序由起始的位址開始往上執行。但有時候它可以行使並入動作，並入新的內含來當為新的程式執行起始位址。因它控制着程式的執行，故稱之為程式計數器(Program Counter)。

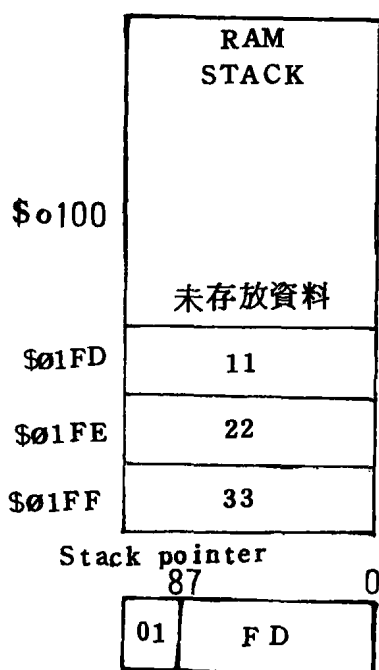
4. 處理器狀態暫存器(P)：狀態暫存器為一個8狀態位元的暫存器，其中每一個狀態位元則由一個正反器組成，以指示程式執行時處理器內部的一些狀態。如圖2-3所示每一個狀態我們稱為旗號(Flag)， B_7 為負數旗號， B_6 為溢位旗號， B_4 為強迫中斷旗號， B_3 為十進位旗號， B_2 中斷禁止旗號， B_1 為零旗號， B_0 為進位旗號，各旗號動作如下： B_7 ；當ALU運算結果是負數時 $B_7 = 1$ ，正數時 $B_7 = 0$ 。 B_6 ；ALU運算結果溢位時 $B_6 = 1$ ，沒有溢位時 $B_6 = 0$ 。 B_5 ；程式執行若有BRK指令則 $B_5 = 1$ ，否則 $B_5 = 0$ 。 B_3 ；ALU的運算若以十進位之算術運算則 $B_3 = 1$ ，否則 $B_3 = 0$ 。 B_2 ；若不允許中斷(Interrupt disable)則 $B_2 = 1$ ；允許中斷要求則 $B_2 = 0$ 。 B_1 ；ALU運算結果是零則 $B_1 = 1$ ，否則 $B_1 = 0$ 。 B_0 ；ALU運算結果有進位則 $B_0 = 1$ ，無進位值則 $B_0 = 0$ 。其中 B_5 不代表任何意義。故6502 CPU程式的執行，乃根據旗號暫存器的旗號狀態，來當為程式的控制。



【圖2-3】旗號暫存器

5. 堆疊指標器(Stack pointer SP)：6502 CPU所構成的微電腦電路，都會指定記憶體(RAM)中某一個特定區域為堆疊暫存器(Stack.)，而堆疊暫存器的最頂端的位址(RAM必有位址)則存於堆疊指標器中，由於記憶器的位址為16

個 bits，故堆疊指標器應有 16 bits 才能存放記憶器位址，但由於 6502 CPU 都定堆疊暫存器為 1 頁 (1 Page) 的記憶容量，而且僅在第 \$ 01 頁，故堆疊暫存器的記憶容量為 \$ 0100 ~ 01FF，亦即堆疊暫存器最頂端位址為 \$ 01FF，而最低端位址為 \$ 0100，故堆疊指標器僅存放堆疊暫存器位址之低位元組即可。當程式執行中有 PUSH 動作時 (如 P HA, P HP)，即將資料存入 S - 1 的位址，而後 $S \leftarrow S - 1$ ，亦即堆疊指標器減 1，而當程式執行中有 POP 動作時 (如 P LA, P LP)，即以 S 為位址，並將該位址內含讀出存放於暫存器中 (如 A, P)，同時 $S \leftarrow S + 1$ ，亦即堆疊指標器加 1。故堆疊指標器的內含減去 1 即為目前堆疊暫存器可存放的位址，而堆疊指標器的內含即為目前堆疊暫存器中可優先提出的位址，由於它屬於後存入者最先提出，故稱之為後入先出 (Last In First out)，稱之為 LIFO (如表 2-1)。



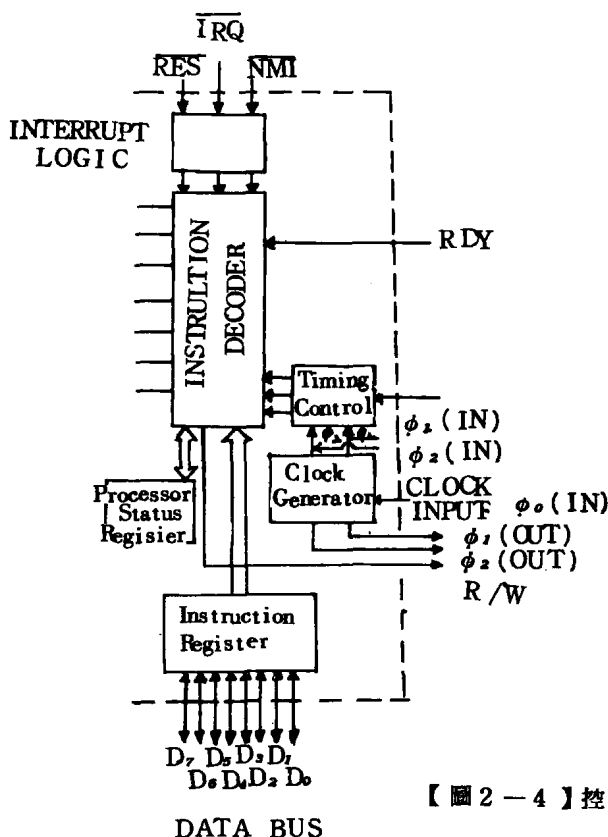
【表 2-1】

6. X 指標暫存器及 Y 指標暫存器：指標暫存器為一般暫存器中具有特殊用途之暫存器，它最大的功能乃在於指標定址法 (Index Addressing Mode) 中能夠以指標暫存器的內含當為位址線的低位元組，而當欲於某位址讀出或寫入資料時，我們祇要定出該位址與指標暫存器內含的位移 (Displacement)，即可找到此位址，如此可節省尋找的時間，並降低程式所佔有的記憶容量。其中 X 與 Y 是各自獨立的兩個指標暫存器，可單獨或混合使用於指標定位址法中。

7. 資料緩衝器 (Data Bus Buffer)：由 CPU 所送出的資料，或由外部讀入 CPU 的資料，皆須經由資料緩衝器來輸出或輸入，除了可以推動較多的負載外，兼具有隔離內部與外部資料線 (Data Bus) 之用。

2-4 控制區 (Control Section)

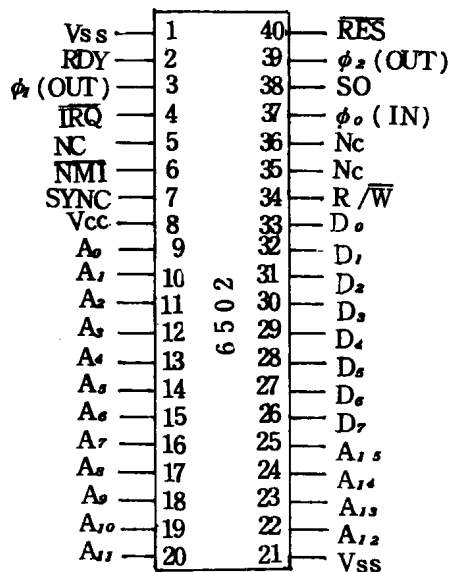
圖 2-4 為控制區結構電路，它包含下列幾部分：(a)時脈產生器 (Clock Generator)。(b)定時控制 (Timing Control)。(c)指令暫存器 (Instruction Register)。(d)指令解碼器 (Instruction decoder)。(e)中斷邏輯電路 (Interrupt Logic Ckt)。



【圖 2-4】控制區簡化圖

1. 時脈產生器 (Clock Generator)：CPU 外加時脈輸入由此電路輸入，並產生兩個時脈輸出；一為內部時脈輸出，二為外部時脈輸出。內部時脈輸出 ϕ_1 ϕ_2 輸入到定時控制電路 (Timing Control) 來控制指令解碼器作控制信號時用。外部時脈輸出 ϕ_1 ， ϕ_2 供給外部計憶器或 I/O 定時用。

2. 指令暫存器 (Instruction Register) : 當 CPU 於提取週期時即發出 $R/\overline{W} = 1$ 讀取信號，並將當時所讀到的資料認定為指令，即將此操作碼 (Op Code) 存入指令暫存器中，經指令暫存器所儲存的資料都是每一個指令的操作碼。
3. 指令解碼器 (Instruction Decoder) : 將指令暫存器的操作碼加到指令解碼器，指令解碼器為一組合邏輯，但它受定時控制器控制，於適當的時機發出解碼致能新信號，而後指令解碼器發出內部控制信號，於是內部資料線開始傳送資料，或是將資料線送出或是發出位址線。
4. 中斷邏輯電路 (Interrupt Logic Ckt) : 中斷邏輯電路一共輸入三種信號為 $\overline{IRQ}$ (中斷要求)， $\overline{RES}$ (複置)， $\overline{NMI}$ (不可遮罩的中斷)。當 Reset 動作開始時，此中斷邏輯電路即發出控制信號給指令解碼器，指令解碼即控制程式計數器作並入的動作，而並入的資料乃 $PC = (\$FFFD)(\$FFFC) = \$FA62$ ，故程式由 $PC = \$FA62$ 開始執行。當 $\overline{IRQ}$ 信號輸入時，中斷邏輯電路即發出中斷的控制信號給指令解碼器，而指令解碼器即根據當時旗號暫存器的情況來判定中斷是否被接受，若 CPU 不接受中斷要求，指令解碼器正常發出控制信號，若中斷要求被認知時，指令解碼器即發出中斷認知後的一切控制信號 (參考下節)。於 $\overline{NMI}$ 時中斷電路立即發出中斷要求，並控制解碼器，而發出中斷認知後的動作 (參考下節)。



【圖 2-5】CPU 接腳圖

2-5 6502 CPU接脚功能說明

圖 2-5 為 6502 CPU 接脚圖，各接脚作用說明如下：

1. 位址匯流排 (Address Bus) : $A_0 \sim A_{16}$ 是由 16 條線所組成，利用此 16 條位址線 CPU 可選址 $2^{16} = 65536 = 64 \text{ K bytes}$ 的記憶容量，在這些 64 K 位址的記憶中可包含記憶器 (ROM, RAM) 及輸入/輸出裝置 (I/O Device)。位址匯流排僅傳送由 CPU 送出的位址信號，所以是單向的。
2. 資料匯流排 (Data Bus) : $D_0 \sim D_7$ 是由 8 條線所組成，用以負責執行處理器和記憶器間指令和資料的傳送。由於 CPU 可以將資料由此匯流排輸出 (Write) 或將資料由此匯流排輸入 (Read)，故這種資料的傳送是雙向的，因此這個資料匯流排必須是雙向三態邏輯的裝置。
3. 電源輸入端 : V_{cc} (Pin 8) 及 V_{ss} (Pin 1 及 Pin 21) 分別為 +5 V 及 GND，故 6502 CPU 採用單電源 +5 V 的電源穩壓供應器。
4. 時脈輸入端 ($\phi_0 \text{ IN}$) : 6502 CPU 外加輸入的時脈端稱為 $\phi_0 \text{ IN}$ ，由此端輸入的時脈最高頻率限定在 1 MHz，此時脈頻率乃一般 6502 CPU 所構成微電腦系統經常用的頻率，時脈的佔空比 (Duty Cycle) 必須為 50%，此輸入的時脈信號為處理器執行程式的定時總控制脈波。
5. 時脈輸出端 ($\phi_2 \text{ out}$) : 此時脈輸出端乃由時脈輸入端經由時脈產生器而後輸出一個時脈，其頻率及相位與時脈輸入相等。 $\phi_2 \text{ out} = \phi_0 \text{ In}$ ，此接脚配合 CPU 發出的位址線與資料線來與記憶器或 I/O 裝置定時之用。
6. 時脈輸出端 ($\phi_1 \text{ out}$) : 此時脈輸出端乃與 $\phi_0 \text{ In}$ 相位相反而頻率相同的輸出時脈，亦即 $\phi_1 \text{ out} = \phi_0 \text{ In}$ ，與 $\phi_2 \text{ out}$ 配合作定時傳送位址線與資料線用。
7. 讀寫控制線 ($R/\overline{W}$) : 用以控制處理器和記憶器或界面裝置資料傳送的方向。當 $R/\overline{W} = H$ 時處理器是由記憶器或界面裝置讀取資料，亦即資料是送入處理器。當 $R/\overline{W} = L$ 時資料則由處理器輸出到記憶器或界面裝置，亦即寫入記憶器或界面裝置。
8. 復置輸入端 (RESET) : CPU 於正常工作時 RESET 端是處於高電位 ($\text{RESET} = H$) 狀態。當此端腳為低電位時 ($\text{RESET} = L$)，CPU 執行復置動作，並於 $\text{RESET} = H$ 時將位址 \$FFFF 的內含置入程式計數器高位元組中，亦即 $\text{PCH} = (\$FFFF)$ ，而將位址 \$FFFC 的內含置入程式計數器低位元組中

，亦即 $PCL = (\$FFFC)$ ，因而程式即由 PCH 及 PCL 開始執行處理器開機後的一切工作（於 $APPLE II$ 監督程式中 $(\$FFFD) = \FA ， $(\$FFFC) = \62 ，故 $RESET$ 之後由 $\$FA62$ 執行 $RESET$ 後一切工作）。上述中 $RESET = L$ 的方法有兩種方式：(一)電源打開時瞬間低電位後又回到高電位（Power on Reset）。(二)外加控制線使 $RESET$ 端瞬間低電位後又回到高電位。（記憶位址分配參考表 2-2）。

9. 中斷要求（ IRQ ）：此輸入端與週邊裝置輸出線相連接。當週邊裝置未要求中斷時， CPU 處於正常操作情況時，此輸入端處於高電位（ $\overline{IRQ} = H$ ）。而當週邊裝置發出要求 CPU 中斷目前執行的程式而去執行中斷的程式（Interrupt Service Routine）時，此輸入端即處於低電位（ $\overline{IRQ} = L$ ）。此中斷的要求是否會為 CPU 所接受，須由處理器狀態暫存器（或稱旗號暫存器 Flag Register）的 B_2 ，中斷禁止旗號的狀態來決定：

(a) $B_2 = 1$ ，中斷要求失效，亦即 CPU 不理會中斷的要求。

(b) $B_2 = 0$ ，處理器接受中斷的要求的信號（ $IRQ = L$ 被接受）後，並將狀態暫存器中斷禁止旗號 B_2 設定為 1 以防止中斷副程式未完成以前又接受其它週邊裝置的中斷要求，而後將原執行程式的下一位址置於 $Stack$ 中，而後再執行中斷副程式，即將 PC 並入新的內容 $PC = (\$FFF)(\$FFFE) = \$FA40$ ，由 $PC = \$FA40$ 執行程式。因禁止中斷旗號可由軟體來控制，故 IRQ 屬於可遮罩的中斷（maskable interrupt）。（記憶位址分配參考表 2-2）。

10. 不可遮罩的中斷（ NMI ）：此中斷輸入端於正常時處於高電位（ $\overline{NMI} = H$ ），而當要求中斷時 $\overline{NMI} = L$ 。此腳與 IRQ 之主要不同是只要它一有信號進來（ $NMI = 0$ ）則 CPU 將無條件受其中斷，因此處理器無法以軟體來使這個中斷失效，所以 NMI 被稱之為不可遮罩的中斷（Nonmaskable Interrupt），此時 $PC = (\$FFF)(\$FFFA) = \$\phi 3FB$ ，由 $PC = \$\phi 3FB$ 執行中斷副程式。（記憶位址分配參考表 2-2）。

11. 備妥線 Ready（ RDY ）（ $WAIT$ ）：週邊裝置可利用備妥線來控制 CPU 延遲其提取週期（Fetch Cycle）的執行，如此可使處理器與較慢速的週邊裝置同步（如記憶器或 I/O ），而不致產生錯誤的動作。當週邊裝置欲送資料予 CPU 時，由於速度較慢，因此無法及時交給 CPU ，故先發出 $RDY = L$ ，當處理器發覺 $RDY = L$ 時， CPU 不向週邊裝置讀取資料，而當週邊裝置將資料送到資料

• 14 • 第二章 6502 CPU介紹

匯流排 (Data Bus) 時，發出 $R D Y = H$ ，亦即資料備妥，CPU 接受此控制信號，才執行提取週期，但有一點要注意的是 $R D Y$ 僅在 CPU 行使讀取動作時才有效。

12. 同步 (SYNC)：此同步信號輸出端乃在指示目前處理器處於那一個週期，於提取週期時 $S Y N C = H$ ，而於執行週期時 $S Y N C = L$ 。故可以 SYNC 來控制 $R D Y$ 行使單一指令的操作。

13. 設定溢位 Set Over flow (SO)：這個輸出接腳僅在有其它 I/O 裝置要擴接時使用，或使用者程式會影響到溢位旗號 (Overflow flag) 時用。

R A M	
位址	記憶內含
\$FFFA	NMI—L FB
\$FFFB	NMI—H 03
\$FFFC	RES—L 62
\$FFFD	RES—H FA
\$FFFE	IRQ—L 40
\$FFFF	IRQ—H FA

【表 2-2】

2-6 指令週期

微處理器於執行程式皆由時脈輸入來控制程式的進行，一個程式可由一個或無限個指令 (Instruction) 構成，而指令的構成則由一連串的邏輯狀態所組成 (1 或 0)，一個指令可能占有 2 個位元組 (2 Bytes) 或 3 個位元組 (3 Bytes)。它包含兩大部分：(一) 操作碼 (opcode)。 (二) 運算元 (operand)，操作碼佔有 1 Byte，而運算元可能為 1 個 Byte，亦可能為 2 個 Bytes，若運算元佔有 2 個 Bytes，則低位元組為 operand 1，高位元組為 operand 2，如下所示