

内 部

“748”会议资料选编

元 器 件 部 分

中国人民解放军八九九二〇部队

一 九 七 五 年 四 月

出 版 说 明

在批林批孔运动普及、深入、持久发展的大好革命形势下，经国务院、中央军委批准，中国科学院、四机部、国防科委于一九七四年九月二日至十八日，在北京召开了“电子计算机技术经验交流会”（代号为“748会议”）。

根据与会同志的建议，经会议领导小组研究决定，将十个专业组（总体运控、计算数学、程序系统、内存贮器、工艺结构、外部设备、电源、元器件、模拟计算机、工业控制及数据处理）的技术资料，分别整理选编成册，供参考。如有错误和不妥之处，希批评指正。

“748”会议秘书处

目 录

高速 ECL 电路的设计和试用情况	(1)
发射极耦合逻辑 D型触发器的研制	(18)
双极型中规模集成电路新品介绍	(25)
注入逻辑式24位静态多相移位寄存器	(31)
WB712 集 成 稳 压 器 设 计	(34)
玻璃半导体主读存贮器的研究	(40)
氮化硅钝化提高器件可靠性	(45)
Al_2O_3 膜对平面器件的保护作用	(50)
可靠性试验概况	(56)

高速ECL电路的设计和试用情况

一九七〇年,我们与上海冶金所、上海玩具十五厂协作,共同设计、试制了一套ECL电路(包括:单门、双门——两级门、R-S触发器、驱动器、参考源、晶体发光二极管驱动线路以及电平转换电路——ECL→TTL、TTL→ECL)。为使这套电路能保证整机的稳定性,我们进行了一定规模的试验和试用,对部分失效组件作了一些初步分析研究。本文仅就我们三年来的实际工作情况,就线路设计和试用情况二个方面作一概括介绍。

一、线路设计

这套电路是为一部大型高速数字电子计算机试制的。采用ECL电路的缘由是:首先,机器对其电路系统提出了传输延迟为4毫微秒的速度要求。这在当时来讲,还只有ECL电路比较容易达到这个要求。采取肖特基二极管抗饱和的TTL电路虽然可以达到这个要求,但当时在国内尚处于研制阶段,难以满足工作上的急迫要求,这就决定了采用ECL电路的前提。其次,ECL电路对TTL电路来讲,一个比较显著的优点是,它可以用比较差的边沿获得比较快的速度。例如,传输延迟为4微秒的ECL电路,其上升边沿约为3毫微秒,而同样传输延迟的TTL电路,其上升边沿将可能快至1毫微秒。这一点,在目前电路集成度和组装密度不高的情况下,显得较重要。因为,这有利于在整机系统中解决传输匹配问题。另外,一般ECL电路可采用并联终端匹配,波形较好。ECL电路具有双向输出,在长距离传送中,还可采用双向传送。

在生产方面,与同水平的TTL比较,工艺上较易于实现,产品的动态参数一致性也较好。

诚然,ECL电路也存在一些缺点,如功耗较大,抗外界干扰能力较低,等等。进行电路设计的目的,就是如何努力发挥其优点,克服或弥补其缺点,使之满足整机系统要求。下面就设计这套ECL电路的基本思想,电路的选型和特点以及典型参数的选择等三方面作一简介。

(一) 电路设计的基本思想

首先是可靠性第一的思想。作为ECL电路设计的两个主要的可靠性措施,就是如何在保证速度指标的情况下,尽可能地降低电路功耗以及适当地提高逻辑幅度。对于前者,大家知道,功耗与温度成线性关系,而温度与电路的失效率则成指数关系。因此,降低功耗对提高电路的可靠性有着明显的意义。作为最初的一个设计目标,是将电路功耗从初定指标100毫瓦降到60毫瓦左右(单门),使之与功耗最大的TTL电路接近。对于后者,是将电路的逻辑幅度从800毫伏增大到900毫伏,从而提高电路抗干扰度。

其次是电路形式要方便灵活,电路种类要配套齐全,以便于逻辑设计和工程设计。作为电路生产单位来说,为便于生产,总是希望电路种类少一些,但作为使用单位,为了便于使用,则希望多一些。二者经常会发生一些矛盾,对此要有一个正确的认识和处理。我们认

为, 作为逻辑设计和工程设计所必须的基本电路, 应该配套齐全, 否则就难于进行逻辑设计和工程设计, 并会导致电路用量的增加和整机系统的庞大, 甚至会影响整机的技术指标和稳定性能。但是, 对一些使用数量不大的电路, 特别是一些专用电路, 在目前生产条件下则应尽可能减少, 以便集中全力, 研制和生产好主要电路。在集成电路进一步发展后, 再研制一些专用电路, 也是需要的。

此外, 在进行电路设计时, 必须为生产着想, 给生产留有较充分的余地。这就要求有合理的电路参数, 允许有一定的元件容差等, 不可把一些参数设计在边缘状态, 而对工艺提出苛刻要求。

(二) 基本的电路形式和特点。

在研究比较了美帝 Motorola 公司的 ECLI、ECL II (ECL III、ECL IV 当时还未见到正式产品), RCA 公司的 EECL 以及 IBM 公司的“先进固体逻辑电路”等几种电路以后, 提出了如图1-1所示的基本电路形式。

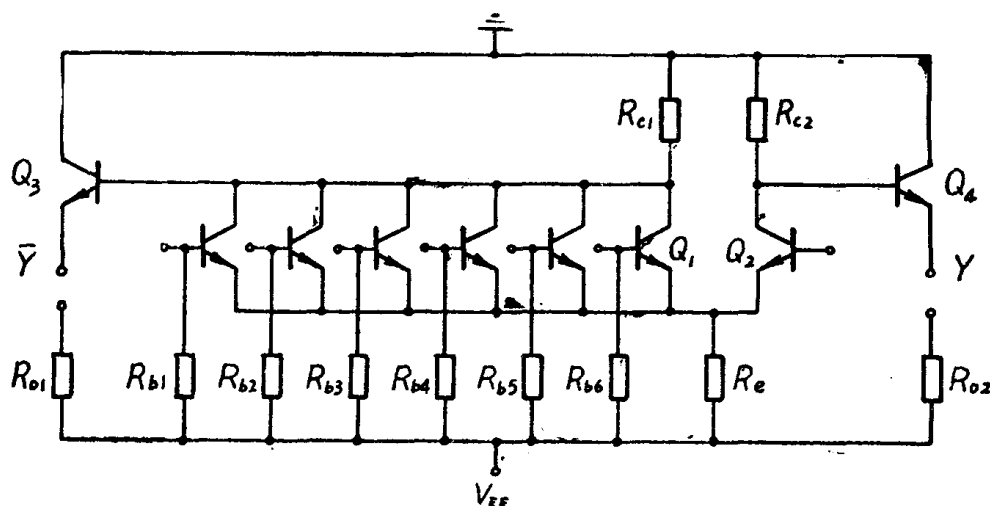


图1-1 基本电路形式

有如下特点:

1. 输出端与输出电阻(R_{o1} 、 R_{o2})断开。好处是: 允许多个“门”的输出端并联, 可以构成各种“线连逻辑”; 在已加匹配电阻、或重负载、及输出端不用等几种情况下, 输出电阻可以不接, 这样可节省功耗。
2. 每个输入端都附有一基极电阻 R_b 。 R_b 的引入, 解决了由于基极悬空造成的 I_{co} 成 $(1+\beta)$ 倍增加的问题和“低频效应”问题。 R_b 还作为负载电阻的一部分, 相当于把输出电阻的一部分移到输入端, 因而, 可以节省一部分功耗。
3. 参考电平采取外接形式, 适合于目前的生产情况, 有利于提高成品率, 对使用也不会造成很大困难。
4. 管脚排列形式和逻辑框图 (见图1-2) 的形式一致, 便于逻辑设计和工程设计。

(三) 典型电路参数的选择

选择合理的电路参数是保证电路性能的重要环节。欲获得较好的电路性能, 必须在选择参数时, 全面考虑、合理处置各相关因素中的各种矛盾, 例如, 功耗与速度的矛盾, 速度与抗干扰度的矛盾等等。下面就几个主要参数的选择作一简介。

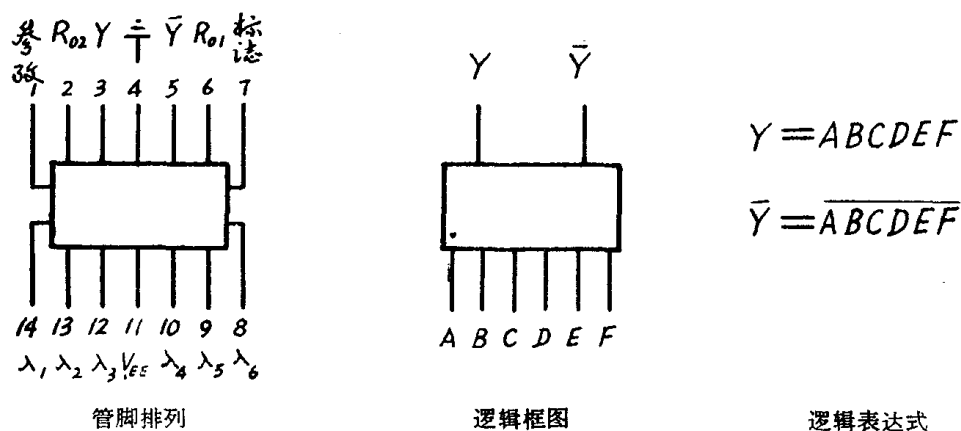


图 1—2 管脚排列、逻辑框图和逻辑表达式

1. 发射极电流 I_e 的选择

ECL电路比TTL电路速度快的原因，主要是由于 ECL 电路工作在线性区域，因而能较充分地发挥晶体管的性能。从附录 1 所列公式中可以看出，共射极电流放大系数 β 对静态参数，特别是对输出高电平有明显影响，而截止频率 f 则对传输时间有明显影响，二者又直接与 I_e 有关（如图 1—3 所示）。此外， I_e 对转换区宽度有影响，与功耗成线性正比关系。所以， I_e 的选择十分重要，必须把静态电平、传输时间、转换区宽度以及功耗等诸因素加以综合考虑，合理选择。

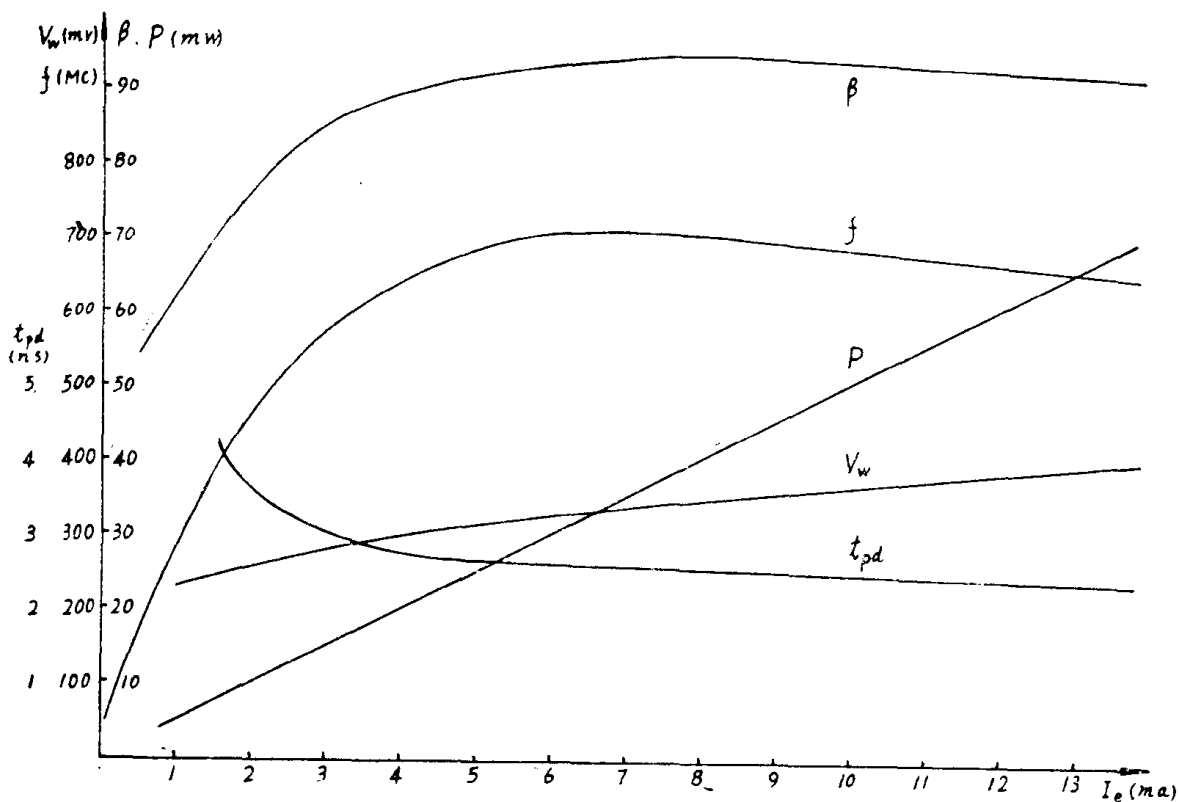


图 (1—3) 发射极电流 I_e 对各参数的影响 I_e 值选择比较

由图1—3看出, 从 β 、 f 和 t_{pd} 来看, I_e 的最佳点在 5 毫安左右。但是, 为了尽可能地节省功率和缩小转换区宽度, 把 I_e 选在 3.5 毫安左右是适宜的。虽然, 在 I_e 为 3.5 毫安时, f 和 β 都还没有达到最大值, 但对传输时间和静电平已经影响不大。表 1—1 列出两种 I_e 值的选择比较, 可见选择 $I_e = 3.5$ 毫安较之 $I_e = 5$ 毫安有利。

表 (1—1)

发射极电流 I_e	传输时间 t_{pd}	功 耗 P	优质系数 ($t_{pd} \times P$)	转换区宽度 V_w
3.5 毫安	3.85 毫微秒	17.5 毫瓦	66	290 毫伏
5 毫安	3.65 毫微秒	25 毫瓦	91	315 毫伏

2. 逻辑幅度 U_L 的选择

ECL 电路的 U_L 较小, 一般典型值只有 800 毫伏, 所以, 经常引起人们对它的抗干扰度的担心。在分析了如图 1—4 所示的最坏情况后, 可见这种担心不是没有理由的。因此, 提出增大逻辑幅度和提高抗干扰能力的要求, 但是, U_L 的增大受着许多条件的限制, 首先, 从附录 1 的公式 (6) 可以看到, U_L 的增大, 转换区 V_w 也会有所增大, 这是与提高抗干扰度

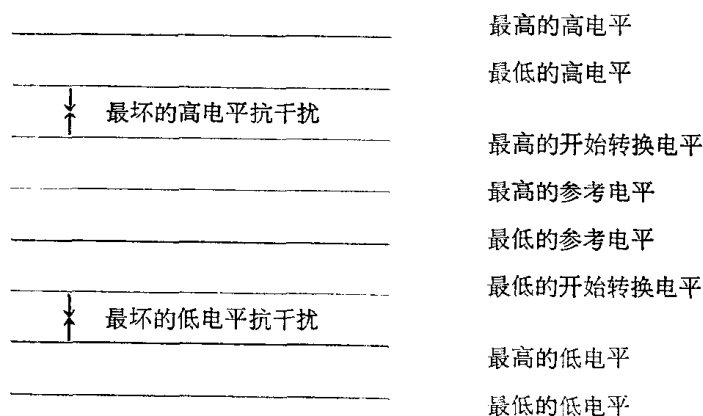


图 1—4 考虑抗干扰度的最坏情况

的愿望相违背的; 其次, 在 I_e 选定的情况下, 要增大 U_L 就要求增大 R_{c1} , 而从附录 1 的公式 (5) 中看到, R_{c1} 增大, 则反相端输出低电平随输入低电平变化的斜率 l 也要增大, 这也是不希望的; 最后, U_L 的增大还受输入晶体管进入饱和的限制, 对传输速度也有影响。经权衡这些利弊后, 把 U_L 的典型值从 800 毫伏增到 900 毫伏。计算所得结果是: 转换区增加约 5 毫伏, 反相端低电平斜率增加 0.03, 抗干扰度高电平增加约 22 毫伏, 低电平增加约 68 毫伏 (这是假定将参考电平从 -1.175 伏降至 -1.2 伏所得的计算结果)。实验证明, 对传输时间影响不大。

对于反相端进入饱和的问题进行了实验 (实验方法是相当于一个输入电压 V_{in} , 改变 R_{c1} , 使 Q_1 刚好进入饱和, 测此时之输出电压 V_{os}), 结果如图 1—5 所示。实际最高的高电平可达 0.65 伏, 以此作为输入电压, 由图 1—5 可查得相应于此输入电压的反相端输出饱和电压为 2.1 伏, 而实际最低的低电平约为 1.85 伏, 离饱和点还有相当距离, 因此, 不会进入饱和。

3. 输出电阻 R_o 和输入电阻 R_i 的选择

由于 R_i 是作为负载电阻的一部分, 所以把它和 R_o 一起考虑。对于 R_o 着重考虑空载和负

载时的电平变化；重负载或轻负载时的上升、下降——主要是下降边沿的影响；以及功率消耗等。而对于 R_b 则主要考虑功率消耗；所占硅片面积和增加的寄生电容；以及在重负载时对驱动电平的影响等。

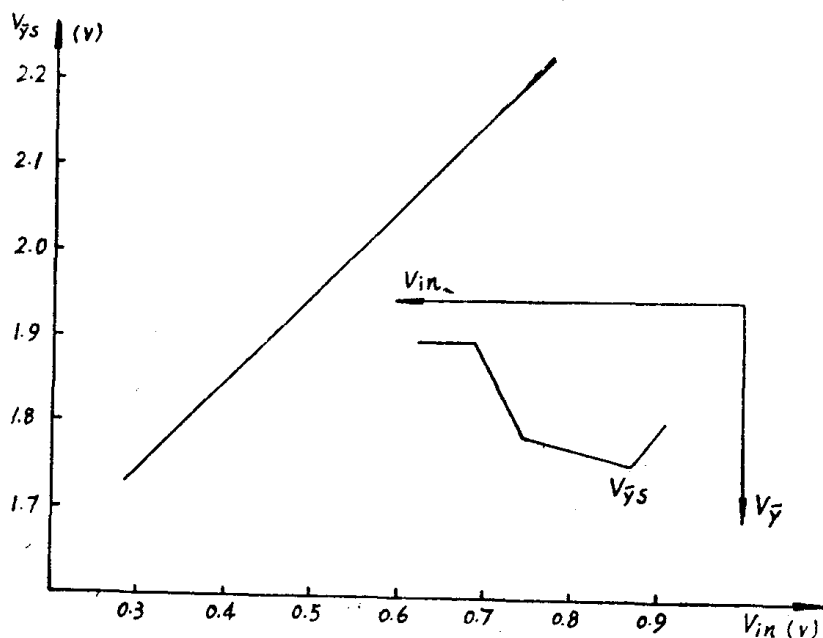


图1—5 反相端输出饱和电压 V_{ys} 与输入电压 V_{in} 的关系

射极跟随器输出电平的变化，主要是由于 $e-b$ 结压降 V_{be} 的变化所引起的，由图1—6可知， V_{be} 与 I_e 有关，所以 R_b 的选择应使由 R_b 决定的 I_e 不要落在 V_{be} 明显变化的部分，以致引起输出电平随负载情况的明显变化。

输出电阻 R_o 对输出波形的上升边沿 t_r 影响较小，而对下降边沿 t_f 影响较大，特别是在负载电容 C_L 较大，射极跟随器产生“动态截止”后，输出波形的下降边沿则主要取决于 $R_o C_L$ 时间常数。

以上两个因素的考虑，都限制了 R_b 不能选得太大。作为使 R_b 不能选得太小的原因是功耗问题。在ECL电路中，射极跟随器所消耗的功率往往占了不相称的比重。为改善这种状况，这里采用EECL节省功耗的办法，将输出电阻的一部分转移到输入端，这样不仅节省了一部分功耗，同时解决了输入晶体管基极悬空所产生的问题。图1—7中比较了在等效输出电阻值相同的情况，负载电阻分散或集中所引起的下降边沿的差别。在图1—7中，分别表示了集中负载“门”（负载电阻都集中在驱动“门”输出端，负载“门”的输入端 R_b 悬空）和分散负载“门”（每个负载“门”输入端都接有 R_b ，作为负载电阻的一部分）输出端下降边沿随负载数的变化，以及在10个负载下，各负载“门”输入端下降边沿随负载位置（每个负载“门”间距为2厘米）的变化。由图1—7可见，由于负载分散的结果，使得空载和有负载的边沿的差别减小，也还可使沿负载线各点的波形变好。

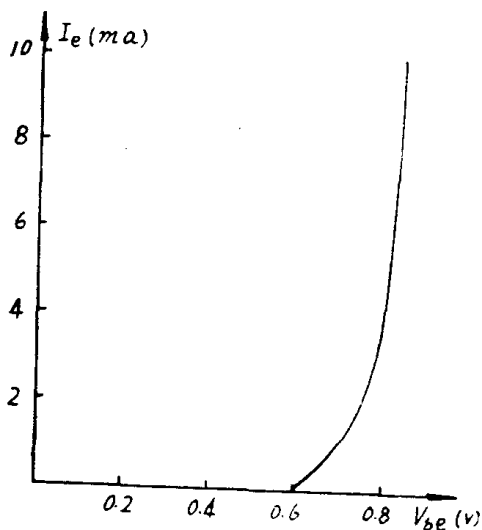


图1—6 发射极电流 I_e 与 $e-b$ 结压降 V_{be} 的关系

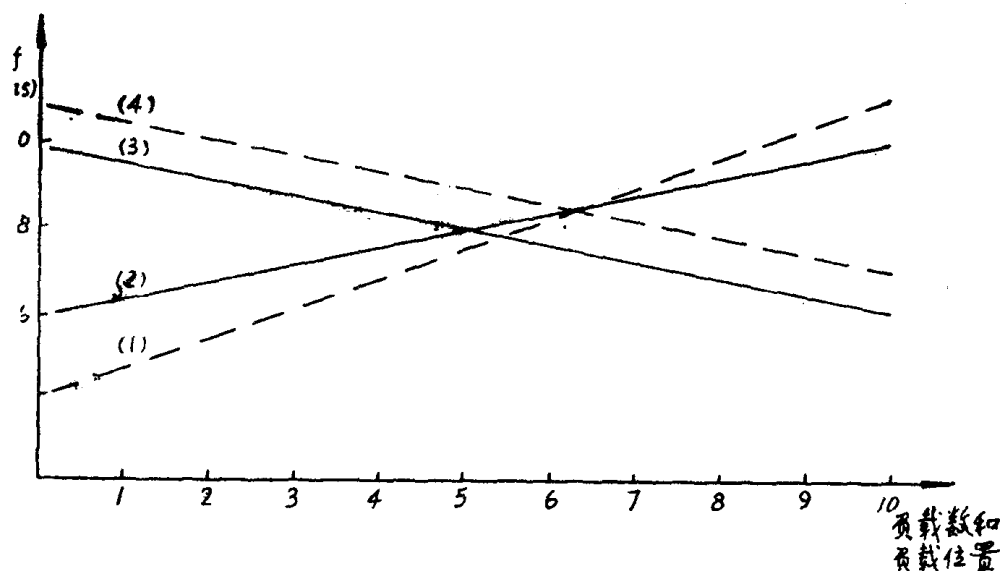


图1-7 下降边沿 t_f 随负载数和负载位置的变化
实线——分散负载，虚线——集中负载。

(1)、(2)—— t_f 随负载数的变化。
(3)、(4)——在10个负载下， t_f 随负载位置的变化。

由 R_b 所引起的分布电容是极小的，这可通过线路延迟测量比较而得到证明。由于实际电路产品的电平不可能完全一致，所以，由于 R_b 所引起的电平变化，可以通过电平分档使用（即负载能力好的推重负载，负载能力差的推轻负载）而得到一定的补偿，从而使整机电平基本一致，并提高了电平（主要是高电平）的合格率。

最后，我们选定的各元件参数如下：

$$R_{c1}=240\Omega \quad R_{c2}=260\Omega \quad R_e=910\Omega$$

$$R_{o1}=R_{o2}=1.5K \quad R_b=6K \quad V_F=-1.2V \quad V_{EE}=-5V$$

各电阻值绝对误差允许 $\pm 20\%$ ， R_{c1} 、 R_{c2} 与 R_e 的相对误差为 $\pm 2.5\%$ ， $-5V$ 允许 $\pm 5\%$ ， $-1.2V$ 允许 $\pm 25mV$ 。

典型的技术指标如下：

逻辑高电平 $-0.80V$

逻辑低电平 $-1.70V$

传输时间 $4ns$

功率消耗 $60mW$

特性曲线见图 (1-8) —— (1-11)

定型的电路及其主要指标见附录 (2)。

通过初步试用，感到这套电路在设计上还存在不少缺点，如：输出电阻选择偏大了一些；输入电阻的选择偏小了一些；驱动器考虑实际管壳功耗的限制和推长线的影响不够，实际负载能力低于设计要求；此外，电路的种类还可增加一、二种，可能更切合实际使用，等等。

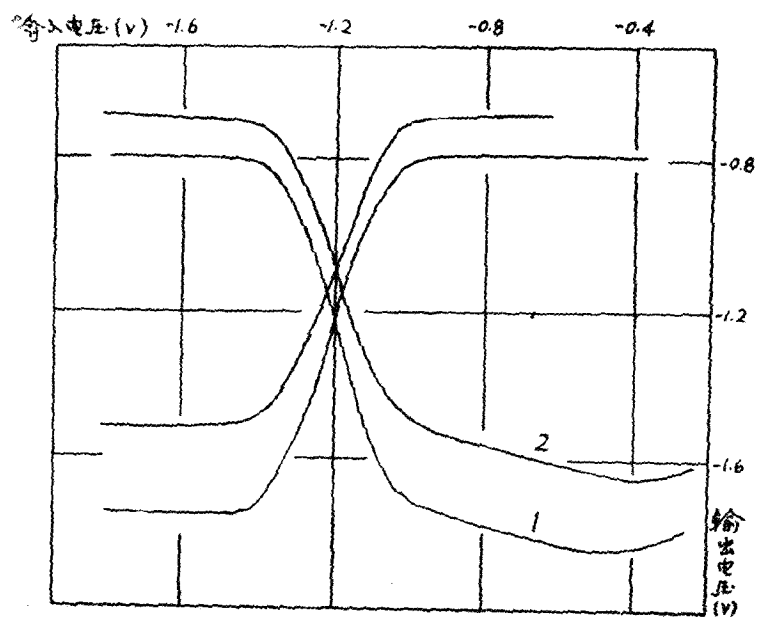


图1-8 输入—输出特性

1. $V_{EE} = -5.25\text{V}$ 满载 $V_F = -1.2\text{V}$ 环境温度 10°C
2. $V_{EE} = -4.75\text{V}$ 空载 $V_F = -1.2\text{V}$ 环境温度 80°C

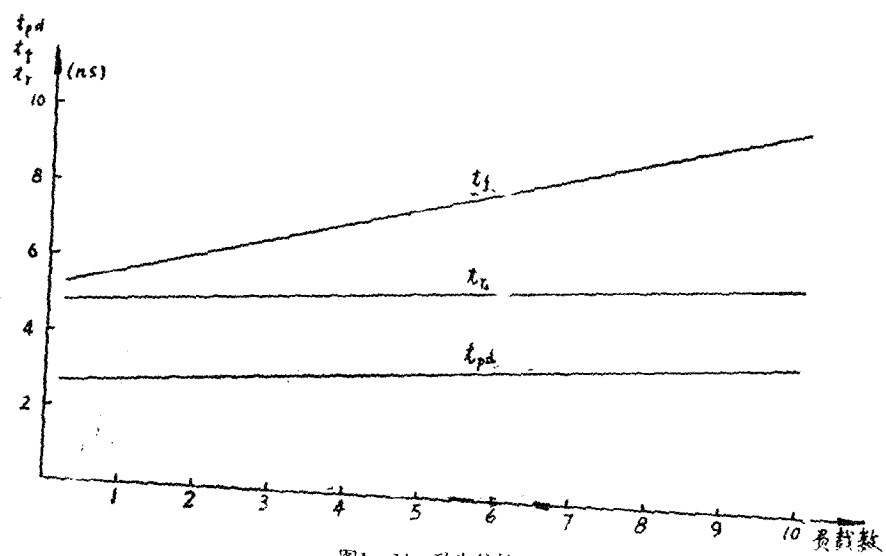


图1-11 动态特性

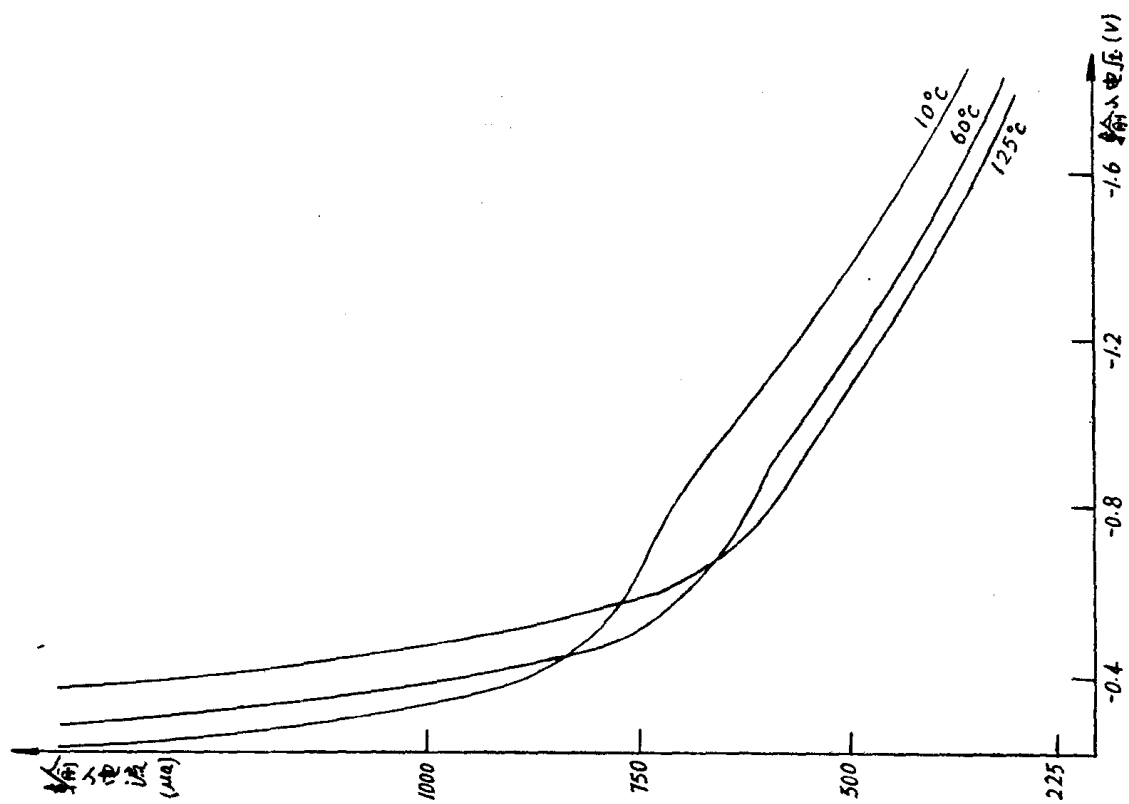


图1—9 输入特性

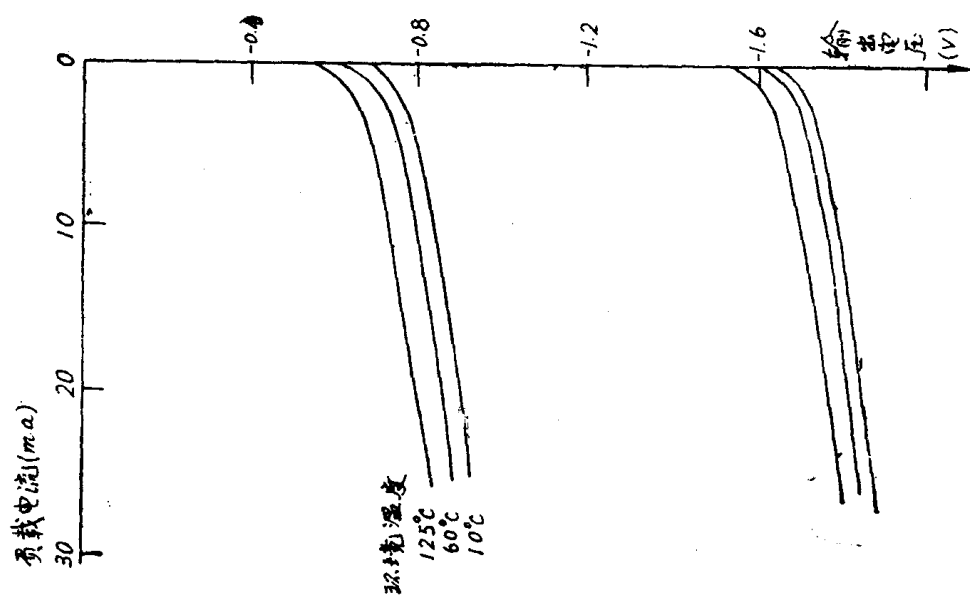


图1—10 输出特性

二、试 用 情 况

三年来,对已生产出来的 ECL 组件(大部分是七〇年和七一年生产的)进行一系列的试验,如线路试验,可靠性试验(包括各种例行试验和两次现场试验)。并试制了一些小型的机器和设备。关于线路试验已有另文介绍,这里主要介绍一下电性能和可靠性的试用情况。

(一) 电性能和试用情况

各种试用的情况表明,组件的电气性能较好,可满足整机要求, ECL 组件对逻辑设计和工程设计的一些优越性初步得到证实。

在第一次现场试验中测得的几种主要组件的平均传输时间如下:

单门的平均传输时间	3.6毫微秒
双门的平均传输时间	3.7毫微秒
两级门的平均传输时间	5.3毫微秒
R-S触发器传输时间	6 毫微秒
驱 动 器	6 毫微秒

在第二次现场试验测得的高电平、低电平、参考电平的分布如图2-1。图中“板内”系指该组件的输出在印制板之内,“板外”系指该组件的输出在该印制板,因而终端需加匹配电阻(120Ω)。

在第一次现场试验中,组件用的-5伏电源可变化10%。参考电平用的-5伏电源,一般能从-4伏变到-6伏。在第二次现场试验中,由于用的组件数目较少(只有2283块),而且逻辑结构比较简单,参考电平用的-5伏电源能从-3.4伏变到-6.4伏(相应于参考电平从-0.9伏变到-1.48伏),电源变化有一定裕量,可以保证机器正常运行。

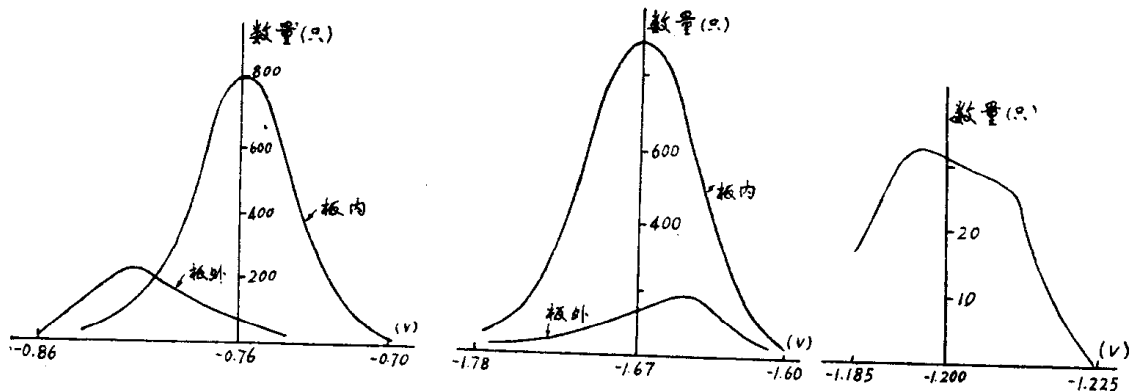


图2-1a 高电平分布图

图2-1b 低电平分布图

图2-1c 参考电平分布图

(二) 可靠性试验

所有组件在出厂前一般都经过高温存贮($+150^{\circ}\text{C} \pm 5^{\circ}\text{C}$, 100小时),高温功率老化(满负载,输入5兆周脉冲讯号, $+85^{\circ}\text{C} \pm 5^{\circ}\text{C}$, 24小时),以及常温存贮(存放一个月)等三项筛选,而后测试电参数,剔除不合格电路。

为进一步考查产品质量,确保整机可靠性,取得必要的可靠性数据,我们对已取回的产品,除进行电参数复测外,还进行了一些筛选试验和两次比较大的现场试验,现分别叙述如下:

1 筛选试验

1) 对七一年以前生产的组件试验情况见表 (2-1)。

表 (2-1) 七一年以前生产的 ECL 组件试验情况

试验项目	试样总数 (只)	试 验 次 数	平均淘汰率 (%)	备 注
高温存贮	1010	7	6.4	条件: $+140^{\circ}\text{C}$, 100小时
高低温冲击	1030	17	16.5	1. 各次试验的冲击次数不同。 2. 冲击条件: 低温 ($-40^{\circ}\text{C} \sim -10^{\circ}\text{C}$) 半小时, 高温 ($+100^{\circ}\text{C} \sim +125^{\circ}\text{C}$) 半小时, 交换时间小于一分钟。
高低温循环	100	1	18	条件: -40°C (半小时) — 室温 (半小时) — $+125^{\circ}\text{C}$ (半小时)
低温存贮	100	1	2	条件: -40°C 存半小时。
输出管反向电阻测试			20~30	500型电表, $\times 1\text{K}$ 档测量, $\geq 500\text{K}$ 为合格

通过试验, 反映出组件的主要问题是: (1) 淘汰率较高。这部分组件上机前估计得淘汰 50% 左右。其中, 自然存放淘汰 2~3%, 参数出格淘汰 5%, 高温存贮淘汰 5%, 高低温冲击淘汰 16%, 以及输出反向电阻值低淘汰 25%。(2) 一致性较差。同一试验, 不同批量试样淘汰率差别较大, 如表 (2-1) 中高温存贮一项, 有的一次试验无损坏, 有的一次试验就淘汰 12.7%。

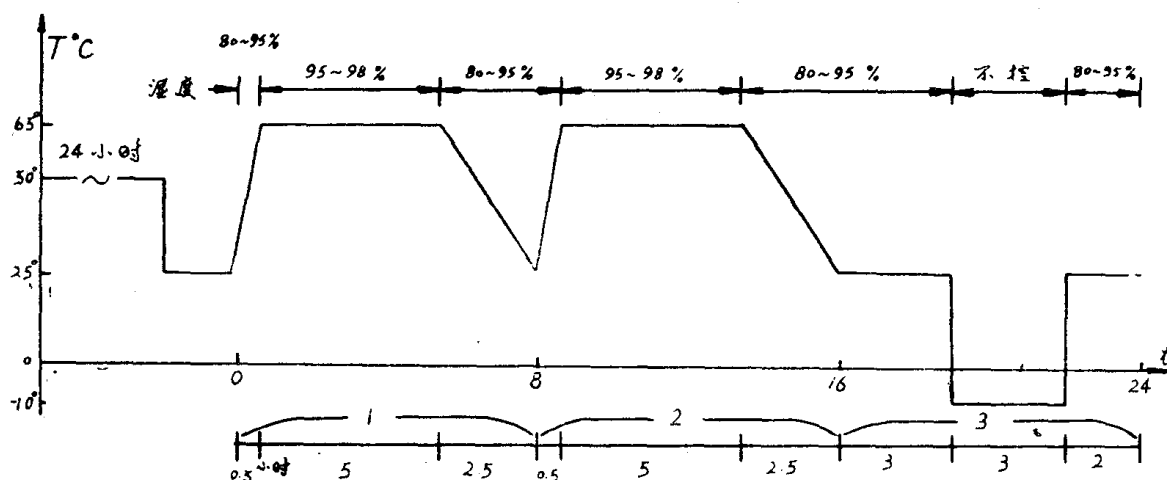
2) 根据对七一年以前生产的组件的失效分析, 其失效机构主要是: 铝膜质量差, 表面沾污, 键合不良, 管芯特性不好, 以及管壳漏气等。首先发现的是大量的表面沾污和铝膜问题。据不完全统计, 大部分组件都有不同程度的表面沾污 (这里所指的表面沾污不是氧化层内的钠离子等的沾污, 而是指氧化层和铝膜表面上的, 用显微镜就可以看见的表面沾污)。而有不同程度的铝膜问题 (如划伤、缺损、毛刺、腐蚀等) 者约占 45%。这是初期生产的组件的主要问题之一。这主要是由于环境卫生程度不高, 以及操作不慎等造成的。问题反映到生产厂后, 生产厂采取了一些提高卫生等级和严格工艺操作的措施, 同时增加了显微镜目测检查与测输出管反向电阻两项具体措施, 来控制产品质量。对增加这些措施以后生产出的组件与原来的组件作了对比试验。试验方法是从我们的具体情况和条件出发, 参照 MIL-STD-883 中有关筛选和质量检查的标准, 选择三组项目进行。试验结果见表 (2-2)。

通过对比试验表明, 由于采取了“镜检”与测输出反向电阻的措施, 组件的质量有了较明显的提高, 特别是在温度循环与抗潮方面尤为明显。对 24 只失效的新组件进行解剖, 只发现有 2 只铝膜缺陷, 约占 8%, 比原占 45% 大为降低, 可见镜检是一项行之有效的筛选方法。

表 (2—2)

新、旧 ECL 组件对比试验

组 号	试验名称	试样数 (只)		失效情况及数量(只)																失效总数 (只)		试 验 条 件
				完全损坏		输入坏		输出坏		参数出格		输出反阻低		机械外断		参考漏电		失效小计				
		旧	新	旧	新	旧	新	旧	新	旧	新	旧	新	旧	新	旧	新	旧	新	旧	新	
1	温度循环	50		3		8				1								23		40		- 65℃(20分钟)→+25℃(5 分钟) →+125℃(20分钟)→+25℃(5 分钟) 为一循环,共循环十次。
	抗 潮	50		3				2	4			5	6			1	1	1	18	6	9 (1)	
2	高温存贮	50						1	4	1					1			2		2	6	150℃, 240小时
3	功率老化	52		3		5	2	1										9		9	8	125℃, 加电老化168小时
		52							1			4						8				



注: (1) 在第一组试验中, 新、旧 ECL 组件失效数中各重合一只, 故总数合计中减少一只。

(2) 抗潮试验三个子循环见下图。

3) 最近我们又根据四机部关于半导体集成电路总技术条件, SJ331-72中规定的二类标准, 对七二年生产的组件(已镜检和测反向电阻)进行部分试验。试验分四组进行, 每组20块, 两组进行例行试验, 两组进行高温功率负荷试验, 其试验结果如表(2—3)。

表 (2—3)

七二年组件按四机部二类标准试验结果

试 验 项 目	失 效 数 量			
	一 组	二 组	三 组	四 组
高 低 温 稳 定 性 试 验	5	3	—	—
温 度 冲 击 试 验	2	1	—	—
潮 热 试 验	0	0	—	—
* 管 壳 密 封 试 验	4	5	—	—
功 率 负 荷 试 验	—	—	0	2
合 计 失 效 组 件 数	7	7	0	2

* 这里采用的是低温酒精检漏法, 是一种很粗的检漏方法, 检测漏气率估计为 $10^{-3}\text{atm}\cdot\text{cc}/\text{秒}$ 。此项试验在例行试验标准中未作规定。

表 (2—4)

表 (2—3) 中失效组件的失效模式

失 效 模 式	参 数 出 格	反 向 电 阻 降 低	漏 气	管 腿 机 械 断
数 量	8	4	9	1

以上试验表明, 七二年生产的组件功率负荷试验已经达到或接近四机部的二类标准, 而例行试验则还有相当距离, 需要进一步改进和提高。

2 第一次现场试验的情况

第一次现场试验开始于一九七一年一月, 目的在于验证设计思想, 考查各种器件的性能指标, 取得接近于现场实际使用的可靠性数据。试验模型的基本结构为一运算部件, 共用旧 ECL 组件 6443 块, 试验共分四个自然阶段。

组件的失效情况见表 (2—5)

表 (2—5)

第一次现场试验ECL电路失效统计

阶 段	日 期	运 转 时 间 (小 时)	电 路 失 效 数 (块)	失 效 率 (1/小时)	备 注
1	71.1~9	4800	443	1.7×10^{-5}	
2	71.10~72.1	2500	8	9.5×10^{-7}	置信度为90%
3		停 机	112		检 修 复 查
4	72.8~12	2959	12	1.1×10^{-6}	置信度为90%

注: 上表失效率计算中, 试样电路总数为 5443 块。

上表的四个阶段是根据工作情况自然划分的。第一阶段是从插件板加电检测算起，在插件检测中，淘汰组件127块（包含在443块之中）。这一阶段我们认为属早期失效阶段。第2、4阶段为稳定期阶段。第3阶段为稳定期中人工停机。

通过此次试验，我们感到组件的质量存在着比较多的问题。一是早期失效量大，拖的时间也较长；其次，在稳定期中的失效率也还比较高，特别是跳动故障较多，稳定时间短，以七二年九月至十二月为止，平均稳定时间为12小时，最长一次稳定时间为152小时；第三，经不起停机和季节性的变化，系统的稳定性受环境条件的影响较大，等等。因此，对组件提出了增加“镜检”和测输出、输入反向电阻等改进措施，收到一定效果。对改进前后的组件进行了对比试验（已如前述）。同时，用改进后的组件又进行了第二次现场试验。

3 第二次现场试验

第二次现场试验开始于一九七二年十一月，主要目的是考验改进后的组件质量情况。试验模型为—120位循环移位寄存器，共用一九七二年改进后的组件2283块。至一九七三年十月五日，共运转6027小时，失效组件3块，失效率为 4.8×10^{-7} /小时（置信度为90%），最长一次运转时间为1719小时，共发生故障24次（电源故障不计在内，小于1小时的故障间隔不计），平均运转时间为251小时。平均运转时间之所以比较低是由于组件等在失效前一段时间内的间隙故障所引起的停机等造成的。通过这次试验也证明了经过镜检等工艺改进后，组件失效率有较明显的下降。

通过近三年的试验和试用，我们感到，这套 ECL 电路的电气性能是能够满足整机要求的。三年来，由于生产厂和有关单位努力，组件的质量亦不断提高。但是，由于我们水平不高，经验不足，电路设计本身还存在一些缺点和不足，组件的质量也还存在着一定的问题，特别是漏气和反向漏电问题，需要很好解决。如电路本身再适当改进，再增加个别品种（如六门触发器，两与四或门等），组件质量再进一步提高，则整机的规模可以进一步扩大，速度亦可以进一步提高。

这套 ECL 电路的研制工作主要是由上海冶金所、上海玩具十五厂担负的，而我们的电路设计和试用工作做得不细致，研究不深入，缺点、错误在所难免，望同志们批评指正。

总字 773 部队

附录 1

有关 ECL 电路的计算公式

有关静态参数的计算公式

反相端输出高电平（见参考文献[1]）

$$V_{\frac{1}{2}} = \frac{\left(\frac{R_{c1}}{R_{o1}}\right)V_{EE} - \beta_3 V_{be3} - R_{c1}I_L}{\beta_3 + \left(\frac{R_{c1}}{R_{o1}}\right)} \quad (1)$$

同相端输出高电平 (见参考文献[1])

$$V_{\frac{1}{2}} = \frac{\left(\frac{R_{c2}}{R_{o2}}\right)V_{EE} - \beta_4 V_{be4} - R_{c2}I_L}{\beta_4 + \frac{R_{c2}}{R_{o2}}} \quad (2)$$

反相端输出低电平 (见参考文献[1])

$$V_{\frac{1}{2}} = \frac{\left(\frac{R_{c1}}{R_{c1}}\right)V_{EE} - \left(\frac{R_{c1}}{R_e}\right)\alpha_1\beta_3(V_{in} - V_{be1} - V_{EE}) - \beta_3 V_{be3} - R_{c1}I_L}{\beta_3 + \left(\frac{R_{c1}}{R_{o1}}\right)} \quad (3)$$

同相端输出低电平 (见参考文献[1])

$$V_{\frac{1}{2}} = \frac{\left(\frac{R_{c2}}{R_{o2}}\right)V_{EE} - \left(\frac{R_{c2}}{R_e}\right)\alpha_2\beta_4(V_F - V_{be2} - V_{EE}) - \beta_4 V_{be4} - R_{c2}I_L}{\beta_4 + \left(\frac{R_{c2}}{R_{o2}}\right)} \quad (4)$$

反相输出低电平随输入电平变化的斜率 (由公式 (1) 推导出)

$$l = \frac{\left(\frac{R_{c1}}{R_e}\right)\alpha_1\beta_3}{\beta_3 + \left(\frac{R_{c1}}{R_{o1}}\right)} \quad (5)$$

以上公式之中的参数与图1—1相对应。

转换区宽度 (见参考文献[9])

$$V_w = 2 \frac{KT}{q} \ln \frac{qU_L}{KT} \quad (6)$$

其中: q ——电子电荷, K ——波尔兹曼常数,

T ——绝对温度, U_L ——逻辑幅度。

有关动态参数的计算公式

传输时间 (见参考文献[3])

$$T_{pd} = 0.7(R_{be} + R_{b1})(\bar{C}_e + \bar{C}_c + \bar{C}_d) \dots\dots \text{基极响应时间} \quad (7)$$

$$+ \frac{1}{\omega_T} \dots\dots \text{本征渡越时间}$$

$$+ R_{c1}(\bar{C}_c + m_0 \bar{C}_{cm0} + \bar{C}_s) \dots\dots \text{集极响应时间}$$

$$+ (R_{c1} + R_{bef})(\bar{C}_{df} + \bar{C}_{ef} + \bar{C}_{ef}) \dots\dots \text{射极跟随器响应时间}$$

其中: R_{be} ——输入管的非本征电阻

R_{b1} ——本征电阻