

573971

5087
7/4044
F2

微处理器与微型计算机

第 二 册

[美 国] PRANKO SOUČEK 著

南通电子仪器厂技术情报室 译

南京工学院计算机教研室 校



南通电子仪器厂技术情报室

7
44
南京理工大学图书馆

基本馆藏

目 录

第六章	4004/4040微处理器	1
6.1	微型芯片	1
6.2	中央处理单元	4
6.3	随机存取存储器、只读存储器及输入—输出	8
6.4	指令系统	
6.5	程序设计举例	
6.6	4040中央处理器	
第七章	8008/8080与MCOM—8微处理器	
7.1	8080微处理器	24
7.2	存储器寻址	33
7.3	条件位	36
7.4	8080微处理器指令系统	38
7.5	程序设计举例	49
7.6	中断及输入—输出	59
第八章	M 6800微处理器	65
8.1	概述	65
8.2	寻址方式	72
8.3	指令系统	73
8.4	程序设计举例	73
8.5	ROM及RAM的总线接口	83
8.6	输入与输出	84
8.7	外围设备的编程	92
第九章	PPS—4微处理器	97
9.1	概述	97

9.2	指令表.....	103
9.3	寻址与程序设计.....	103
9.4	输入/输出与中断.....	116
第十章	PPS---8微处理器.....	121
10.1	概述.....	121
10.2	指令系统.....	126
10.3	寻址方法及程序设计.....	147
10.4	输入/输出.....	151
10.5	并行数据控制器 (PPC).....	154
10.6	直接存贮存取控制器 (DMAC).....	159
10.7	中断.....	161
第十一章	IMP 4/8/16 及 PACE 微处理器.....	165
11.1	IMP---16微型计算机、寄存器与算术逻辑单元 (RALU).....	165
11.2	控制只读存储器 (CROM).....	170
11.3	存储器寻址.....	171
11.4	指令系统.....	173
11.5	输入/输出操作.....	183
11.6	中断系统.....	185
11.7	PACE 微处理器.....	185

第 二 部 分

典 型 微 处 理 器

第六章 4 0 0 4 / 4 0 4 0 微 处 理 器

本章介绍4-位微处理器Intel 4004/4040。阐述了CPU、ROM和RAM等基本芯片及其在微型计算机系统中的应用。Intel4004/4040有一根供数据与地址共用的4-位总线，本章讨论了总线的定时。指令系统包括机器、累加器、I/O及RAM指令。本章举例说明了实现简单逻辑功能的程序设计技术。

6.1. 微型芯片

概述

LSI工艺中关于芯片的新概念，几乎使每一个逻辑设计人员都可在其设计中发挥通用计算机的效能，这对于系统制造厂商对复杂随机逻辑系统的依靠关系是一次强有力的冲击。Intel公司研制的组件式计算机具有与小型计算机相同的运算、控制及计算功能。它分装成两块有16根引出线的双列直插式封装(DIP)，其费用比同样功能的小型计算机减少了几近两个数量级。

4004/4040不是为了与小型计算机竞争而设计的，而是为了把这种新的设计思想扩大到新的应用领域。例如，许多用SSI和MSI TTL构成的系统，现在可以用以这些器件为中心所构成的完全自成体系的系统来实现。

每个系统的核心是一块单片中央处理单元(CPU)，它具有全部控制与数据处理功能。CPU的辅助器件有存储微程序与数据表的ROM，存储数据与指令的RAM，以及可以扩展系统I/O能力的移位寄存器(SR)。MCS-4系统与本系统以外的电路及设备之间的信息交换是通过各RAM及ROM提供的“通道口”进行的。

由这套芯片构成的系统通常包括一个CPU、1—16个ROM，1—16个RAM，以及数目不限的SR。最小的系统只需一个CPU和一个ROM即可设计。有了这些器件，就可以设计分布式计算机、专用计算机、或个人专用计算机，并可利用微程序设计的几乎变化无限的组合。设计人员购买一些标准器件后，用ROM的微程序设计技术，即可满足他自己的独特的电路要求。

MCS-4微型计算机装置由下列4块芯片组成，每一芯片都是一个有16根引线的DIP

封装块 (见图6.1)。

1. 中央处理单元芯片(CPU): 4004
2. 只读存储器芯片(ROM): 4001
3. 随机存取存储器芯片(RAM): 4002
4. 移位寄存器芯片(SR): 4003

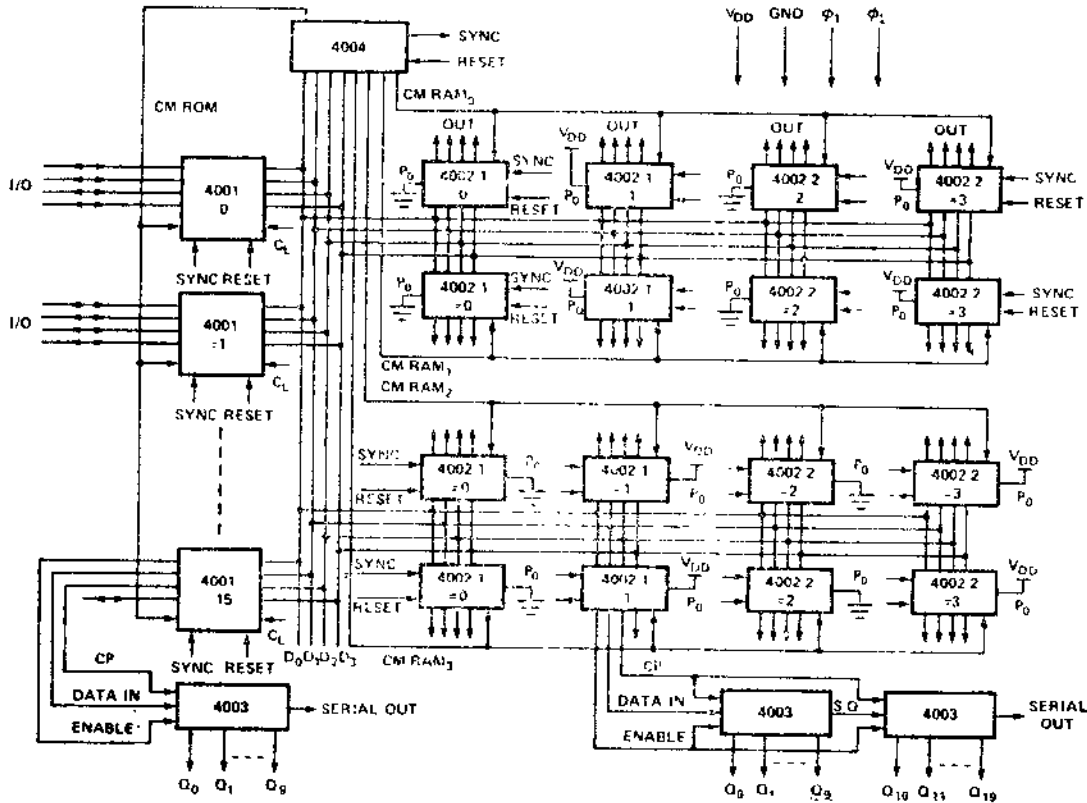


图 6.1 MCS-4 系统的内部连接

CPU 包括可编微程序的通用计算机控制单元及运算单元。ROM 存储微程序和数据表, RAM 存储数据与指令, SR 和 I/O 器件一起用来有效地增加 I/O 线数。

MCS-4 的设计具有最佳的对接能力, CPU 与各 ROM 及 RAM 间的信息交换是通过一根 4-线数据总线(D_0 、 D_1 、 D_2 、 D_3)进行的。各芯片间的所有数据流都使用这根数据总线, 只有控制信号例外, 控制信号是通过另外的 5 根线送到 RAM 及 ROM 的。一块 CPU 可以无需任何接口电路而控制多达 16 个 ROM ($4K \times 8$ 个字)、16 个 RAM (1280×4 个字)、以及 128 根 I/O 线。若另外再附加少数几个门电路, 则一块 CPU 就可控制多达 48 个 ROM 与 RAM 的组合, 以及 192 根 I/O 线。

I/O 功能与 ROM 功能虽然不同, 但就结构而言它却安置在 ROM 及 RAM 芯片中。每一块 4001 及 4002 都有 4 根 I/O 线, 用来与 I/O 器件进行信息交换(图 6.2)。

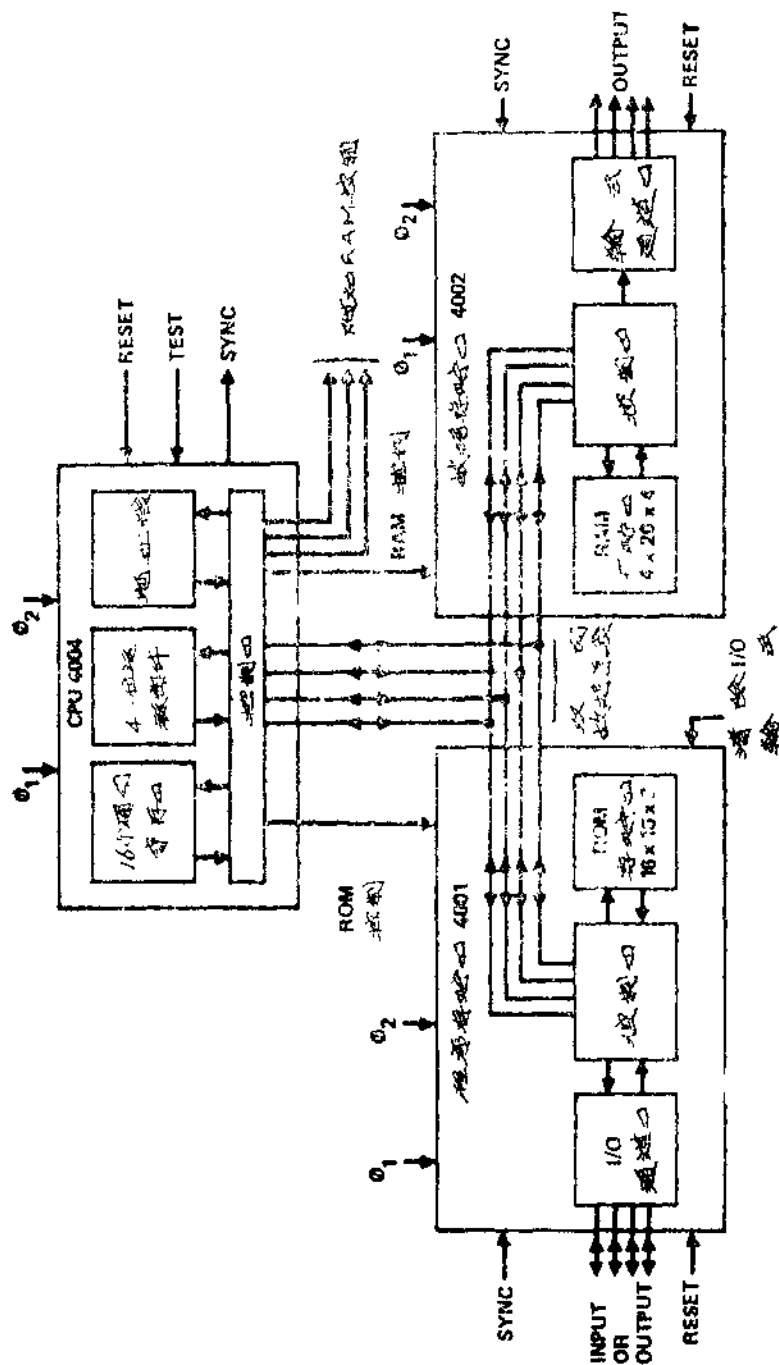


图 6.2 4004CPU、ROM及RAM的连接

4001—KCM。4001是一种2048-位金属掩模可编程程序的ROM，它为MCS-4微型计算机装置提供了可由用户自编微程序的能力。每块芯片的结构都按256个8-一位字设计，可用来存储程序或数据表。每块芯片都有一个4-位I/O通道口，用作计算机内外数据总线信

息往返的通道。

4002—RAM。4002有两个作用，一个是用作RAM，可存储320位，排列成4个寄存器，每个寄存器有20个4—位字符。另一个作用是用作与外围设备进行信息交换的手段，它有4根输出线，以及执行输出操作的有关控制逻辑。

4003—SR。4003是一个10—位串行输入/并行输出、串行输出的移位寄存器，其功能是增加与I/O设备接口的输出线数，I/O设备指键盘、显示器、打印机、电传打字机、转换器、阅读机及模—数转换器等。

4004—CPU。4004是一块中央处理单元，它与MCS—4微型计算机装置的其它器件结合起来即可构成一个完全自成体系的系统。CPU通过一根4—线数据总线与该装置内的其它器件交换信息，但它与外围设备间的信息交换则是通过RAM、ROM或SR I/O通道口进行的。CPU芯片有5根命令控制线，4根用来控制各RAM芯片(每根线可控制多达4块RAM芯片，因而系统的总容量可达16块RAM)，另一根线可控制一个有多达16个ROM的存储器组。

图6.1是一个由这四种基本芯片组成的典型系统。ROM、RAM与CPU等芯片间的连接见图6.2。

定时

为使系统能准确地工作，必须从外部向4001、4002及4004提供两个非重叠的时钟相位—— ϕ_1 和 ϕ_2 。4004每八个时钟周期产生一个SYNC(同步)信号，并传送给各4001及4002芯片。SYNC信号标志着每一指令周期的开始。然后4001与4002用SYNC及 ϕ_1 、 ϕ_2 产生内部定时。

执行一条基本指令需要750KHz时钟信号的8个或16个周期。典型的情况是，CPU在头三周(A_1 、 A_2 、 A_3)向ROM发送12位地址(分三个4—位字节，经数据总线传送)。此地址可从16块芯片中选择一块并从该芯片的256个8—位字中选择一个字选中的ROM芯片在下两个周期(M_1 及 M_2)内向CPU回送一条8—位指令(OPR、OPA)。这条指令分为两个4—位字节，通过4—线数据总线传送。指令的译码与执行是在最后三周(X_1 、 X_2 、 X_3)内进行的(见图6.3)。

当CPU从ROM收到一条I/O指令时，在 X_2 期间内，数据经4根ROM I/O线传入CPU累加器或者从CPU累加器向外传送。CPU的4根命令控制线各控制一组RAM，每组有4个RAM。RAM芯片，寄存器及字符的地址存放在CPU的两个变址寄存器里，在执行RAM指令的 X_2 、 X_3 周期内传送到RAM。CPU收到RAM的输出指令后，CPU累加器的内容就传送给4根RAM输出线。

CPU、RAM及ROM可用一外部RESET线控制。RESET线一旦工作，寄存器及触发器的内容即被清除。在RESET命令过去之后CPU将从0地址开始并选中CM—RAM。

6.2 中央处理单元

4004CPU的框图见图6.4，引出线连接见图6.5。

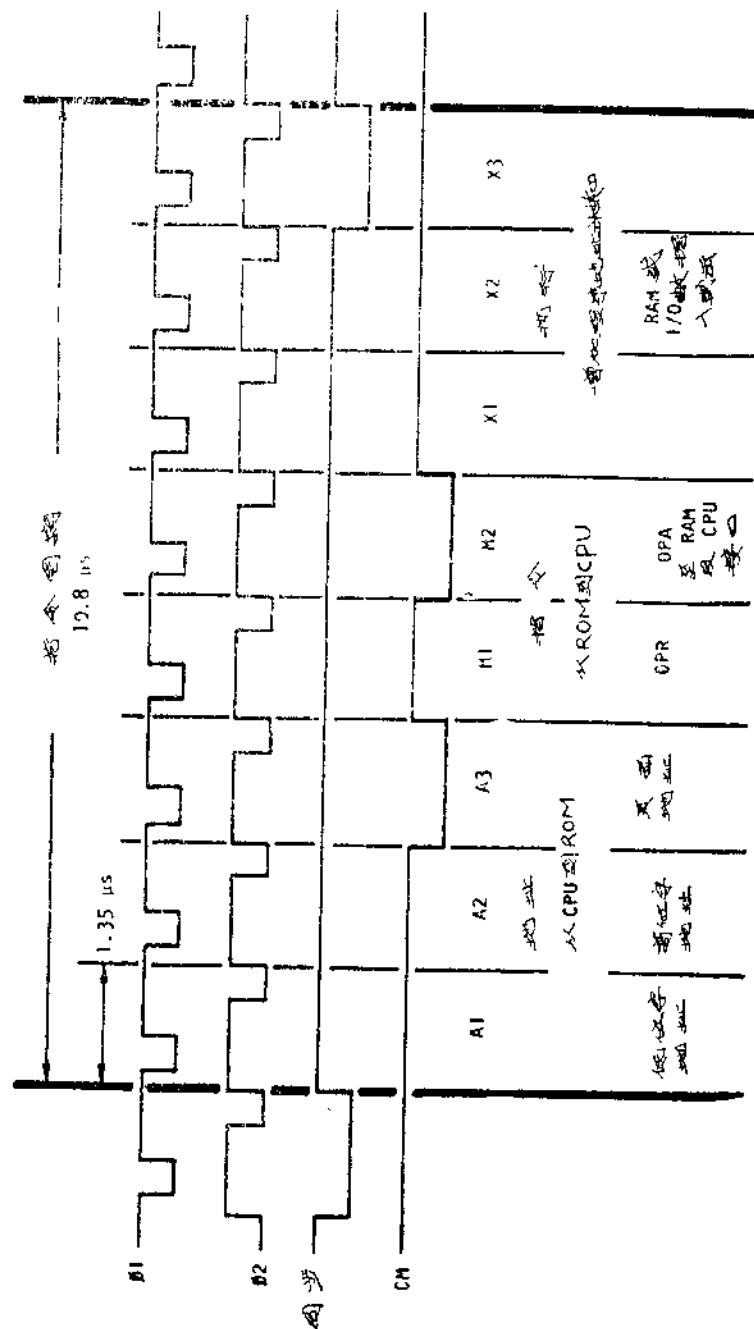
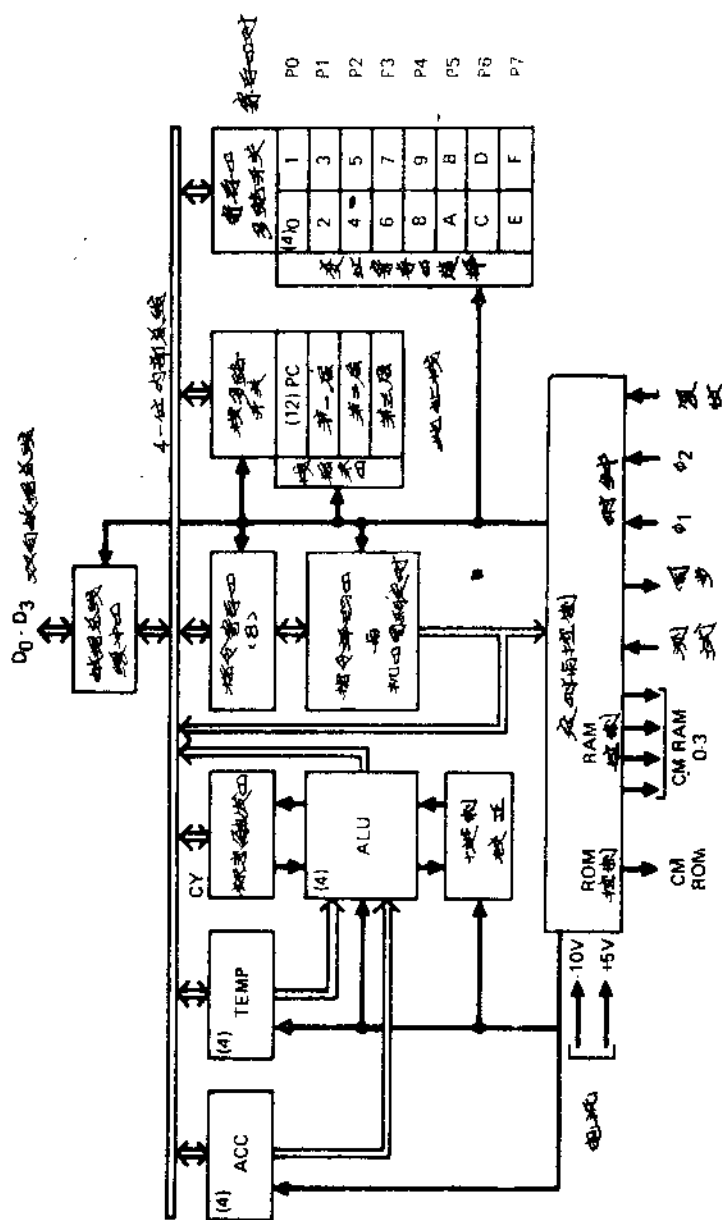


图 6.3 MCS-4 基本指令周期



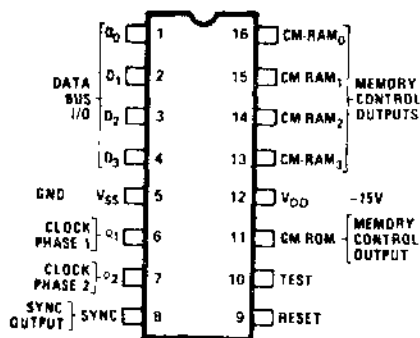


图 6.5 4004DPU引出线连接

4 - 位加法器

4 - 位加法器是一种行波传递进位式加法器。一项加数来自TEMP暂存器，暂存器可与其一侧的内部总线交换信息，并可把数据或数据传送给加法器。另一项加数来自累加器及进位触发器。数据及数据皆可传送。加法器相加的结果传送到累加器及进位FF。累加器有一移位器，用以实现循环右移和循环左移指令。累加器还可与命令控制寄存器、专用ROM、条件触发器、以及内部总线进行信息交换。命令控制寄存器保存一个3 - 位代码，用来实现CM - RAM线的转换。专用ROM用来为DAA(十进校正累加器)及KBP(键盘处理)指令执行代码变换，也可与内部总线进行信息交换。条件逻辑检测 $ADD = 0$ 及 $ACC = 0$ 、进位FF的状态、以及外部信号(TEST)的状态，以便执行JCN(条件转移指令)及ISZ(变址寄存器加1，结果为0则跳步)指令。

指令寄存器的译码器与控制信号

指令寄存器(由一只OPR寄存器及一只OPA寄存器组成，每只4位)通过一多路转换器装入内部总线的内容(在指令周期时间 M_1 及 M_2 装入)，并保存从ROM读取的指令。指令在指令译码器中译码，并由定时信号适当门控，从而为各功能块提供控制信号。

地址寄存器(程序计数器与堆栈)和地址增量器

地址寄存器是一个 4×12 位的动态RAM存储单元阵列，分为四层，一层用来存放指令地址(程序计数器)，三层用作子程序调用堆栈。栈地址由有效地址计数器及刷新计数器提供，并经多路转换器传送到译码器。

地址读出后，放入地址缓冲器，并在 A_1 、 A_2 、 A_3 期间分解成三个4 - 位段送到内部总线(见图6.3)。每向数据总线发送一个4 - 位段，地址就由一4 - 位进位先行电路(地址增量器)增量。增量后的地址送回地址缓冲器，最后再写入地址寄存器。

变址寄存器

变址寄存器是一个 16×4 位的动态RAM存储单元阵列，它有两种操作方式，一种方式

是，变址寄存器可为中间计算及控制提供16个可直接寻址的存储单元。另一种方式是，变址寄存器为访问RAM及ROM并为存储从ROM读取的数据提供8对可寻址的存储单元地址。
 变址寄存器地址由内部总线及刷新计数器提供，并经多路传输到变址寄存器的译码器。
 各4-位寄存器Rx分别标以0~F，各8-位寄存器对Px分别标以0~7。

6.3 随机存取存储器、只读存储器及输入-输出

程序存储器(ROM)

程序存储器存放由CPU执行的指令，并按CPU的指令组划分成与页面有关的存储器，每页256个字，见图6.6。CPU可对页面与字寻址，程序存储器则将在该地址的8-位字传送给CPU。

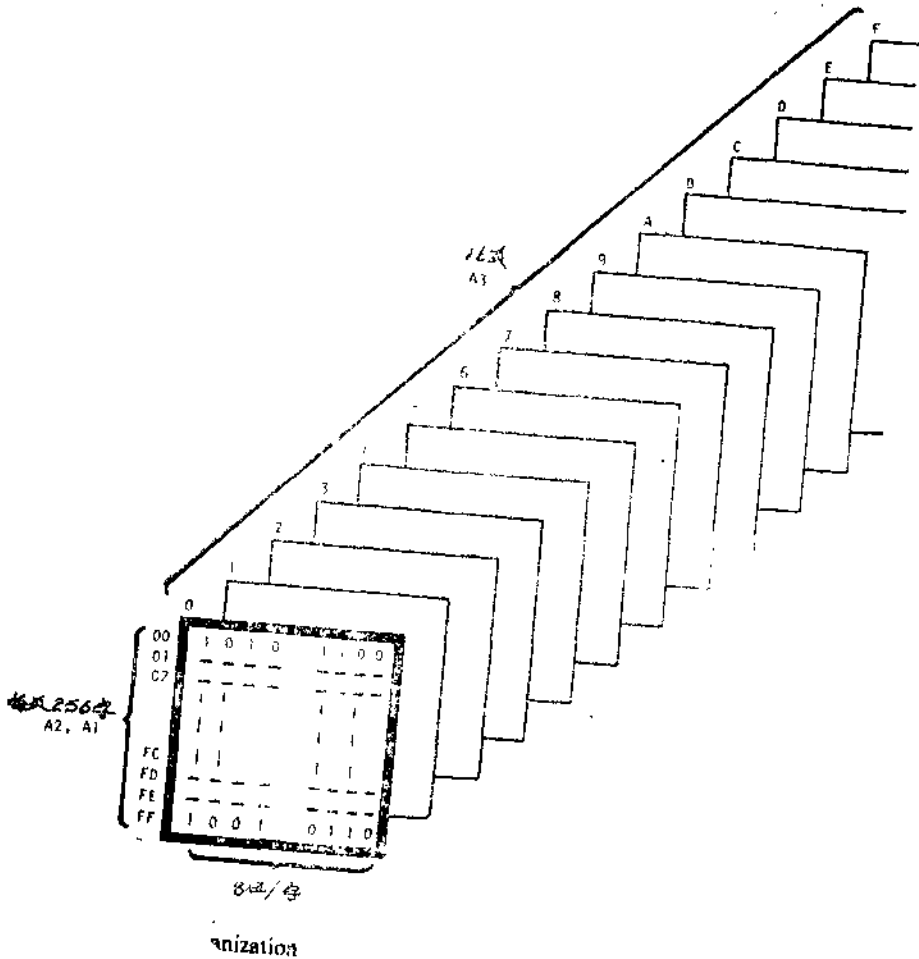


图 6.6 按CPU指令组成的ROM结构

CPU 的12-位寻址能力, 使它能对以四个 A3 位作为页面地址的 16 个页面直接寻址。 A_1 与 A_2 的八个位用作同一页面内的字地址。利用地址控制指令(转移及分支)来理介页面结构很是重要的。有一些地址指令把地址的十二个位全部用足, 这类地址指令可用来在同一页内改变控制, 或把控制从这一页转向另一页; 其它地址控制指令只使用 8-位地址, 这类地址控制指令只能在同一页面范围内改变控制。

数据存贮器(RAM)

Intel4002RAM 寄存器在微系统中用作程控数据存贮器, 每块4002都被分成 4 个各有 20 个字符的寄存器, 如图 6.7 所示。每一 20 字符寄存器包括主存贮器的 16 个可单独寻址的字符及 4 个指令可选的状态字符。

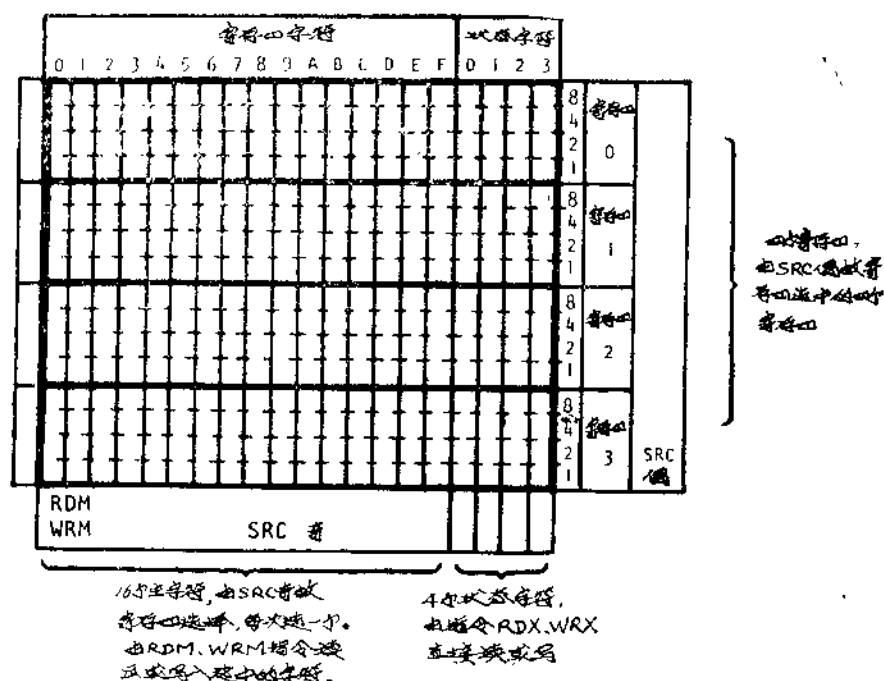


图6.7 RAM的结构

CPU的指令能力允许对多达32个4002RAM 器件寻址, 这可由 8 个存贮组 (每组 4 块 RAM 芯片) 构成的体系来完成。RAM 存贮组由 DCL 指令选择, DCL 指令规定了 CPU 的 4 根 CM-RAM 线中那一根将被激活, 激活后的 CM-RAM 线又指定那一个 RAM 存贮组将响应 SRC 指令。SRC 指令可对 RAM 芯片、寄存器及字符进行选择。RAM 的编址见表 6.1。

表 6.1 RAM的编址

组	指 令
RAM 存储组	DCL
RAM 芯 片	SRC, 偶数寄存器高位
RAM 寄存器	SRC, 偶数寄存器低位
RAM 字 符	SRC, 奇数寄存器4位

输入与输出

微系统中数据流的输入与输出是通过几个各有4根线的I/O通道口实现的。为了实现输入或输出功能,首先必须用CPU指令SRC来选定通道口。SRC对的偶数寄存器中存有所要选择的通道口的地址。一个通道口一旦被选中,则对所有申请输入输出的操作来说,它将一直处于被选中的状态,直至另一通道口被选中为止。

输出口有两种类型,输入口只有一种。从机械结构来看,每一RAM寄存器器件都封装着一个输出口,该通道口与RAM共用同一芯片选择地址,但对于从累加器到通道口的数据传送却另有自己的指令WMP,通道口把传送来的任何数据都锁存起来留作稳定输出,直到此后的WMP指令使数据改变为止。RAM通道口引线是MOS低电平有源输出端,可驱动一只低功率的TTL负载。

6.4 指令系统

4004的指令内容包括:

- (a) 16条机器指令(其中5条为双倍字长)
- (b) 14条累加器组指令
- (c) 15条输入-输出及RAM指令

表6.2、6.3、6.4列出了这三组指令, JUMP指令的条件代码见表6.5。表中对大部分指令都给出了明确定义,下面再对某些指令作更进一步的说明。

条件转移 (JUMP ON CONDITION)

ICN

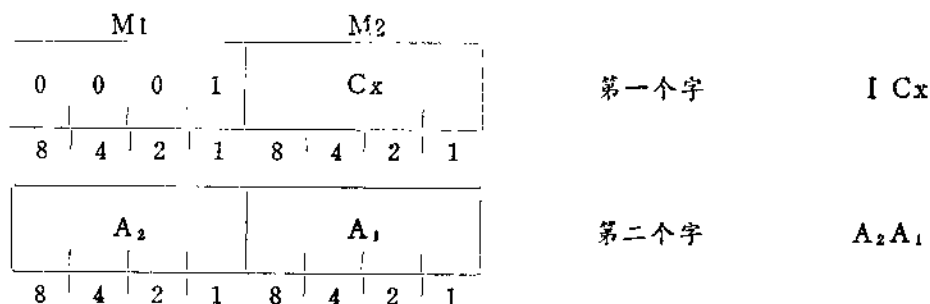


表 6.2 机器指令表

十六进制		记 忆 码		操 作 说 明
编 码		OPR	OPA	
0	0	NOP		空操作
1	Cx	JCN	Cx	按条件Cx转移至程序存储器地址
A ₂	A ₁		LABEL	A ₁ 、A ₂ ，否则按顺序执行下一条指令。
2	Px0	FIM	Px	立即从程序存储器读取数据
D ₂	D ₁	D ₂	D ₁	D ₁ 、D ₂ ，送至变址寄存器对Px。
2	Px1	SRC	Px	传送寄存器控制。把变址寄存器Px的内容作为芯片选择和RAM字符的地址送至I/O通道口和RAM寄存器。
3	Px0	FIN	Px	间接取数。把寄存器对0的内容作为程序存储器的地址送出。取出的数据放入寄存器对Px。
3	Px1	JIN	Px	间接转移。转移到由寄存器对Px的内容指定的程序存储器地址。
4	A ₃	JUN		无条件转移到程序存储器地址
A ₂	A ₁		LABEL	A ₁ 、A ₂ 、A ₃ 。
5	A ₃	JMS		转移到地址为A ₁ 、A ₂ 、A ₃ 的子程序。
A ₂	A ₁		LABEL	存贮先前的地址(下推到堆栈里)。
6	Rx	INC	Rx	寄存器Rx内容加1。
7	Rx	ISZ	Rx	寄存器Rx内容加1；若结果≠0则转向
A ₂	A ₁		LABEL	程序存储器地址A ₁ 、A ₂ ，否则按顺序步进到下一条指令。
8	Rx	ADD	Rx	寄存器Rx的内容加到累加器。
9	Rx	SUB	Rx	累加器与寄存器Rx的内容相减，带借位。
A	Rx	LD	Rx	寄存器Rx内容装入累加器。
B	Rx	XCH	Rx	变址寄存器Rx与累加器交换内容。
C	Dx	BBL	Dx	堆栈减1层，返转到由先前的JMS指令存贮的程序存储器地址。把数据Dx装入累加器。
D	Dx	LDM	Dx	数据Dx装入累加器。
E	X	I/O与RAM寄存器指令		
F	X	累加器指令		

A₁ 低位地址位A₂ 高位地址位A₃ 芯片选择Px1 寄存器对P₀至P₇，由奇数字符1、3、5、7、9、B、D、F指定Px0 寄存器对P₀至P₇，由偶数字符0、2、4、6、8、A、C、E指定

Rx 寄存器0-->F
 Dx 数据
 D₁ 奇数寄存器数据
 D₂ 偶数寄存器数据
 Cx JUMP(转移)条件

表 6.3 累加器指令表

16 进制		记 忆 码		操 作 说 明
编 码		OPR	OPA	
F 0		CLB		全清(累加器与进位)
F 1		CLC		清进位
F 2		IAC		累加器增量
F 3		CMC		进位求补
F 4		CMA		累加器求补
F 5		RAL		循环左移(累加器和进位)
F 6		RAR		循环右移(累加器和进位)
F 7		TCC		进位送至累加器并清进位
F 8		DAC		累加器减量
F 9		TCS		送进位减并清进位
F A		STC		进位置位
F B		DAA		累加器十进制校正
F C		KBP		键盘处理。把累加器内容从-4位字符转换成二进制代码。
F D		DCL		指定命令线
F E				
F F				

若指定条件(Cx)为真,则程序控制转向存放在现行页面的8-位地址A₂与A₁的指令,否则程序控制继续按顺序执行。若 JCN 占用了一页的最后两个位置,或在页面边缘搭界,则程序控制按顺序转向下一页上的8-位地址。

JCN是CPU的两个作出判定的指令之一,另一个为 ISZ。JCN 可按下列测试结果作出判定:

测试累加器,结果为0或不为0

测试进位位,结果为逻辑1或逻辑0

测试外部输入引线,结果为高或低

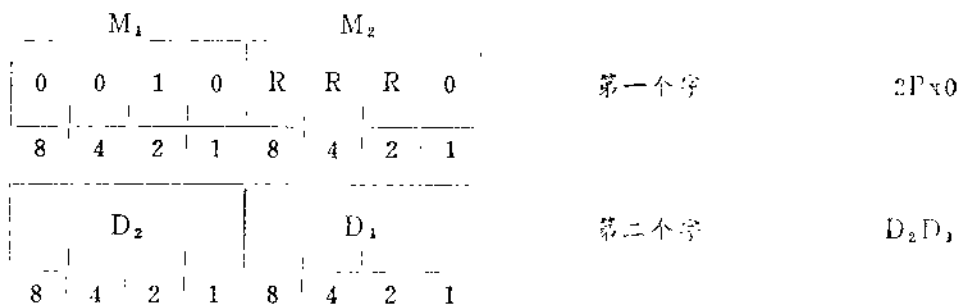
表6.5给出了对条件Cx的详细规定

表 6.4 I/O与RAM寄存器码

16 进制		记 忆 码		操 作 说 明
编 码	码	OPR	OPA	
E	0	WRM		累加器内容写入先前选定的RAM寄存器字符
E	1	WMP		累加器内容写入先前选定的RAM输出口(输出线)
E	2	WRR		累加器内容写入先前选定的输出口(I/O线)
E	3	WPM		累加器内容写入先前选定的RAM程序存储器
E	4	WRO		累加器内容写入先前选定的RAM的状态字符0
E	5	WR1		累加器内容写入先前选定的RAM的状态字符1
E	6	WR2		累加器内容写入先前选定的RAM的状态字符2
E	7	WR3		累加器内容写入先前选定的RAM的状态字符3
E	8	SBM		从带借位的累加器减去选定的RAM寄存器字符
E	9	RDM		把选定的RAM寄存器字符写入累加器
E	A	RDR		选定的输入口内容写入累加器(I/O线)
E	B	ADM		选定的RAM寄存器字符加到带进位的累加器
E	C	RDO		选定的RAM状态字符0写入累加器
E	D	RD1		选定的RAM状态字符1写入累加器
E	E	RD2		选定的RAM状态字符2写入累加器
E	F	RD3		选定的RAM状态字符3写入累加器

立即读取 (FETCH IMMEDIATE)

FIM



从第二个字把8-位数据D₂、D₁存入选定的变址寄存器对PxO，其中D₂为用于偶数寄存器的数据，D₁为用于奇数寄存器的数据。

FIM用偶数寄存器的数来指定一对变址寄存器。只有操作码0、2、4、6、8、A、C、E对Px0有效。FIM给出了预置某一变址寄存器对的最有效途径。

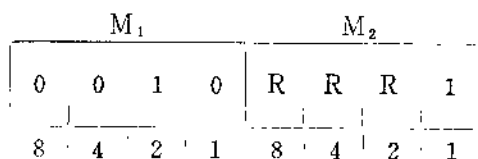
RRR对P0~P7的八个寄存器对一一作出规定。紧接在RRR之后的0是命令译码部分，用以区分FIM与SRC。

表 6.5 JCN指令的Cx条件表

JCN 十六 进制	Cx 记 忆 码	C ₈	C ₄	C ₂	C ₁	反相转移条件 累加器 = 0, 则转移 进位位 = 1, 则转移 测试输入 = 0 (高态), 则转移
10		0	0	0	0	空操作
11	TO	0	0	0	1	测试 = 0 (高态), 则转移
12	C1	0	0	1	0	CY = 1, 则转移
13	TO + C1	0	0	1	1	测试 = 0 或 CY = 1, 则转移
14	AO	0	1	0	0	AC = 0, 则转移
15	TO + AO	0	1	0	1	测试 = 0 或 AC = 0, 则转移
16	C1 + AO	0	1	1	0	CY = 1 或 AC = 0, 则转移
17	TO + C1 + AO	0	1	1	1	测试 = 0 或 CY = 1 或 AC = 0, 则转移
18		1	0	0	0	无条件转移
19	T1	1	0	0	1	测试 = 1 (低位), 则转移
1A	CO	1	0	1	0	CY = 0, 则转移
1B	T1CO	1	0	1	1	测试 = 1, CY = 0, 则转移
1C	A1	1	1	0	0	当 AC ≠ 0, 则转移
1D	T1A1	1	1	0	1	测试 = 1, AC ≠ 0, 则转移
1E	COA1	1	1	1	0	CY = 0 且 AC ≠ 0, 则转移
1F	T1COA1	1	1	1	1	测试等于 1、CY = 0 且 AC ≠ 0 则转移

传送寄存器控制 (SEND REGISTER CONTROL)

SRC



2 Px 1

把变址寄存器对Px1的内容作为芯片选择和(或)RAM字符选择传送到各个 I/O 通道口和RAM寄存器。SRC用奇数寄存器的数来指定一对寄存器。对Px1有效的操作码只有 1、3、5、7、9、B、D、F。

RRR对P0~P7的八个寄存器对一一作出规定,紧接在RRR之后的1是命令译码部分,用以区分SRC与FIM。

必须先用 SRC 指令选定 I/O 通道口或 RAM 寄存器字符,才能使某一 I/O 操作或 RAM 寄存器的操作得以进行。同一条 SRC 指令可用来对 I/O 通道口及 RAM 寄存器寻址。但在指定的寄存器对Px1中,地址的含义对它们是不相同的,见图6.8。