

计算机组装技术文集

《计算机研究与发展》编辑部

内 容 简 介

本书收录了五十一篇国外最新的、主要是第四代计算机组装（即结构、工艺、冷却）文章，内容涉及组装设计、冷却技术、印制线路板技术、微处理机、多片组件以及锡焊技术等各个方面，包括了当今世界上几乎所有各大公司最新、最有代表性的机器。本书可供从事计算机和电子设备组装设计、印制板设计和工艺、冷却设计、硬件设计、总体设计等人员以及从事计算机生产的领导和管理干部，大专院校计算机专业师生阅读参考。

书 号 _____

登记号 _____

序

为了实现社会主义四化建设的宏伟目标,迎接新的技术革命,我国已出现了推广应用电子计算机的热潮。为了适应形势发展的需要,我们必须在引进国外先进技术的同时,加速国产化的进程,加强国内计算机工业生产能力,研制生产各种稳定可靠、物美价廉的计算机系统,提供各方面使用。组装技术在完成上述任务中将起重要作用。

由于半导体集成电路水平的迅速提高和计算机应用范围的日益扩大,促使计算机快速向高速度、高密度、高可靠性方向发展,这样就对互连、散热、环境适应性等方面提出了许多难以解决的复杂问题。妥善解决这些问题是保证整机可靠性、维修性、适应性、工艺性和经济性的关键。

以采用大规模和超大规模集成电路及微组装技术为特点的第四代计算机对组装技术提出了更新更高的要求。为实现这些要求,国外厂家用不同方式创造了如高密度、多接点、无插拔力的连接器,多层精密大面积印制电路板,高可靠、高效率的电装工艺和设备,以及高密度大功率的散热系统等一系列新一代的组装技术,为计算机技术发展开辟了新的技术途径。

了解和借鉴国外经验,对解决我们自己面临的课题是十分必要的。现代科技的发展越来越带有综合性,组装技术与计算机研制生产的各个方面都有密切关系。因此不仅从事组装结构和工艺的专业技术人员要关心了解国外组装技术的发展情况,其他有关专业的同志,特别是有关领导和从事管理工作的同志们也需要了解组装技术的发展动态,以便全面考虑统筹规划。鉴于上述需要,中国电子学会计算机学会组装结构与工艺专业组的一些同志,在电子工业部计算机工业管理局的指导和帮助下,组织翻译了有关国外第四代计算机组装技术的51篇文章,并在“计算机研究与发展”编辑部的大力协助下汇集成文集出版。我们希望本文集能引起有关方面对组装技术的重视并能对促进国内计算机技术的发展有所贡献。

中国科学院计算所高级工程师白经天同志负责本文集的主要审校工作。电子工业部计算机局赵贵钦同志承担了大量的组织工作。我们学组初次组织翻译出版工作,力量弱、水平低,不足之处,恳望读者多多给予指正和帮助。

本书献给全国第二次计算机结构工艺学术交流会。

中国电子学会计算机学会组装结构与工艺专业组组长

郭浚川

编者说明

自70年代中期日美合作的第四代大型计算机 Amdahl 470V/6问世以来,美日各大公司竞相研制第四代计算机,以大型机、超大型机及微型机最为突出,到80年前后,推出了大量各具特色的机种。这些机器采用的组装技术变化幅度较大。组件大部分是单芯片,还有多达118块芯片的多层陶瓷基板的组件,组件平均集成度达3万个门;2、3级组装(即插件和底板)有的已省去了插件级,组件直接装在底板上,有的则采用插件

的三边都出线、三边都有底板的堆叠式组装；冷却方式从风冷到各种液冷以及传导与液冷结合的都有；连接器连接点数猛增，如组件级已增到一个组件有1800根针，品种也超出了常规；印制线路板既大（600×700 mm）又密层、层数又多。总的特点是高组装密度，高功率密度，技术复杂。现在这一势头丝毫没有减弱，还在继续发展。如美IBM曾预测到1985~1990年，集成度将提高3~7倍，线路速度将提高2~4.5倍，为此走线密度要求将相应提高2~3倍，冷却能力将提高1~2倍。有些新技术一出现就着手进行重大改进了。如多层陶瓷基板的层数已大大降低，而用薄膜工艺来代替。集成电路技术发展迅速，集成度几乎每隔二年翻一番。如不进一步改进组装技术，就不能进一步发挥集成电路的优势，做出高性能计算机。本文集的出版正是为了学习、吸收国外新技术发展我国计算机以及电子设备的组装技术。

收入本文集的主要是一些公开发表的第四代计算机的文献，也有一些微机的和一般性的资料。考虑到国内四化发展和信息时代的到来，必然会出现计算机和电子设备的发展高潮，又考虑到出版一个集子的艰巨性，因此还是多选了一些较新的资料，这样便于推动新技术的发展。

本文集共收集51篇文章。综合性文章有4篇，可从中了解到组装对计算机性能的重要性以及目前在组装技术中面临的一些关键——互连、连接和冷却。

整机文章共有10篇，其中除Cosmo 900 II和Cray-1S是属于第三代机器外，其余的都是第四代机器，连同文集中其他文章涉及的一共有11台最新机器，分别代表了美日几乎所有著名计算机公司的最新产品。因此从中可全面领略当今世界计算机的全部组装风格。除高组装密度和高功率密度特点是共同的外，其他风格几乎是绝然不同的。如日本倾向于高速单芯片组件、高密度、三级组装、风冷；而美国则倾向于稍低的多芯片组件，在一级组装（组件）上大下功夫（用33层陶瓷基板安装芯片），配合复杂的液冷系统。这两种风格都以发挥各自的优势为核心。

组装系统和标准化方面收录了7篇文章。有两篇IBM3081的文章，一篇是关于目前尺寸最大、层数最多和技术最新最复杂的印制底板，采用平面组装、无插拔力连接器；另一篇是组装因素的电气设计，以计算方法代替过去的样机实验法。一篇微机总线机械结构部分汇编，收集了几种最常用的总线。一篇门针比和一篇走线能力计算。对电路区划设计与器件底板设计是两份有指导性的参考文献。还有两篇标准化资料，是电子设备标准化工作成绩显著单位的代表作，对计算机及电子设备标准化工作是很好的借鉴。

组件级组装选了7篇。重点选择了最有代表性的多芯片组件IBM4300，3081以及ACOS1000的资料。Cray-II也是多芯片组装，而且冷却液封在组件内，但该机还未完成，资料也未公布。选了一篇类似的组件（是设想）文章作对比参考。

连接器是组装的关键，从本集其他文章中可了解到一些概况，但紧密联系第四代的资料不多。本文集有两篇介绍IBM3081无插拔力连接器和一种连接器的鉴定方法。

印制线路板是组装核心，互连的一个最重要方面，收录了四篇，其中三篇是IBM3081印制线路底板的结构、工艺和光学法自检验技术，可以说是目前水平最高、技术最新最复杂的一个代表，也代表了第四代计算机印制线路技术发展的主要方面，另一篇是多层布线板（MWB）的综述，介绍了这种从印制线路派生的新技术的内容与发展。

其他工艺方面收录了4篇锡焊资料，主要介绍了最新的气相锡焊工艺。

热设计也是目前组装技术的关键，也是本文集的重点。共选录了13篇文章。可以说，第四代计算机所有的各种形式的冷却方法都包括在内了，形式多样，各有所长，也收录了一些一般的冷却方法的资料。

文集中，IBM3081的文章，从组件（模块）到底板、连接器、印制线路板结构和工艺、冷却，共收集了5篇，以便进行系统研究。为避免造成偏见，也尽可能收集其它一些公司有代表性的文章，以资对比。

由于条件所限，原文中的一些照片和参考文献在文集中从略，读者可以根据自己的需要参看原文。此外，全书的名词术语也未完全统一，希望读者和同行们原谅。

目 录

1. 超级计算机要求组装与冷却革新	(1)
2. 高速超大规模集成电路对组装的挑战	(10)
3. 高密度计算机组装	(14)
4. Amdahl 470V/8与IBM3033处理机设计的对比	(19)
5. VAX-11/750组装设计: 从机柜到芯片	(26)
6. IBM4300计算机的组装技术	(31)
7. Cyber203/205计算机的组装技术	(35)
8. Honey well DPS88的组装技术	(39)
9. Cray-1 S 计算机的技术	(45)
10. MELCOM-COSMO900 II 计算机的组装技术	(51)
11. COSMO 800 III 计算机组装技术简介	(57)
12. HITAC M-200H 的组装设计	(58)
13. 大型计算机ACOS1000的组装技术	(64)
14. FACOM M380计算机高密度三维堆装式组装技术	(68)
15. 高性能计算机用的新型印制电路底板设计	(74)
16. 逻辑图划分中插件上插针数与块数间的关系	(83)
17. 芯片—组件—插件间的接口	(93)
18. BELLPAC积木化电子组装系统	(98)
19. 标准电子插件系列	(102)
20. 微处理机标准总线机械规范汇编	(109)
21. 导热模块: 一种高性能多层陶瓷组件	(127)
22. 多层陶瓷多芯片组件	(132)
23. 用于LSI芯片的IBM多芯片多层陶瓷组件——性能和密度设计	(136)
24. 低功耗大规模集成电路与高效率计算机组装	(140)
25. 高速计算机组装的电设计	(147)
26. 超高密度VLSI模块	(159)
27. 多层陶瓷片冲孔工艺及设备	(165)
28. 高密度电路多层陶瓷基板工艺	(174)
29. IBM3081计算机导热模块的无插拔力连接器	(178)
30. 电连接器的可靠性鉴定	(186)
31. 高密度印制电路板制造技术	(190)
32. 用于制造IBM3081计算机处理单元的一套新的印制电路工艺	(201)
33. 高密度印制板的计算机控制光学测试	(208)

34. 多层布线 (Multiwire) —— 高密度互连新技术	(216)
35. 浸没式波峰焊	(230)
36. 汽相再流焊	(234)
37. 在混合电路制造时使用汽相焊接所应考虑的问题	(238)
38. 无引线芯片载体与印制线路板的组装	(243)
39. 高性能大型计算机的冷却	(256)
40. 高性能大规模集成器件的传导冷却模块——一维数学分析	(262)
41. 高性能大规模器件的传导冷却模块	(270)
42. 计算机的直接液冷	(281)
43. 高密度和逻辑线路面阵式引线组件的热研究	(287)
44. 倒焊芯片器件的高导热组装技术	(297)
45. LSI 外壳对端子和冷却的要求	(302)
46. 水冷试验的控制系统	(307)
47. 在封闭环境中水平取向电子元件的热特性	(312)
48. 自然对流冷却的插件上元件温度的估算	(318)
49. 电子系统的自然对流冷却	(321)
50. 以成本为主的系统中超大规模集成电路的热设计	(333)
51. 降低接触热阻的新方法	(341)

超级计算机要求组装与冷却革新

Jerry Lyman

组装一台超级计算机的任务是非常艰巨的。象克雷-1(Cray-1)和赛伯205(Cyber205)这样的超级计算机,要连接和组装成千的集成电路,成百的多层印制线路板,成英里的走线。这些组装密集的机器,功耗达几万瓦,冷却就成了使工程师们头痛的问题。图1是克雷-1的规模及其复杂的线路。

一些大的计算机公司绞尽脑汁想了很多办法来解决这些问题,在表1中列出了这些项目。少数几家大公司,如国际商业机器公司(IBM)、豪尼威尔信息系统公司(Honeywell Information System, 即HIS)、CII 豪尼威尔证券交易所和日本电气公司(NEC)则自行设计和生产高速逻辑电路,在组装、连线和冷却方面采用了很多革新技术。

其它如控制数据公司(CDC),Amdahl 公司,斯佩利尤尼瓦克公司(Sperry Univac)等,则不仅在市场上购买而且向各厂家订制高速门阵列逻辑电路组件。这些集成电路的载体、组装技术以及冷却等都经过专门设计,有不少革新。这些公司所采用的庞大的冷却系统,几乎与机器的线路一样复杂。

克雷研究实验室成功地设计出了体积小、具有扁平外壳、易于组装的集成电路组装技术,具有较强的竞争力。因此克雷计算机虽然有庞大而复杂的冷却系统,但组装得很漂亮。

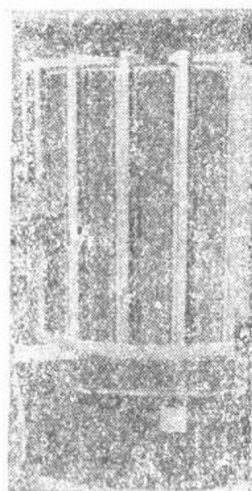


图1 超大型计算机克雷-1。打开克雷-1的机柜,可见机器复杂的连线和繁多的器件。机器有若干列,每列都装着很多插件,每个插件的多层印制板上都有散热片

面 对 现 实

要详细了解这些机器,最好是从分析那些使问题复杂化的因素开始。首先,要根据机器的需要来选用集成电路。目前ECL集成电路(射极耦合逻辑)和CML集成电路(电流型)使用比较多。IBM则专门设计了双极型集成电路。其次是对芯片集成度的要求,现在都倾向于应用门阵列大规模集成电路。

下一个问题是选择集成电路外壳,如何实现高密度组装而又不降低电路性能。需要考虑的是芯片载体、自动焊接载带芯片和IBM的倒扣再流焊方法。

在复杂的多层印制板上组装插件,设计师们在两种方法中进行选择,一种是阵列式组装组件的方法,一种是多芯片厚膜混合模块组装法。在组装过程中的下一个问题是如何用最短走线来连接组件阵列,目的是要降低传输延迟和干扰。目前的解决办法是采用控制阻抗的底板、双扭线和同轴线。

最后也是最棘手的问题是集成电路的冷却问题。可以用空气冷却和液体冷却,这两种冷却方式都是只受过机电训练的计算机组装专家所不熟悉的。

表1 计算机组装方式概况

公 司 及 地 址	型 号	芯 片 外 壳	主要印制电路板		冷却方式
			尺寸(英寸)	层 数	
美国加州太阳峪 Amdahl 公司	580	有腿芯片载体	12.2×11.4	14	空 气
(美)明尼苏达州明尼阿波利斯市克雷实验室	克雷-1	扁平	6×8	5	氟利昂
(美)明尼苏达州明尼阿波利斯市控制数据公司(CDC)	Cyber 205	无腿芯片载体	10×12	15	•
日本富士通	Facom M-380	有腿芯片载体	9.8×10.6	14	空 气
美国亚利桑那州菲尼克斯城 Honeywell 信息公司	DPS-8	陶瓷双列直插	12×12	4	•
同 上	CML 工艺	倒焊, 载带自动焊接, 80×80mm 多芯片载体	12 $\frac{1}{2}$ ×21	13—15	水
C-II Honeywell 证券所 法国	DPS-7	正焊, 载带自动焊接, 2×2 英寸多芯片载体	10×10	11	空 气
美国纽约 Armonk, IBM 公司	3081	倒焊90×90mm 多芯片载体	24×28	20	水
日本电气公司	ACOS 系列	正焊, 载体自动焊接 80×80mm 芯片载体	9.8×10.6	4	空 气
美国宾夕法尼亚州 Blue-Bell, 斯伯利-尤尼瓦克公司	1100/90 系列	有腿芯片载体	11×11	最多到 22	水

双极型的天下

新式的超级计算机都以双极型高速逻辑集成电路为基础, 内存用MOS集成电路, 缓冲存储器多用双极型集成电路。

克雷实验室、CDC公司、尤尼瓦克公司、Amdahl公司和富士通都有用ECL集成电路制造的计算机, HIS公司、CII Honeywell Bull公司、日本电气公司则用CML集成电路制造他们的大型计算机。IBM公司的最新计算机用性能最好的TTL集成电路。

虽然前面那些竞争者争相用大规模集成电路和门阵列来做计算机, 但克雷实验室在研制克雷-1和克雷XMP时, 仍分别采用2个门的门电路和16个门的SSI ECL10K型小规模集成电路。公司的方针是“用现成的器材来做”。

CDC公司在制造Cyber 205计算机时, 主要依靠168个门的ECL200K组件。尤尼瓦克

公司采用 Sperry 设计的 168 个门的 ECL 亚毫微秒门阵列来制造最新的计算机。Amdahl 公司和富士通则用 400 个门的 ECL 组件来制造最新的机器。

CII-Honeywell 公司设计成功的 CML 集成电路, 介于中规模和大规模之间。日本电气公司有一种 200 门的 CML 母片作高速用, 一种 1200 门的母片则用在速度较低的地方。位于美国亚利桑那州菲尼克斯城的 Honeywell 信息公司在最近研制成的计算机中用中规模集成电路 TTL 和 STTL, 目前已调试好的 DPS-8, 在改进型中将用大规模集成电路。

IBM 公司在 3081 系列中采用先进的肖特基二极管的 TTL 门阵列(美国电子学杂志 Electronics, 1982 年 14 期 163 页), 704 门的芯片的平均电路延迟为 1.15ns。

有趣的是一些有很强的生产集成电路能力的公司, 如 IBM、HIS 和日电都避开 ECL 门阵列, 而大多数 ECL 的倡导者则沿用现有的逻辑体系设计新的芯片并投产。将来会有更多的计算机公司设计和生产专用高速器件, 例如尤尼瓦克正在明尼苏达州 Eagan 城建造大型生产厂。

上面提到的都是毫微秒级和亚毫微秒级集成逻辑电路, 除克雷实验室的 ECL、SSI 以外, 均为门阵列或大规模集成电路芯片, 并且需要有很多腿的外壳, 这些外壳设计是整个计算机组装设计的重要内容之一, 因为要求这些集成电路占的空间小, 与底板连接方便, 并且不降低芯片性能。

在上一节的表中列出了这方面的差别, 主要的竞争技艺是芯片载体、扁平外壳和载带自动焊接与倒焊。

芯 片 外 壳

除克雷的扁平外壳外, 表中所列的外壳均为专门设计的。标准电子器件联合委员会 (J-EDEC) 的无腿陶瓷芯片载体由于与其当前的印制线路板不相容而被淘汰。因此 Amdahl 公司、CDC 公司、尤尼瓦克公司都专门设计了有腿或无腿的载体以适应自己的需要, 其输入输出腿的间距很紧密。

还有些公司, 如 HIS、CII-HB 喜欢载带自动焊接 (TAB), 他们有自己的生产基地, 能将凸台加工到芯片上去, 然后用自制的机器组装到载带上去。这一研究成果就这样把大部分计算机制造厂家拒之于载带自动焊接方法之外。IBM 自然仍独家享用倒焊工艺, 这种工艺也象载带自动焊接一样, 是一种要花很大力气去研究与发展的技术。

克雷实验室采用陶瓷扁平外壳作为基本的芯片外壳, 在一块印制线路板上装了 144 块。CDC 公司则用有 52 个输入输出点的无腿矩形芯片载体, 如图 2 所示, 载体上有一块特殊的散热板在底面上。另外该公司在 ECL 存储器组件上开始采用扁平外壳。

在 Amdahl 公司的 580 计算机中, 专门设计的 84 腿的矩形芯片载体背上有一个塔状散热器。富士通在 Facom M380 计算机中用了相似的组件外壳。

在新的 1100/90 系列中, 尤尼瓦克公司研制了一种专用的 54 腿矩形陶瓷芯片载体, 这个

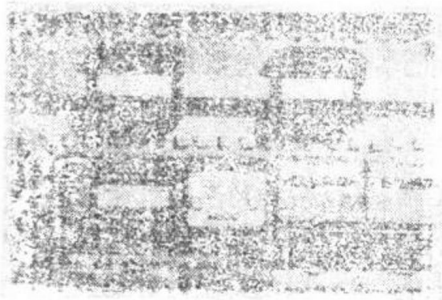


图 2 矩形载体。Cyber 205 计算机使用的具有 52 个点的矩形芯片载体。图中所示载体装在专用插座上, 用弹簧卡紧。逻辑测试点是用来测插件的。在载体上有两个去耦电容

可贵的载体四周有40条腿，14根在里面，有点象是芯片载体与腿的网格阵列。更换组件时，载体从腿上退焊下来，而腿仍然留在插件板上。

尤尼瓦克公司的Sperry为25个腿的中规模集成电路设计了一种正方形的有腿外壳；24腿的载体腿在四周，两种载体的腿中心距为50密尔。

HIS公司、CII-HB公司、日本电气公司、IBM公司等都喜欢多芯片载体方式，而不喜欢单芯片载体。因为很多芯片同焊在一块多层膜基板上，然后再装到印制线路板上，除了省空间外，还将许多连线分布在多层陶瓷基板内，可使印制线路底板简化。前三个公司用载带自动焊接法将芯片焊到多层陶瓷基板的厚膜导线上，而IBM公司则再流焊其倒扣芯片到陶瓷模块上。在载带自动焊接中，特别的装有凸台的芯片被焊在蜘蛛网式的内引线上，这些互连线是在复盖有铜薄膜的绝缘膜（或带）上经几道工序腐蚀而成的，在工艺过程中有自动检测装置，膜片切好后，将芯片的外引线焊接到多层陶瓷基板上。

在CII-HB、日电等公司，载带自动焊接芯片是面朝上的。法国公司在2×2英寸的陶瓷载体上装了6块芯片，而日本的80×80mm陶瓷载体有三层金属化层，在Acos系列计算机中装到60块40条引线的载带自动焊接芯片。

倒扣载带自动焊接

HIS公司刚完成了以载带自动焊接为基础的多芯片模块的设计。与其它两个载带自动焊接的伙伴不同的是，HIS喜欢面朝下倒扣载带自动焊接，当外引线焊好后，带引线的芯片面朝下。HIS宣称，倒扣载带自动焊接将减少成本，与面朝上的载带自动焊接相比，改进了外引线的可靠性。

在HIS公司的方法中，载带自动焊接芯片被再流焊到有240个输入输出搭子80mm见方的多层陶瓷基板上。5层陶瓷基板，有2层导线层与5层电源层，最少可装110块芯片，代替装满双列直插式组件的12×21英寸多层印制线路板。

在IBM3081系列中，已将最复杂的多层陶瓷基板投入生产。一块90mm见方的陶瓷模块可装100或118片倒扣芯片。信号走线、电源分配及工程更改能力，是用了33层陶瓷基板、有1800条腿与下一级组装连接来实现的。一个基板有35000个层间连接的金属化孔和130公尺走线。一块3081基板相当于8块3033底板的逻辑电路容量。

与单芯片载体相比，多芯片载体确实所占空间小，走线少，但价格较贵，生产和装配较困难，往印制线路板上安装也难些，一般需要特殊的连接器。目前只有几家有陶瓷与集成电路生产能力的公司赞成，IBM是公认的领先者，其经验可回溯到70年代初期。

大型印制线路板

在组件后面，不论是单芯片载体或多芯片模块，下一级互连都是母板。在这一级，印制线路被孔间距极小的金属化孔挤到一边，导线极细。由于线条宽度要求不超过10密尔，线与线的间距也要求不超过10密尔，很多厂家不得不自建印制板生产基地。

当前，多层印制线路板走线越来越密，走线网板在50密尔以下，实际上都是阻抗控制水平，很多印制线路板有互成直角的走线层，这种技术很快会在别的工业中流行。

在前面表中列出的几种印制线路板却是非常精密的，突出的是IBM, CDC, HIS, 日电以及富士通和Amdahl几家。但克雷实验室的印制线路板，乍一看来好象很简单，6×8英寸，只

有五层,但采用了37密尔宽的导线和间隔,并设计成60欧微带线,延迟为0.15ns/英寸。所有这些参数在其他厂商的样本中一般是不列入的。

克雷的印制板不论从什么标准来看都是够复杂的了,但IBM的3081的印制线路板更复杂,最多有9个1800腿的模块装在24×28英寸的印制线路板上。这块巨大的印制线路板有20层,6层信号线,12层电源线,一层表层供工程修改用,另一表面层供模块连接用,大约有450安培的电流分布在印制线路板的电源层上,消耗功率约1400瓦。这块印制电路板的走线总长度有一公里多,有1千块芯片,普通钻孔机无法在这种印制板上打孔,所以IBM用了激光打孔机,双扭线走线可进行各种工程修改。由于每个模块与印制线路板连接要用1800个触点,IBM使用了一种叉式簧片作模块腿的触点,以保证接触正确。

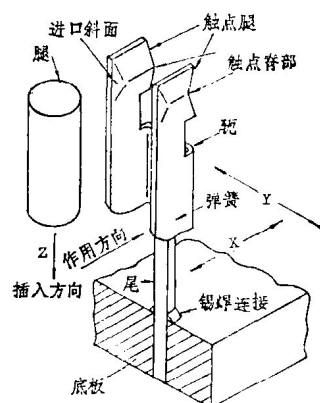


图3 分叉式簧片。IBM3081的每个导热模块有1800根腿。为了将这些腿插入印制线路板,设计了一种与腿接触的有分叉式簧片的特殊连接器,簧片的杆焊在金属化孔中

印制线路板的其它特点

CDC公司用在Cyber205计算机上的印制线路板与IBM的大致相似。其重要参数有:面积10×12英寸,15层导线层,24000个直径为22密尔的金属化孔,导线宽5密尔,线间距7密尔。

印制板用的材料是聚四氟乙烯玻璃布,介电常数低,约有170个52条腿的集成电路组件装在大小不超过50密尔的交叉网格中,该印制板有两个表面层,6层信号线,5层地线,2层电源线,还有一个特殊的电阻层,供ECL导线端接用,最终是维持75欧控制阻抗。顶面排列着装无腿芯片载体的插座,背面有2400根插针,其中1800根连接到其他印制线路板的同轴线上,其余的为电源与地线。

至于HIS公司在其流行较广的DPS-8计算机中用的是12×12英寸的4层印制板。Honeywell公司的工程师们发明了一种以CML LSI芯片为基础的组装工艺,先是装在载带上,然再自动焊接到专用的陶瓷基片上,这种陶瓷基片据说是“微组装”的,尺寸是80×80mm。用8个这样的模块装到一块特别的底板上,13到15层,尺寸12½×21英寸,或33个密尔网格。

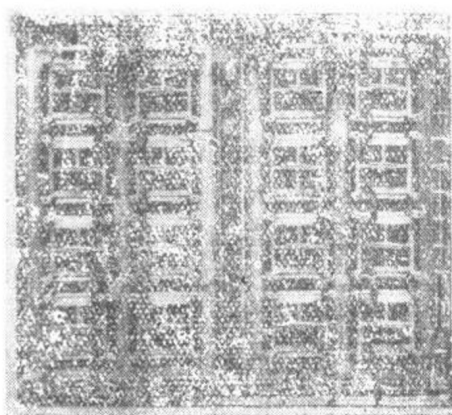


图4 这是Honeywell公司的两块底板,每块可装8个水冷微组。微组80×80mm,可装110块CML芯片,倒扣与TAB安装。无噪声液体冷却器是微组装的盖子

无腿微组装是通过一种特别的逻辑线路与电源相结合的组件来实现的,这个具有无噪声液体冷却器的组件最后安装到印制板上,图4就是HIS公司的装有冷却剂管子的印制线路板。该公司计划用8块印制线路板及相关的模板和一个电源,组成所谓“CML页对”,电源与地线汇流排列,减少了电源与地线的长度。

印制板间的互连

大型机和超大型机都有大量印制板，如何把这些板子连接起来又不损害性能是个难题，Cyber205有66个大印制板，克雷-1有1000块，都是很大的。目前有三种连线方法：同轴电缆，双扭线，控制阻抗的底板。同轴电缆价格昂贵，每根线都要连接器，并要切成需要的长度，但控制阻抗和屏蔽好。双扭线成本低，但需要细致地进行阻抗匹配，通常用手工接线，对大型机来说很费劳动力。控制阻抗的底板也遇到了多层印制板的费用问题，但连线短，板与板之间差别小，还有其他两种方法所没有的优点——走线错误少。

目前同轴电缆在大型机中用得最普遍，底板是第二位，只有克雷用双扭线进行插件间的互连。

Cyber205用成千条同轴电缆来连接插件板，都要用同样长度；克雷用120欧双扭线互连许多板子，每对双扭线匹配两个串联的60欧的板子，用差动技术使噪声保持最低。双扭线用中心距为50密尔的有96对接线柱的连接器接到克雷的插件上。克雷-1的底板有67英里长的双扭线，都是一个颜色。

组件(模块)和插件板的互连

IBM3081计算机设计时就打算减少组装级间的互连级数，从而缩短处理机的周期时间，改善可靠性。为了达到这个目的，把插件取消了，剩下的只有芯片，模块和板子这一级。IBM3081基本上是装在四块大型印制线路板上的，大部分走线都在模块和印制线路板中。在老的IBM3033计算机中，大部分连线是电缆，而在IBM3081机上，主要线路都埋在多层板中，其陶瓷模块与印制板的连线也埋在多层板中。但从其他板子到这一块的信号是用特殊信号电缆传送的，这些是三线型的18根信号线和7根地线的电缆，用锡焊在电缆插件上。这些插件用一个外壳，最多由10个组装在一起成为一个部件，插入前述的分叉式带弹簧的插座中。

在Amdahl公司的580机内，用了两块大的底板来解决印制板间的连接问题，每块底板上都有14块插件。8个多芯片载体水平堆装在5.9立方英尺的空间内。这些板子用两块侧板连接，每块都是12层，面积 17.5×18 英寸。该公司把这种方法叫做LSI堆装体，装组件的板子能用几英寸的走线代替原来要几英尺的同轴电缆，由此降低了传输延迟。无插拔力的连接器在插件的两侧面，有1152根输入输出针与侧板的连接器连接（偶然巧合，富士通的大型机也是同样方式）。

580机的LSI堆装体用50路同轴带状连接器与系统的其余部分连接。各连接器每端只有一个端子，因此所有50根微型同轴电缆能同时插入。图5是尤尼瓦克新式计算机的一个特写镜头，从图上可以看到三块巨大的底板把插件连接起来，这种底板是控制阻抗型。

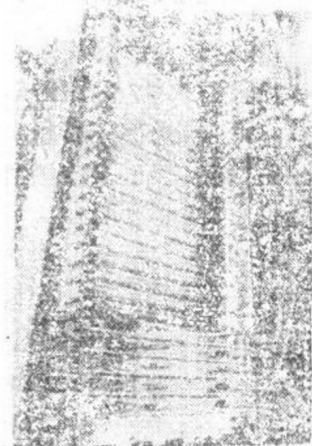


图5 堆装。在Sperry Univac的新机器1100/90中，成对的大型多层印制板插件组装在液冷板上。插件间用两块底板和一块控制阻抗的底板连接

热 堆

大量的高速大规模集成电路芯片组装的超级计算机消耗了巨大的功率。克雷-1的功耗达到95千瓦。CDC Cyber204用了约8000个5瓦的大规模集成电路组件,共耗电36千瓦。Amdahl 580机仅在大规模集成电路部件中就耗掉了5千瓦。Sperry Univac 1100/90的CPU用了20个插件对、功耗达10千瓦。IBM3081机装了9个热导模块的大板子,耗电2.7千瓦。

在大型机中处理这些热负载是个大问题。大多数可靠性专家认为、结温提高 18°C ,集成电路的寿命就减少一半,这就是为什么表中所列机器都用液冷或空气冷却系统,使集成电路结温低于临界极限。

在 转 变 中

计算机工业正处于转变的时代,从空气冷却逐渐转变到液体冷却。过去只有克雷, CDC等公司在大型机中用液冷,今年已有IBM, Sperry Univac和Honeywell几个公司用到大型机中去了。这似乎是将来的潮流,因为下一代高速大规模集成电路的每一个芯片耗电都可能达到10瓦,约为今天的2—3倍。今天仍热衷于空气冷却的,将来可能被迫改变。

液冷需要用压缩机、管路、歧管,比空气冷却麻烦多了,但在达到一定的热负荷以后,这是唯一可行的办法,可以用氟利昂(一种致冷流体)或冷冻水作冷却剂,还有早期的流动冷却剂,以及紧贴在冷板上的冷却插件板。目前热衷于大功耗多芯片的公司倾向于直接冷却组件而不是插件板。人们也注意到水冷却可扩展冷却边缘,可使每个芯片均匀受到冷却,尤其在功耗很大的计算机中,水冷代替空气冷却,消除了风机噪音。

所有采用液冷的都倾向于平行冷却,保持组件温度均匀。在空气冷却中,单股冷空气扫过整个插件板,由于空气沿插件板流动而带走组件的热量,从而使空气温度在经过插件板时逐渐升高,因此插件板进风处的温度要比空气出口处的温度低得多,而液冷则没有这个问题。

在表中可以看到, Amdahl,富士通, CII-HB和日电等几个公司目前仍留在空气冷却阵营中。采用空气冷却的Amdahl系统的580型机如图6所示。在这里,经冷却的 10°C 到 18°C 的空气从地板下吸入,通过堆装体下面的风道或风室插件,用两个风机以每分钟1800立方英尺的速度抽入,然后经过膨胀室减低噪音后排出。这种形式的冷却结果使每个组件和整体的散热器一起的热阻为 $7^{\circ}\text{C}/\text{W}$,芯片温度约为 45°C ,除了供应冷空气所需要的环境和控制器外,不需要压缩机或传热设施。

日本电气公司在ACOS系列中也用空气冷却装了模块的印制线路板,每个插件板装了4个多芯片陶瓷载体,每个功耗55瓦。每个多芯片载体有一个散热器装在背面,以每秒6立方英尺的速度送风。CII-HB用差不多同样的技术来冷却装模块的插件板。

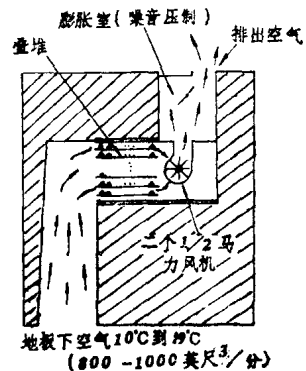


图6 上烟囱。在Amdahl 580机中,用空气冷却多芯片载体插件堆装。将地板下经过冷却后达 10°C 到 19°C 的空气抽入载体堆装体。两个风机向每个水平安装的插件送冷空气,用一个膨胀室减低噪音

液体冷却

克雷研究实验室是第一批使用液冷技术的公司之一。在克雷-1 和 XMP 两台机器中, 冷却系统的设计要求集成电路的温度最高为 65°C 。克雷的基本插件由两块印制线路板装在 80 密尔的厚铜板上组成, 一共有 144 个插件板, 板间距 0.4 英寸, 堆装在每个克雷-1 的竖列中。

集成电路产生的热量经过扁平外壳到印制线路板, 然后传到铜制的冷板中, 冷板将印制线路板的热传导到边缘, 在边上有一根铸铝冷棒使温度维持在 25°C 左右。冷棒在计算机中形成 12 个竖向列。这些冷棒中有一个不锈钢管子, 管中流动着致冷剂氟利昂, 通过蒸发系统维持在 18.5°C 。

在克雷的方法中, 热量是经过冷板传导到两个稳定的冷源中去。IBM、CDC、尤尼瓦克和 HIS 几个公司是使冷却液流过模块或印制板来进行冷却的。实际 IBM 新设计的热导模块不是在印制块上进行, 而是与 HIS 公司一样, 在无噪声整体冷却器中进行。

IBM 的 3081 机的模块由 100 到 118 个芯片组成, 产生的功率密度为 $3.7\text{W}/\text{cm}^2$, 大约是 IBM3033 处理机强迫空气冷却的模块的十倍。这种冷却技术的扩展是增加了强迫空气的流量, 对 IBM3081 那样大的热量, 这样做是不能完全传走模块的热量的, 因此不得不采用液冷热导模块。

如果功耗是每个芯片 4 瓦, 每个模块 300 瓦, 则可使芯片温度维持在 85°C 以下。散热器是一个水套, 形成模块的顶盖, 用弹簧压紧, 使其与每个芯片接触, 形成热传导通路。这些弹簧活塞的底座是充了氮气的, 以减少芯片到活塞, 由活塞到底座等界面的热阻。从芯片表面到模块底座的总热阻最大值为 $10^{\circ}/\text{W}$ 。

在 HIS 公司的 DPS-8 机中, 仍然用空气冷却, 但准备用 CML 大规模集成电路组装下一代计算机, 同时发展冷却模块和印制线路板工艺。模块与印制线路板的设计前面已经讨论过, 液体冷却是用所谓“无噪音液体冷却器”来实现的。

图 4 中由 CML 集成电路组装的插件, 由两块大型多层印制线路板组成, 每块板用特殊连接器装了 8 个无腿微组装。每个模块装上了一个无噪声液体整体冷却器, 象一个特别的盖子一样紧固在模块上。盖子的底面有一块柔软的铜隔膜, 紧贴在微组装的陶瓷基板的背面。基板上的芯片产生的热量传入铜隔膜中, 由流经冷却器内隔板的水带走。

冷却水从一个歧管流入平行软接头管, 通过一系列微组装盖子, 然后回到第一个歧管, 整体冷却器由铰链连接, 可以打开, 从印制板上拆下一块微组装而不中断主冷却液的流动。这一系统处理的功率超过 $6\text{W}/\text{平方英寸}$ 。HIS 公司估算其成本, 比空气冷却系统低。

冷 管

CDC 和尤尼瓦克公司在大型机中都用液体冷却, 但与 IBM 和 HIS 公司不同。Cyber 205 机的冷却器只有两个元件。一块矩形陶瓷芯片载体底面焊了一块金属热扩散板, 印制板的正面装了充满氟利昂的矩形管子。每个大插件板有两条分开的曲折的平行管路, 各冷却插件板上有 150 块集成电路的一半, 每个无腿陶瓷芯片载体用夹子紧压在冷管上, 夹子是大规模集成电路连接器的一部分。芯片载体的热扩散板与管子接触, 其中的氟利昂将集成电路的热导出。

图2是Cyber机的插件板及其冷却管、夹子、芯片载体和集成电路连接器的局部图。Cyber205机的冷却能力约30冷吨。205机有存储器插件，和处理器的冷却方法不一样。每一块存储器插件都装在铜板上，铜板紧压在有氟利昂通过的冷板上。

在尤尼瓦克公司的1100/90机上用了另外一种散热方法(图7)，用水来冷却耗电为5瓦的ECL大规模集成电路芯片。公司称这个组装方法为“高性能组装法”。这一技术是以用水冷却成对的插件板为基础，装了有腿陶瓷芯片载体的ECL大规模集成电路插件板用铝冷却板隔开。冷却的外层是一层称为Tedlar柔性膜的塑料隔膜，内包导热膏。

印制板压向隔膜，迫使芯片载体紧贴薄膜，导热膏将芯片的热量导入冷却中流动的循环水中。水从冷板流入冷却装置，这个是用来在冷凝剂和制冷系统交换热的。冷却系统可供26个插件对散热，最大散热负荷为10千瓦。

计算机组装专家已经或正在设计下一代大型计算机，也许还要采用ECL和CML大规模集成门阵列，芯片上的门将比目前增加10到100倍。现在人们发现，超大规模集成电路在超级计算机中的唯一用途也许是存储器和微处理机芯片。一般情况下计算机制造商希望采用市场上现成的经过考验性能上可靠的芯片。

未来计算机的组装技术

在集成电路组装领域里，大多数计算机公司盯着IBM公司开发的多芯片载体。这些大型芯片载体可装TAB芯片、倒扣芯片，甚至可装超高速集成电路TAB那样大面积的芯片，这种芯片是3M和Honeywell等公司向国防部提出的。这一方法结合了TAB与倒扣芯片的优点(详见Electronics, Dec. 29, 1981, P.66)。

虽然新的多芯片载体有可能用薄膜技术而不用厚膜技术，但容纳芯片的数量却可能多很多。薄膜线条较细，可增加组装密度并提高性能。IBM研究出了一种具有两层导线的薄膜技术，见图8。这种基板可贵的地方是它内装集成去耦电容，用聚酯做两层薄膜之间的互连绝缘膜，这种组装方法一定可以使IBM3081机的走线密度增加3到4倍。

在印制线路板领域内。人们正着眼于更细的线条和更小的线间间隔，线条细到1密尔，线距2密尔，今后的板子将只能有极小的金属化孔，可能布在25或12.5密尔的网格上。由于高速度的需要，将要求印制板的介质常数比当前的

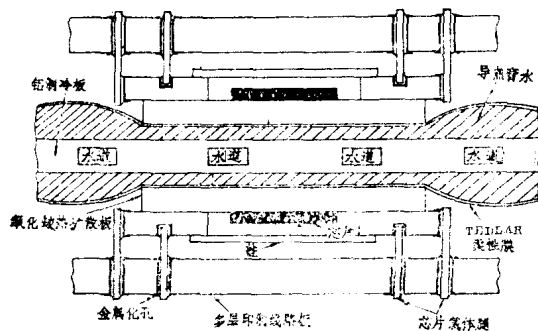


图7 冷却因素。在1100/90机中冷却有腿ECL芯片载体，一块铜板置于插件板之间，芯片载体紧压在包着导热膏的塑料隔膜上，芯片热量从冷板导出

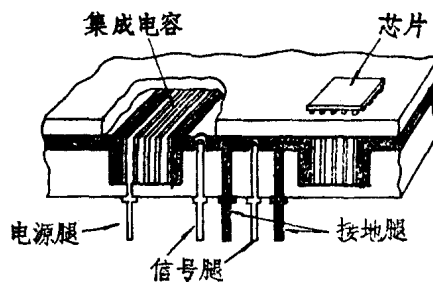


图8 薄膜载体。这是一个IBM的内装集成去耦电容的薄膜多芯片载体，用这种薄膜技术。载体的双层导线层方法有可能取代现在的多层厚膜载体

(下转30页)

高速超大规模集成电路对组装的挑战

W. Brooke Charles, R. Michael Lucas

很多军用电子系统的应用需要高速数字处理和计算操作。当系统复杂性增加, 实现所希望的性能需要更高速度的电路。例如在信息处理领域, 有功能处理速度不断增长的要求。要满足这些要求, 电路体系必须采用更快的开关速度, 如10K 和 100K 射极耦合逻辑 (ECL) 器件、砷化镓器件和很快将研制成的超高速集成电路 (VHSIC) 芯片。当这些更高速器件采用时, 实际的组装便成了电路工作的一个重要部分。组装工程师必须知道, 什么时候必须应用高速组装技术, 以及这些技术对电路工作的影响。

本文概述了高密度、高速度、大规模集成数字电路的需要和折衷考虑。对双极和MOS工艺的高频需要也进行了评述。还将讨论 VLSI 功能对输入输出针的要求。芯片组装和互连技术将根据这些要求来评述。还将讨论芯片尺寸、成品率、输入输出数、连接和互连技术之间的折衷考虑, 以及各种工艺的热要求。

器 件 工 艺

更高速度、更高密度集成电路的应用; 为提高复杂的数字系统的性能提供了很大的潜力。在尺寸、重量和功率要求很重要的航空应用中尤其如此。

为了充分利用这些新器件的潜力, 需要相适应的组装技术。这就要求从上到下有一个组装的规定, 包括大小、重量和功率的传统要求, 以及与高速和高密度有关的新要求。这些新要求包括高速、高引线组件的控制阻抗和低电容互连。

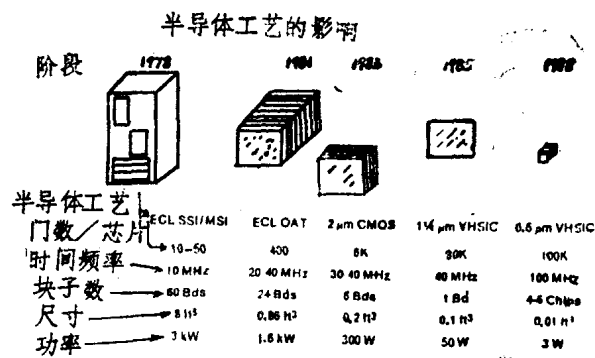


图 1 半导体工艺的影响

集成电路工艺现在是在研制曲线陡的部分, 见图 1。ECL/ 氧化物对准晶体管通用门阵列(OATUGA)是 ECL 门阵列的代表, 现在正开始进入生产系统。2 μ m 和 3 μ m CMOS 是在工艺开发的后期和系统开发的早期。

图 1 中的 VHSIC I 点和 VHSIC II 点相当于阶段 I 的 1.25 μ m 工艺目标和阶段 II 的 0.5 μ m 工艺目标。这些工艺预定发展计划示于图 2。

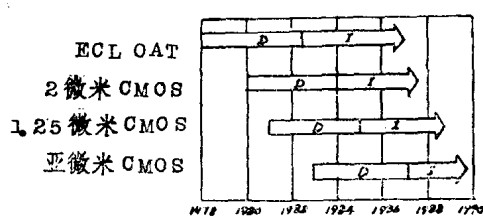


图2

□ 开发 □ 使用

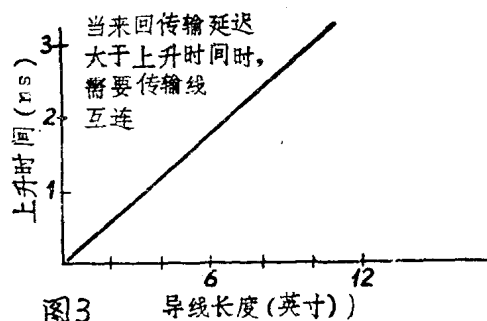


图3

互 连 要 求

这些新的集成电路对芯片组装和互连提出了若干新的要求。在芯片组装领域，需要更高引线数的组件外壳。芯片复杂性已从MSI典型的50个门增加到VHSIC阶段I器件的30000个门，典型的器件芯片尺寸也正在增加，因此产生了一个将芯片焊接在一个不现实地靠得很紧的中心距上的问题。目前，很多LSI器件是用64—80引线的组件外壳，制造商正在准备生产120—150引线的组件外壳，并计划生产200引线的VHSIC芯片外壳，但没有任何迹象表明，未来所有的外壳将是200引线的外壳。许多功能（如存储器）有一个输入输出引线-门的低比值。甚至在VHSIC I组装中，存储器器件只需要50根引线或更少一些。实际上引线数取决于选用的存储器结构，存储器越宽，输入输出引线需要越多。其他功能，如位片处理器和总线接口功能，需要输入输出引线-门的高比值。

在集成电路的革新中，有二种基本的工艺型式。有双极型，包括ECL和TTL以及MOS，它包括CMOS，NMOS和CMOS/SOS（硅片粘在蓝宝石上）。传统上，双极工艺被看作是功耗较高，而MOS工艺则被看作是密度较高（如向更小几何形状发展）。两种工艺在密度上、速度上和功耗上都会得益，但所涉及的问题是有些不同的。

双极工艺，（如ECL）已经处于这一点上了，即需要用阻抗控制的互连传输线了。当脉冲频率提高，这一要求就很重要了。作为一条一般的规则，当来回传输延迟大于脉冲上升时间，传输线反射就大了，因此需要正确的端接。这可由下列不等式给出

$$2t_{pd} \times L > t_r$$

上式 t_{pd} 为单位长度的传输延迟； L 为传输线长度， t_r 为数字脉冲的上升时间。传输延迟 t_{pd} 取决于介质常数和传输线形式（微带、屏蔽线、在地线层上走线）。器件上升时间 t_r 是一个器件工艺和接口电路设计的函数。传输线长度 L 是板子尺寸和组装密度的函数。这一不等式已示于图3中。这个不等式满足时，互连必须正确端接。这就需要用—个电阻端接在传输线上，尽量接近互连的特性阻抗。在典型的线路板上，在50到200欧范围内，如采用并联端接，这就要在集成电路中增加直流驱动要求。

有了较小的几何形状，MOS体系的CMOS内部门延迟已接近今日较高密度和较低功率双极工艺的高速度。但这一优点在很大程度上为输出电路对消掉了，因为为了驱动外部大负载，经过几级输出，信号就缓冲掉了。驱动这些电容负载，晶体管需要有大的驱动能力，而驱动这些晶体管又需要能提供比典型的内部单元更大的驱动能力。其结果是增加额外的级数来建立驱动能力。这就在输出数据通路上增加了额外的传输延迟。取代它的办法是，由