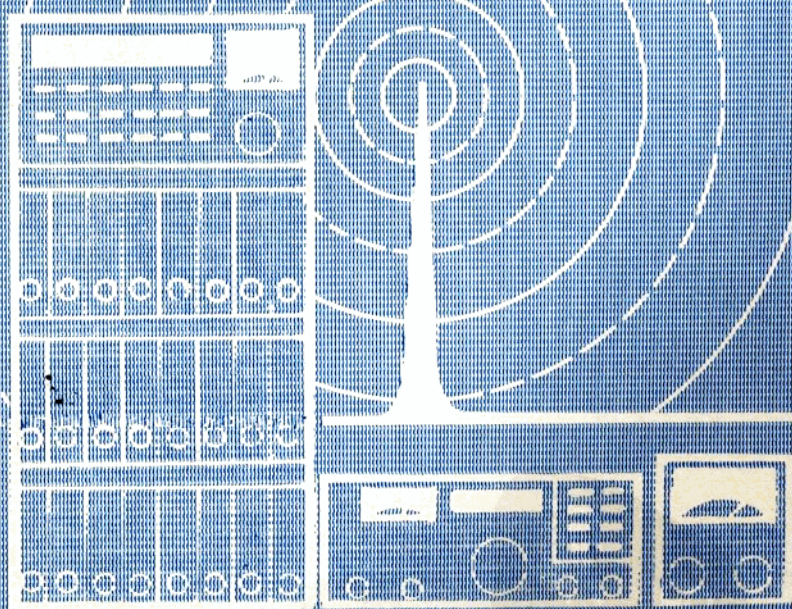


微型机技术课程设计 实验指导书



解放军信息工程大学信息工程学院

二〇〇二年十一月

目 录

前 言	1
第一章 总体结构及其使用	2
第二章 PC 机总线结构	8
2.1 PCI 协议简介	9
2.2 PCI 总线引脚介绍	9
2.3 PCI 总线命令类型及主要的总线操作	15
2.4 PCI 配置空间	21
2.5 协议转换芯片 PLX9052 简介	26
第三章 DOS 环境微机接口实验	28
实验一、在 DOS 环境下获取配置资源	28
实验二、8255 可编程并行接口实验	37
第四章 Windows 9x 环境微机接口实验基础	40
4.1 Windows 9x 的结构	40
4.2 Ring3 层应用程序与 VxDs 的接口	43
4.3 Windows 9x 下获取 PCI 配置参数	44
4.4 Windows 9x 下 I/O 控制	47
4.5 驱动程序 IO_WR.VXD 的接口	48
第五章 Windows 9x 环境 A/D 接口实验	51
5.1 ADC 转换器及其接口	51
5.2 ADC 实验电路	53
5.3 查询方式的 A/D 转换实验	54
第六章 用 VtoolSD 开发 VxD 驱动程序	56
6.1 VtoolSD 简介	56
6.2 VtoolSD 使用	56
6.3 VtoolSD 使用实例	62
6.4 VxD 自动安装配置文件 (INF 介绍)	73
6.5 获取 PnP 设备的配置数据实验	77

前 言

“微型机技术课程设计”属于考查课，是计算机科学与技术学科的必修课目，主要目的是通过实验使学生加深对微型机技术及接口设计的理解，同时培养学生自主学习及独立分析问题解决问题的能力。

本课程设计应在“微型机技术”、“汇编语言”及“面向对象程序设计”等课程之后开设。实验者最好能具有 Win9x 程序设计（如 VC）的简单编程经历。

本课程设计要求实验者独立完成。需要特别强调的是，本教程为课题设计指导书，教员并不全书讲解，因此，实验者必须自学本教程，并且自觉做好实验前的预习和程序设计，对要做的实验做到原理清楚、目标明确、思路清晰、步骤明了，以便进行实验时忙而不乱，心中有数。

实验中，当一个实验已经完成，需在教员检查通过以后方可进行下一个实验，如无教员签字，相应实验以不通过论。实验以后，要求写出实验报告。每次实验结束后，应及时整理实验设备、清理程序。

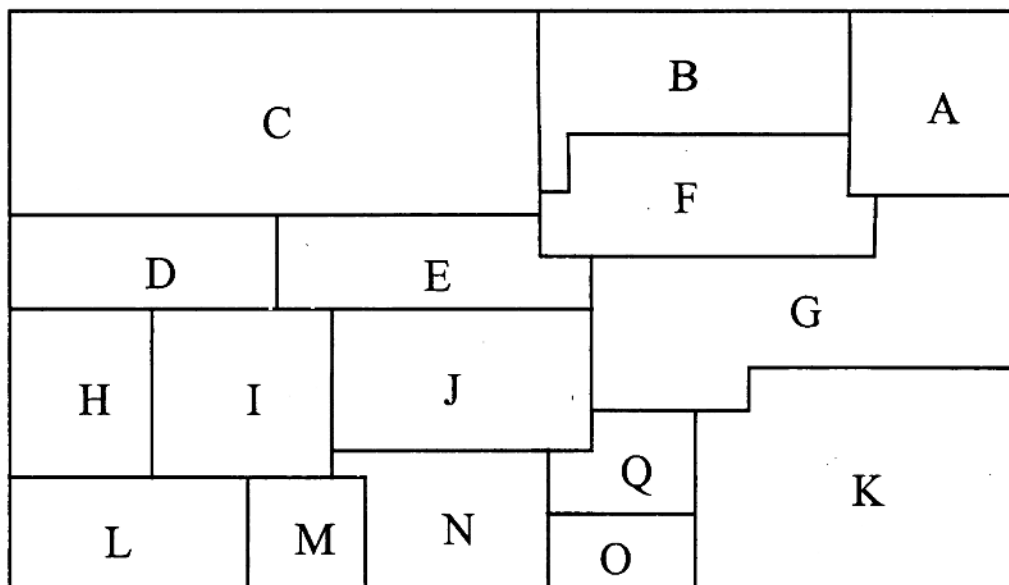
实验中禁止拷贝他人程序，一经发现本实验作不通过论。

本课程设计共 30 学时，分解为预习（2 学时）、讲解（2 学时）、实验准备（8 学时）、实验操作（14 学时）及撰写实验报告（4 学时）几个步骤。

第一章 总体结构及其使用

一、SXL-100 实验箱布局

SXL—100 实验箱布局图如下图所示。



说明:

- | | | | |
|---|------------------|---|----------------|
| A | 发光管控制 | B | 为数码显示电路 |
| C | 接口与 ISA 槽 | D | 8MHZ 信号发生器与分频器 |
| E | 译码电路 | F | 简单逻辑电平 |
| G | 8255 模块 | K | 4×4 键盘电路 |
| N | PCI16C550 串行通信实验 | M | 脉冲发生器 |
| I | DAC0832 数模转换电路 | H | ADC0809 模数转换电路 |
| L | 6116 读写电路 | J | 8253 模块 |
| O | 逻辑笔 | Q | 继电器控制电路 |

二、接线柱说明

区号	圆柱编号	功能
A	J5	接地
B	J14-1 A	数码管的 A 段

区号	圆柱编号	功能
	J14-2 B	数码管的 B 段
	J14-3 C	数码管的 C 段
	J14-4 D	数码管的 D 段
	J14-5 E	数码管的 E 段
	J14-6 F	数码管的 F 段
	J14-7 G	数码管的 G 段
	J14-8 DP	数码管的 DP 段 (小数点)
	J37-1 LD_1	数码管 LD8 的控制端
	J37-2 LD_2	数码管 LD7 的控制端
	J37-3 LD_3	数码管 LD6 的控制端
	J37-4 LD_4	数码管 LD5 的控制端
C	J20-1 ADD0	地址线 ADD0
	J20-2 ADD1	地址线 ADD1
	J20-3 ADD2	地址线 ADD2
	J20-4 ADD3	地址线 ADD3
	J20-5 ADD4	地址线 ADD4
	J20-6 ADD5	地址线 ADD5
	J20-7 ADD6	地址线 ADD6
	J20-8 ADD7	地址线 ADD7
	J22-1 D7	数据线 D7
	J22-2 D6	数据线 D6
	J22-3 D5	数据线 D5
	J23-4 D4	数据线 D4
	J23-5 D3	数据线 D3
	J23-6 D2	数据线 D2
	J23-7 D1	数据线 D1
	J23-8 D0	数据线 D0
	J21-1 ADD8	地址线 ADD8
	J21-2 ADD9	地址线 ADD9
	J21-3 ADD10	地址线 ADD10
	J21-4 ADD11	地址线 ADD11
	J21-5 ADD12	地址线 ADD12
	J21-6 ADD13	地址线 ADD13
	J21-7 ADD14	地址线 ADD14
	J21-8 ADD15	地址线 ADD15

区号	圆柱编号	功能
	J19-1 IRQ	中断端口
	J19-2 IOW	I/O 写端
	J19-3 IOR	I/O 读端
	J19-4 IMEMW	内存写端
	J19-5 IMEMR	内存读端
	J19-6 RESET	复位端
D	J7-1	4MHz 信号输出
	J7-2	2MHz 信号输出
	J7-3	1MHz 信号输出
	J7-4	500KHz 信号输出
	J7-5	250KHz 信号输出
	J7-6	125KHz 信号输出
	J7-7	62.5KHz 信号输出
	J7-8	31.25KHz 信号输出
E	J2-Y0	地址 0H
	J2-Y1	地址 10H
	J2-Y2	地址 20H
	J2-Y3	地址 30H
	J2-Y4	地址 80H
	J2-Y5	地址 90H
	J2-Y6	地址 0A0H
	J2-Y7	地址 0B0H
F	J15-1	与 J64 的第 1 个开关端相连
	J15-2	与 J64 的第 2 个开关端相连
	J15-3	与 J64 的第 3 个开关端相连
	J15-4	与 J64 的第 4 个开关端相连
	J15-5	与 J64 的第 5 个开关端相连
	J15-6	与 J64 的第 6 个开关端相连
	J15-7	与 J64 的第 7 个开关端相连
	J15-8	与 J64 的第 8 个开关端相连
G	J48-0 PB0	8255 的 B 口 0
	J48-1 PB1	8255 的 B 口 1
	J48-2 PB2	8255 的 B 口 2
	J48-3 PB3	8255 的 B 口 3
	J48-4 PB4	8255 的 B 口 4

微型机技术课程设计

区号	圆柱编号	功能
	J48-5 PB5	8255 的 B 口 5
	J48-6 PB6	8255 的 B 口 6
	J48-7 PB7	8255 的 B 口 7
	J50-0 PA0	8255 的 A 口 0
	J50-1 PA1	8255 的 A 口 1
	J50-2 PA2	8255 的 A 口 2
	J50-3 PA3	8255 的 A 口 3
	J50-4 PA4	8255 的 A 口 4
	J50-5 PA5	8255 的 A 口 5
	J50-6 PA6	8255 的 A 口 6
	J50-7 PA7	8255 的 A 口 7
	J49-0 PC0	8255 的 C 口 0
	J49-1 PC1	8255 的 C 口 1
	J49-2 PC2	8255 的 C 口 2
	J49-3 PC3	8255 的 C 口 3
	J49-4 PC4	8255 的 C 口 4
	J49-5 PC5	8255 的 C 口 5
	J49-6 PC6	8255 的 C 口 6
	J49-7 PC7	8255 的 C 口 7
	J47	8255 的片选端
H	J65 IN0	模拟量输入, 第 0 通道
	J65 IN1	模拟量输入, 第 1 通道
	J65 IN2	模拟量输入, 第 2 通道
	J65 IN3	模拟量输入, 第 3 通道
	J65 IN4	模拟量输入, 第 4 通道
	J65 IN5	模拟量输入, 第 5 通道
	J65 IN6	模拟量输入, 第 6 通道
	J65 IN7	模拟量输入, 第 7 通道
	J70	ADC0809 的 EOC 端 (EOC 为转换完成)
	J69	模拟量输出 (与 IN0 相通)
	J67	ADC0809 的片选端
I	J77	DAC0832 的片选
	J76	控制 DAC0832 的 XFER 端
	J72	DAC0832 的输出
	J78	停止 DAC0832 工作的控制端 (为 Windows9x 下特有)

微型机技术课程设计

区号	圆柱编号	功能
J	J53-1 OUT0	第 1 个计数器输出
	J53-2 GATE0	第 1 个计数器控制端
	J53-3 OCLK0	第 1 个计数器输入
	J53-4 OUT1	第 2 个计数器输出
	J53-5 GATE1	第 2 个计数器控制端
	J53-6 CLK1	第 2 个计数器输入端
	J53-7 OUT2	第 3 个计数器输出
	J53-8 GATE2	第 3 个计数器控制端
	J53-9 CLK2	第 3 个计数器输入端
K	J29-1 PC4	键盘第 1 行
	J29-2 PC5	键盘第 2 行
	J29-3 PC6	键盘第 3 行
	J29-4 PC7	键盘第 4 行
	J29-5 PC0	键盘第 1 列
	J29-6 PC1	键盘第 2 列
	J29-7 PC2	键盘第 3 列
	J29-8 PC3	键盘第 4 列
L	J58-1	RAM6116 的第 8 脚地址线 ADD0
	J58-2	RAM6116 的第 7 脚地址线 ADD1
	J58-3	RAM6116 的第 6 脚地址线 ADD2
	J58-4	RAM6116 的第 5 脚地址线 ADD3
	J58-5	RAM6116 的第 4 脚地址线 ADD4
	J58-6	RAM6116 的第 3 脚地址线 ADD5
	J58-7	RAM6116 的第 2 脚地址线 ADD6
	J58-8	RAM6116 的第 1 脚地址线 ADD7
	J58-9	RAM6116 的第 28 脚地址线 ADD8
	J58-10	RAM6116 的第 22 脚地址线 ADD9
	J58-11	RAM6116 的第 19 脚地址线 ADD10
	J60	控制 6116 的 IE 端
	J62	74LS688 的 14 脚 Q0 端
	J59	74LS688 的 15 脚 Q1 端
	J54	74LS688 的 12 脚 Q2 端
	J55	74LS688 的 11 脚 Q3 端
	J56	地址信号 ADD15
COM	J34-1	74S74 的 5 脚 Q

区号	圆柱编号	功能
	J34-2	74S74 的 6 脚/Q
N	J10	J10 与 16C550 的 30 脚 INTR 端相连
	J42	与 16C550 的 14 脚 CS2 相连
O	J79	电平输入端
Q	J80	继电器输入控制端

三、实验步骤及注意事项

- 1、将 50 芯扁平电缆接到实验箱的 50 芯插座上，注意缺口方向。
- 2、将电源线插入实验箱的电源插头上。
- 3、打开实验箱电源。
- 4、打开 PC 机电源。
- 5、做实验。
- 6、实验完毕关闭 PC 机电源。
- 7、关闭实验箱电源。
- 8、拔掉实验箱电源线。
- 9、拔掉实验箱扁平电缆。
- 10、盖上实验箱。

第二章 PC 机总线结构

1991年下半年, Intel公司首先提出PCI(Peripheral Component Interconnect)局部总线的概念, 成立了PCI特别兴趣小组SIG(PCI Special Interest Group), 并于1992年推出了最早的PCI局部总线标准PCI 1.0。现在常用版本为PCI2.1, 它是一个64位宽、66.6MHz的标准。PCI局部总线是一个完全与处理器无关的总线, 不受制于系统所使用的微处理器的种类, 不同的总线之间可以通过相应的桥芯片来转换。

Pentium及Pentium以上的高档PC机和服务器都以PCI总线为系统总线, 典型的基于PCI局部总线的PC机三级总线结构框图如图2-1所示。

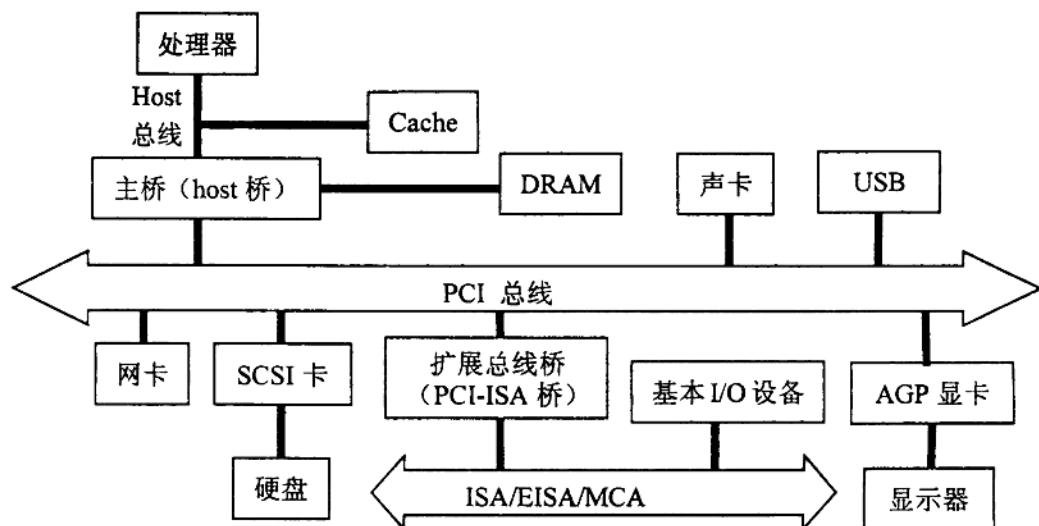


图 2-1 PCI 微机系统方框图

系统中有两级桥, 即主桥(Host桥)和扩展总线桥(PCI-ISA桥), 其中以PCI-ISA桥用得较多。扩展I/O总线有ISA、EISA或MCA。图中Host总线是处理器一级的总线, 总线定义完全取决于系统所使用的处理器, 因而不是标准总线。为了把处理器连到标准的、与处理器无关的PCI总线上, 引进了Host桥。显然, Host桥应与系统所使用的处理器相配套, 其最主要的一个功能就是把处理器的Host总线周期转换并组织成PCI总线上的周期, 同时实现处理器的地址到PCI地址空间的映射。Host桥内一般还集成有存储控制器和Cache控制器, 分别用于管理主存和位于处理器片外的Cache。

为了支持多年积累的、数量庞大的 ISA 产品及其应用程序，也为了挂接较慢的 I/O 设备，系统里一般还设置 ISA 总线。PCI-ISA 桥作为桥设备在 PCI 总线和 ISA 总线之间提供地址/数据通路，进行两总线周期的相互转换。

高速外设板卡，如 SCSI 卡、网络卡、视频卡、图像处理卡等，挂接在 PCI 总线上。基本 I/O 设备，或一些兼容 ISA 总线的外设，挂接在 ISA 总线上。

可以看出，目前 PC 机的结构与早期的 PC 机结构上有了很大的不同。早期 PC 机是以 ISA 总线为中心，而 Pentium 及以上 PC 机则都以 PCI 总线为中心，因此，它们在数据宽度、时钟以及传输速度和机制方面都有很大不同。

2.1 PCI 协议简介

PCI 总线可以有 32/64 位的数据总线和 32/64 位的地址总线。地址总线和数据总线是多路复用的，这些多路复用引脚在接插件上标识为 AD0~AD63。本微机原理仪只提供 32 位 PCI 总线的实验。

PCI 具有较宽的数据/地址总线和较高的总线速度。当 PCI 工作在 33MHz 主频和 32bit 数据总线下，数据传输率可达 132MB/s，当工作在 66MHz 主频和 64bit 数据总线下，数据传输率可达 528MB/s。而 ISA 总线最多只能工作在 8M 主频 16bit 位数据总线下，数据传输率只能达 4MB/s。

PCI 总线还具有即插即用(Plug and Play)特性，由此，允许计算机自动配置 PCI 卡，这可降低对用户的要求，使得在 PC 机中安装新的 PCI 设备变得十分简单，不像 ISA 那样需要用户自己选择设备的地址空间、IRQ 号等。

由上可知，PCI 总线相对 ISA 总线来说有着绝对的优势，ISA 总线的消亡不可逆转。但现行的很多常用的 ISA 接口扩展卡，尤其是自主研发的具有某些特殊功能的扩展卡，还想在 PCI 槽上继续使用，这即可通过专门的接口芯片将 ISA 扩展板直接转换为 PCI 扩展板来实现，并且这种转换非常方便。

2.2 PCI 总线引脚介绍

在一个 PCI 应用系统中，如果某设备取得了总线控制权，就称其为“主设备”，而被主设备选中以进行通信的设备为“目标设备”。对于相应的接口信号线，通常分为必备的和可选的两大类。若作为目标设备则需要 47 个引脚，若作为主设备则需要 49 个引脚。图 2-2 给出的是按功能组划分的引脚，左边为必须引脚，右边为可选引脚。图中的信号方向是对主控设备/目标设备的组合而言的。

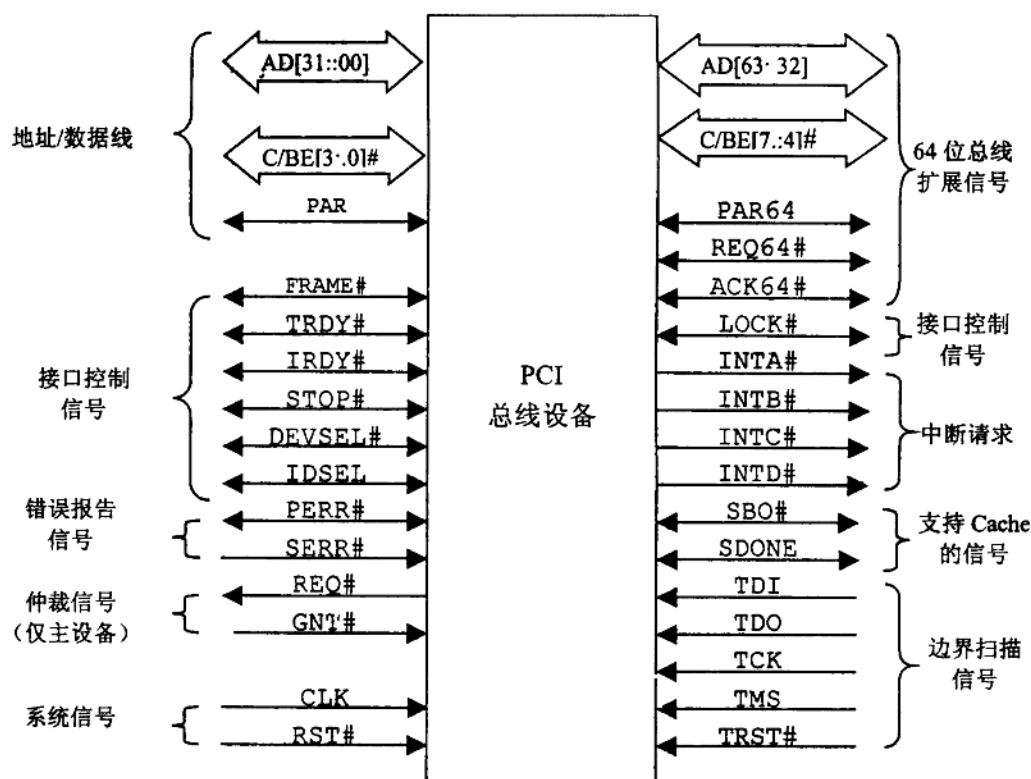


图 2-2 PCI 引脚图

2.2.1 信号类型定义

- IN：标准输入信号。
- OUT：标准输出信号。
- I/S：双向、三态输入/输出信号。
- S/T/S：Sustained Tri-State，维持三态信号，即不能浮空为不确定的电平。这是一个低有效的三态信号，由多个设备共用，但同一时刻只能由一个设备所占用并驱动。占用一个 s/t/s 信号并把它驱动为低的设备，使用完毕该信号后必须将它驱动为高至少一个时钟，然后才能使之浮空。主板必须提供相应的上拉电阻，以维持这个三态信号为确定的无效电平。要求在前一占用者将此 s/t/s 信号变为三态以后的一个时钟以内，后一占用者不能开始驱动它。即该信号被前、后两个占用者驱动为低有效的中间至少应有两个时钟的高电平的无效状态，第一个时钟的高电平状态是由前一个占用者驱动所致，后一时钟的高电平状态是由上拉电阻上拉所致。

- O/D: Open Drain, 输入/输出信号。若为输出信号则是漏极开路输出, 低有效, 允许多个设备以线或方式共享。主板必须提供相应的上拉电阻, 以便没有设备驱动它时维持该信号为无效态。

2.2.2 PCI 总线引脚

表 2-1 给出了 PCI 的引脚列表。

表 2-1 PCI 引脚列表

引脚号	信号名		引脚号	信号名	
	焊接面	元件面		焊接面	元件面
1	-12V	TAST	48	AD10	GND
2	TCK	+12V	49	GND	AD9
3	GND	TM5	50	KEY	KEY
4	TDO	TD1	51	KEY	KEY
5	+5V	+5V	52	AD8	C/BE0
6	+5V	INTA	53	AD7	+3.3V
7	INTB	INTC	54	+3.3V	AD6
8	INTD	+5V	55	AD5	AD4
9	PRSNT1		56	AD3	GND
10		+VI/O	57	GND	AD2
11	PRSNT2		58	AD1	AD0
12	KEY	KEY	59	+VIO	+IO
13	KEY	KEY	60	ACK64F	REQ64
14			61	+5V	+5V
15	GND	RST	62	+5V	+5V
16	CLK	VI/O	63		GND
17	GND	VNT	64	GND	C/BE7
18	REQ	GND	65	C/BE6	C/BE5
19	+V10		66	C/BE4	+VIO
20	AD31	AD30	67	GND	PAR64
21	AD29	+3.3V	68	AD63	AD62
22	GND	AD28	69	AD61	GND
23	AD27	AD26	70	+VIO	AD60
24	AD25	GND	71	AD59	AD58
25	+3.3V	AD24	72	AD57	GND

26	C/BE3	IDSEL	73	GND	AD56
27	AD23	+3.3V	74	AD55	AD54
28	GND	AD22	75	AD53	+VIO
29	AD21	AD20	76	GND	AD52
30	AD19	GND	77	AD51	AD50
31	+3.3V	AD18	78	AD49	GND
32	AD17	AD16	79	+VIO	AD48
33	C/BE2	+3.3V	80	AD47	AD46
34	GND	FRAME	81	AD45	GND
35	IRDY	GND	82	GND	AD44
36	+3.3V	TROY	83	AD43	AD42
37	DEVSEL	GND	84	AD41	+VI/O
38	GND	STOP	85	GND	AD40
39	LOCK	+3.3V	86	AD39	AD38
40	PERR	SDONE	87	AD37	GND
41	+3.3V	SBO	88	+VI/O	AD36
42	SERR	GND	89	AD35	AD34
43	+3.3V	PAR	90	AD33	GND
44	C/BE1	AD15	91	GND	AD32
45	AD14	+3.3V	92		
46	GND	AD13	93	GND	
47	AD12	AD11	94	GND	

注意:

- 引脚 63~94 只存在于 64 位 PCI 卡上;
- +VI/O 是在 3.3V 板上, 5V 是在 5V 板上;
- 存在空引脚。

1、系统引脚

CLK IN 时钟信号, 为所有 PCI 传输提供时序。

RST# IN 复位信号。

2、地址和数据引脚

AD[31:: 00]	T/S	地址和数据复用引脚。一个总线事务用它先传送地址，然后传送数据。大多数 PCI 总线事务包括一个地址节拍及随后的一个或若干个数据节拍。地址节拍就是 FRAME#信号被肯定的那个时钟周期，在地址节拍里 AD[31..00]含有一个 32 位的物理地址，对于 I/O 访问事务这是一个字节地址，对于配置和存储器访问事务这是一个双字地址。在数据节拍中，AD[31..00]是一个 32 位的数据，AD[07..00]为最低有效字节，AD[31..24]为最高有效字节。
C/BE[3:: 0]#	T/S	总线命令和字节使能复用引脚。在事务的地址节拍期间，C/BE[3..0]#是主设备输出的 4 位总线命令编码，表示本总线事务的类型；在数据节拍期间，主设备在这 4 条信号线上输出本数据节拍的字节使能信号，表明本数据节拍中哪些字节通路上的数据有意义，BE[0]#~BE[3]#对应于字节 0~3。
PAR	T/S	是 AD[31:: 00]和 C/BE[3:: 0]#的偶校检位。

3、接口控制引脚

FRAME#	S/T/S	由当前取得总线控制权的主设备驱动，表示一个总线事务的开始和持续。FRAME#被驱动为有效时，指示一个总线事务正在开始，当其持续有效时，数据传送继续进行；当 FRAME#被驱动为无效时，该事务已处于最后一个数据节拍。
IRDY#	S/T/S	由启动者（总线主设备）驱动，表示它已准备好数据传输。写操作时，IRDY#表示主设备已把要写的数据放在了 AD[31..00]上；读操作时，IRDY#表示主设备已准备好接收数据线上的数据。
TRDY#	S/T/S	由目标（被主设备选中的设备）驱动，表示目标已准备好数据传输。写操作时，TRDY#表示目标已准备好接收数据；读操作时，TRDY#表示目标已把数据放在了 AD[31..00]上。IRDY#和 TRDY#是联合起来使用的，在 IRDY#和 TRDY#都被采样为有效的那一个时钟的上升沿，发生数据传送并结束该数据节拍；两者之中只要有一个被采样为无效，则认为是插入等待周期。
STOP#	S/T/S	由现行目标驱动，表示目标请求主设备停止现行事务。

LOCK#	S/T/S	PCI 总线支持资源锁定或总线锁定操作。资源锁定即某一主设备利用 LOCK#信号把一个目标中的部分资源锁定住,被锁住的资源拒绝其它主设备对其进行访问,直到该主设备再利用 LOCK#信号把这个锁定解除为止。总线锁定即某一主设备把整个 PCI 总线锁定住了,除了该处理器外,别的主设备不能使用 PCI 总线进行访问。
IDSEL	IN	初始化设备选择。是 PCI 设备的配置空间片选信号,在 CPU 通过 Host 桥对 PCI 设备进行配置访问时,由配置译码电路产生的信号。
DEVSEL#	S/T/S	由目标驱动,表示一个目标已对地址节拍里主设备发出的地址进行了译码并认领了该事务,成为当前主设备的目标。主设备输入该信号察看是否有一设备已被选中。

4、仲裁引脚(只用于总线主控器)

REQ#	T/S	是主设备输出给 PCI 总线仲裁器的请求信号,表示请求使用总线。
GNT#	T/S	是仲裁器对 REQ#信号的响应,表示该主设备已获准使用总线。

5、出错报告引脚

PERR#	S/T/S	在除特殊周期以外的所有 PCI 事务中,该信号用于报告数据奇偶校检错。
SERR	O/D	在一般 PCI 事务中报告地址奇偶错; 在特殊周期事务中报告数据奇偶校检错; 报告将会引起严重后果的其它系统错误。

6、中断引脚

INTA#	O/D	这些中断请求信号是低电平有效的开漏输出信号,多个 PCI 设备的同一中断请求引脚信号可线或相连,然后再连到系统的中断控制器上。对于单功能设备,只能使用一条中断线且为 INTA#,其它三根中断线无意义。对于多功能设备也不能随意地使用这 4 条中断请求线,如果该设备只用一条中断线,则应为 INTA#;如果需用两条中断线,则应为 INTA#和 INTB#,以此类推。
INTB#	O/D	
INTC#	O/D	
INTD#	O/D	

7、Cache 支持信号

SBO		
SDONE#	IN/OUT	用于支持 PCI 存储器在系统 Cache 中进行高速缓存。

8、边界扫描信号

TCK	IN	IEEE 标准 1149.1 测试访问端口和边界扫描结构(Test Access Port and Boundary Scan Architecture) 对于 PCI 设备来说, 是一种可选的功能和接口。如果 PCI 设备是一个与 1149.1 标准兼容的 IC, 则设备内有测试访问口 TAP(Test Access Port), 利用其边界扫描机制, 可以检测该设备及其安装板上引脚连线的完好情况。5 个边界扫描引脚用来与 PCI 设备内部的 TAP 控制器串行连接。
TDI	IN	
TDO	OUT	
TMS	IN	
TRST#	IN	

2.3 PCI 总线命令类型及主要的总线操作

一、PCI 总线命令类型

主设备于地址节拍期间在 C/BE[3..0]#线上给出一个命令编码, 向目标表明本主设备在本事务中所要求执行的事务类型。PCI 总线上可以实现的命令及其编码见表 2-2。

表 2-2 PCI 总线命令

C/BE[3..0]#	命令类型及说明	
0000	Interrupt Acknowledge	中断响应
0001	Special Cycle	特殊周期
0010	I/O Read	I/O 读
0011	I/O Write	I/O 写
0100	Reserved	(保留)
0101	Reserved	(保留)
0110	Memory Read	存储器读
0111	Memory Write	存储器写
1000	Reserved	(保留)
1001	Reserved	(保留)
1010	Configuration Read	配置读
1011	Configuration Write	配置写
1100	Memory Read Multiple	存储器多行读
1101	Dual Address Cycle	双地址周期
1110	Memory Read Line	存储器行读
1111	Memory Write and Invalidate	存储器写和使无效

有 3 种存储器读命令, 它们的执行情况及应用场合有所不同。存储器读用来从位于存储器地址空间内的设备中读数据, 用此命令对存储器进行读操作没有什么限制, 常用于读较少的数据(少于一个 cache 行)或一个 Dword(双字):