

航天情报研究报告

HQ-S91018

国外RISC技术概况及其应用

General Status and the Application
of Foreign RISC Technology

国外RISC技术发展趋势及国内现状

Foreign Developing Tendency
and Domestic Status of
RISC Technology



航空航天工业部第七〇七研究所

目 录

- 一、国外RISC技术概况及其应用.....顾绍华 (1)
- 二、国外RISC技术发展趋势及国内现状.....盛智龙 (16)
- 三、使RISC编译技术工程化.....孙四明译 (26)
- 四、基于RISC的操作系统.....董碧丹译 (32)

国外RISC技术概况及其应用

General Status and the Application

of Foreign RISC Technology

顾绍华 Gu Shaohua

提 要 RISC是当前国际计算机市场的热门技术,在某些结构方面具有与传统CISC完全不同的特点。它的硬件结构简单、性能高、成本低。目前各国公司正在大力研制RISC芯片,如Sun Sparc、MC88000、i860、MIPS等芯片。RISC技术广泛应用在工作站、嵌入式系统。随着RISC技术的日臻成熟,RISC将进一步与CISC结合,并研制先进的GaAs RISC芯片,从而开拓更加广阔的应用范围。

主题词 RISC芯片、CISC技术、RISC体系结构、RISC工作站、嵌入式控制、GaAs RISC芯片

RISC技术自1982年到1984年美国加州大学Berkely分校完成RISC I和RISC II芯片设计和制造以来,已在国际计算机市场形成了突飞猛进的局面,甚至近两年在国外计算机界掀起了一股RISC热。正是这股RISC热促使RISC芯片的变革在半导体工艺的改进、VLSI技术的广泛应用推动下更加深入发展。RISC与CISC芯片的根本不同在于结构上,RISC芯片摒弃了微码结构,改用硬件解释指令;采用重迭寄存器窗口技术,延迟转移技术;新的中断处理方法和优化编译系统。因而才使RISC通常比CISC芯片具有更高的性能和较低成本。目前,RISC技术的应用已从单片、单板应用系统扩展到个人计算机、工作站,而且正在广泛地深入到嵌入式应用当中。涉及的工程、科学领域包括图形处理、出版印刷、人工智能、工业处理控制等方面。

一、RISC技术概况

(一) RISC技术主要特点

70年代后期,计算机技术的进步向传统的设计思想提出了挑战。当时,半导体存储器已逐步取代磁芯存储器;集成电路越来越便宜,而且速度比磁芯存储器快10倍;非微程序指

令的速度由于高速缓冲存储器的使用而得到了改善；编译技术取得很大进步，优化编译器生成代码只要使用指令系统的很小子集就能圆满完成复杂工作。基于上述形势，于是出现了与传统 CISC 体系结构很不相同的结构技术，这就是 RISC 技术。与 CISC 采用的微程序控制、指令长可变、指令数多、指令执行与存储器—存储器或面向堆栈为主等特点相反，RISC 的主要特点是：每个周期执行一条指令；硬布线控制不用或少用微程序，以减少指令执行时间；采取寄存器—寄存器操作指令，仅 Load/Store 指令访问存储器；简单固定格式指令，全部指令为 32 位长；很少寻址方式；流水线执行，硬件的设计允许在同一时刻处理几条指令；高性能存储层次，RISC 机至少应有 32 个通用寄存器和一定容量的高速缓存；硬件执行简单指令而使软件完成复杂工作；软件具有可见的更高层次的并行性，例如转移指令在其后一条指令执行之后才起作用，而且允许执行当前指令期间取消一条指令。

显然，单周期执行指令并使周期时间尽量短，如寄存器—寄存器操作均在单周期内完成；采取简单固定格式指令使译码时间缩短，从而减少周期时间，以及把一些计算机从运行过程中移交给编译过程；优化编译器，重新安排流水线指令的执行次序并使寄存器中的计算结果多次使用等上述许多措施都是增强 RISC 芯片性能的重要手段。以下对 RISC 特点作进一步介绍。

1. 使用优化寄存器

(1) 寄存器

为完成 CPU 取指令、解释指令、取数据、处理数据、写数据的工作，CPU 必须将某些数据暂时保存起来，于是就需要一个由一组高速寄存器组成的小型内部存储器。这个小型内部存储器大致分为用户可见寄存器和控制及状态寄存器两种。用户可见寄存器是一种可利用 CPU 执行的机器语言进行访问的寄存器，它包括通用寄存器、数据寄存器、地址寄存器、条件码寄存器。在有些情况下，通用寄存器可用于寻址功能，而在另一些情况下，可使数据寄存器和地址寄存器完全分开。当前的发展趋势是使用专用寄存器。使用专用寄存器，一般是隐含在某操作数说明符访问的那类寄存器操作码中，操作数说明符必须只识别一组专用寄存器中的一个寄存器而不是从所有寄存器中挑选一个寄存器，所以省了几位，这是个优点，缺点是限制了程序人员的灵活性。

关于寄存器数量的设计，它直接影响指令系统的设计（更多的寄存器需要更多的操作数说明符位），8~32 个寄存器最佳，因为较少的寄存器会导致更多的寄存器访问，更多的寄存器也不能明显地减少寄存器访问。关于寄存器长度，地址寄存器应足以保持最长地址；数据寄存器应能保存大多数数据类型的值。有些机器允许将相邻的寄存器合一使用，保存双倍长度值。

条件码寄存器是用来保持标志的。CPU 硬件将条件码位集中放到一个或多个寄存器中，通常构成一个控制寄存器的一部分。

(2) 重迭寄存器窗口

使用大批寄存器，减少需要访问存储器的次数是有组织寄存器的原则。根据典型过程只使用少数传送出去的参数和局部标量，以及过程活动的深度在相对窄范围内波动（图 1-1）的特性，RISC 处理器采用了几个小寄存器组，各组分配给不同的过程使用。过程调用自动转换 CPU，以便使用不同的定长寄存器窗口，而不是把寄存器的内容存放在存储器中。使相

同过程的窗口重迭起来是为方便参数传送。Sparc 就是采用带重迭窗口的环形寄存器堆栈加速过程调用执行的例子。它的寄存器分为两大部分，一部分是 8 个全局寄存器，另一部分是

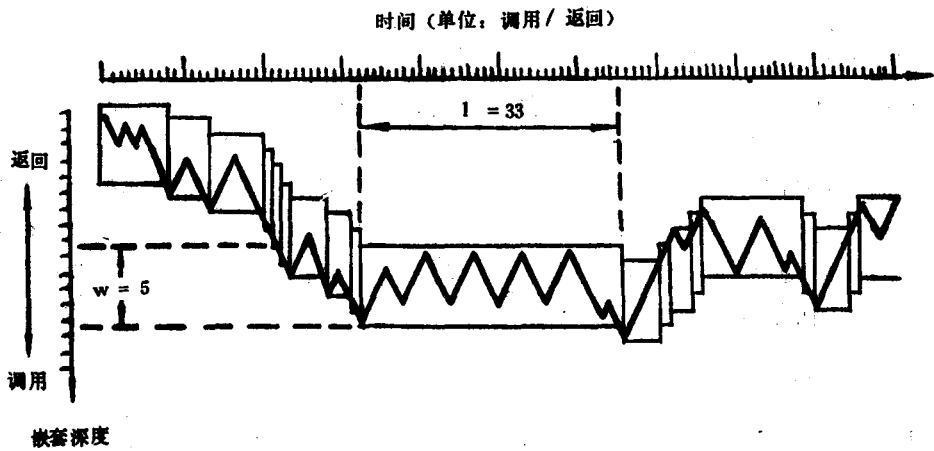


图 1-1 程序的调用—返回特性

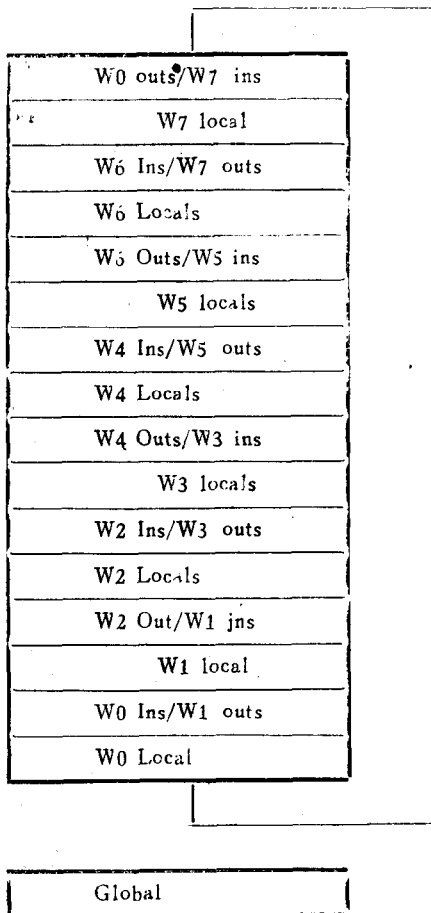


图 1-2 重迭窗口的环形寄存器堆栈

若干个窗口，每个窗口有 24 个寄存器。窗口数量为 6 ~ 32 (具体实现时为一确定值)。窗口编号从 0 ~ NWINDOWS-1, 当前窗口指针为 CWP, 它的值可由指令修改。RESTORE (恢复) 和 RETT (从陷阱返回) 指令把 CWP 加 1, SAVE (保存) 指令把 CWP 减 1, WIM 寄存器用来检测寄存器堆的上溢或下溢。图 1-2 表示了这种窗口结构。每个窗口的寄存器分成 ins (输入), outs (输出), local (局部)。全局寄存器 Global 不属于任何窗口, 每个过程都可以访问它, 这样, 一个过程可以访问 32 个寄存器。每个窗口的 ins 和 outs 都与相邻窗口重迭, 即前一个窗口 (CWP+1) 的 outs 是当前窗口的 ins, 而当前窗口的 outs 又是下一个窗口 (CWP-1) 的 ins, Local 归两个窗口所有, Global 为所有窗口共用。所有窗口构成环形结构, 最高编号的窗口与最低编号的窗口邻接。由于每个过程调用都能得到新的 Locals 和 outs, 因此过程内的局部寄存器值无需保存和恢复。重迭的寄存器窗口结构还减少了参数传递, 结果回送的开销。不利的方面是占用芯片面积较大。目

尚存在着更为灵活的寄存器堆栈结构，既能构成上述环形结构供一个进程使用，又可分成各自独立的若干寄存器组，每组供一个进程使用，访问哪组由进程指出。而以窗口的寄存器堆为基础另增加一个只用于保存指令的超高速缓冲存储器可使性能进一步提高。

(3) 最佳编译器方法

编译器的目的，是在寄存器（而不是主存储器）中保存尽可能多的计算，并尽量减少 Load/Store 操作。采取的办法如下：把要保存在寄存器中的各程序量分配给一个符号或虚拟寄存器，此后编译器将众多的符号寄存器变换成一定数量的实际寄存器。使用不会发生重迭的各符号寄存器可以共享同一个实际寄存器。如果在程序的特殊部分要处理的量比实际寄存器多，就将有些量分配给存储部件，由 Load/Store 指令将各个量暂时放入寄存器供计算操作使用。编译器通常采用图形着色技术，它将决定程序任意给定点上的哪些分量分配给寄存器，这是优化任务的本质所在。

2. 流水线技术

实现指令的流水线处理是增强处理器性能的方法之一。通常计算机执行一条指令的步骤是：取指令、指令译码、读源操作数、对源操作数加工、把结果写入目的单元。看来，操作是顺序执行的后一步依赖于前一步的结果，所以会产生硬件资源利用效率低的问题。比如，取指令时 ALU（负责数据加工）空闲，而在执行指令时取指部件又处于空闲。为了充分利用这些相互独立的硬件资源，于是便产生了流水线工作方式，再加上 RISC 指令的简单和规则特性就使得流水线方案更加有效。最简单的流水线方式是两级流水线，它把一条指令的执行分成两级：取指和执行。执行部件在执行第 I 条指令的同时，取指部件就取出第 I + 1 条指令，而当第 I 条指令执行完后马上执行第 I + 1 条指令，这时取指部件又可取来第 I + 2 条指令，如此下去。假设取指时间约等于 ALU 执行时间，那么两级流水线结构计算机的效率便是非流水线效率的两倍。如此看来，流水线级数越多似乎执行效率就越高。实际不尽然，流水线级数越多，在发生转移及数据相关时会造成流水线“汽泡”使流水线效率降低。因此，指令流水线处理虽是提高性能的一种极其有效的技术，但需经过精心设计以期用适中的复杂性达到最佳结果。为消除条件转移指令对指令流水线设计的影响，可对处理转移采用某些常用方法，如多流、预取转移目标、转移预测、延迟转移。前三种方法是结合到硬件中去，在运行时间执行。后一种方法是在编译时间执行，被用于大部分 RISC 编译器中。延迟转移是提高流水线效率的一种方法，是为补偿数据和转移相关性降低执行速率而开发的代码重组技术。

(二) RISC 产品简介

1. Sparc

Sparc 是 Sun Microsystem 公司设计的 RISC 芯片。它是英文 Scalable Processor Architecture（可定标处理机结构）的缩写。Sparc 可定标性体现在实现 Sparc 结构的 CPU 寄存器数量上。它的寄存器堆和寄存器窗口采纳了 Berkely RISC 的设计原理。Sparc 处理由两个基本部件完成：整数部件 IU 和浮点部件 FPU。IU 中有两条互相独立的 32 位总线，地址和指令/数据总线。在 Sparc 上运行的每一个过程都能使用 32 个 32 位 IU 寄存器；8 个

全局寄存器，24个窗口寄存器。Sparc采用的是环形重迭窗口寄存器堆栈，总共为40~540个IU通用寄存器（包括全局寄存器）的窗口数是2到32。FPU体系结构特点为：有32个32位浮点寄存器；一个32位浮点状态寄存器（FSR），用于保持FPU方式与状态信息；还有一个浮点队列（FQ），它由一个或多个（可定标）64位指令/地址对组成。Sparc结构一共有69条基本指令，其中14条是进行浮点操作指令。指令分类如下：转入/存储指令、算术/逻辑移位指令、控制转移指令、读/写控制寄存器指令、浮点操作指令、协同处理器操作指令。Sparc识别以下数据类型：（1）整数：带符号、不带符号字节（8位），带符号、不带符号半字（16位），带符号、不带符号字（32位），双字（64位）；（2）浮点（IEEE标准）：单精度（32位），双精度（64位），扩展精度（非IEEE标准，阶码15位，尾数63位）。Sparc结构识别三种基本指令格式（全为32位），实现三种操作数寻址。有两种装入/存储寄存器寻址方式：寄存器1 + 寄存器2 + 带符号13位常数。有两条多处理器操作支持指令，这是Sparc的结构特色，一条是交换指令，它用存储器的一个字交换IU寄存器的内容，而使其他存储器访问不受干扰。另一条是Idsub（原子装入和存储不带符号字节）指令，它将存储器中的字节读到IU寄存器，然后把存储器中的同一个字节重写全为1，而使访问不受干扰。

Sparc系统主要支持UNIX操作系统和C语言数值计算（使用FORTRAN）以及人工智能和专家系统（使用LISP和PROLOG）。

2. MC88000

Motorola公司生产的RISC芯片MC88000包括一个单片MC88100 32位微处理部件和一个单片MC88200 Cache/存储管理部件CMMU。它采用 $1\mu\text{m}$ HCMOS工艺制作。MC88000指令集仅为51条指令，由于采用记分牌（Scoreboard）硬件使优化管理通用寄存器仅有32个，设计者可以充分利用芯片面积实现一些新的体系结构，以支持处理的高效运行。MC88000具有以下主要特点：（1）MC88100采用指令和数据分开存储的Harvard结构。它的高度并发的多处理功能部件结构包括4个功能部件（整数、浮点、数据、指令部件），它们均能独立工作，除整数部件外其余三个部件都采用流水线工作方式。浮点部件由两级加法和五级乘法流水线构成；数据部件设一条三级流水线；指令部件内设两级指令预取流水线。与

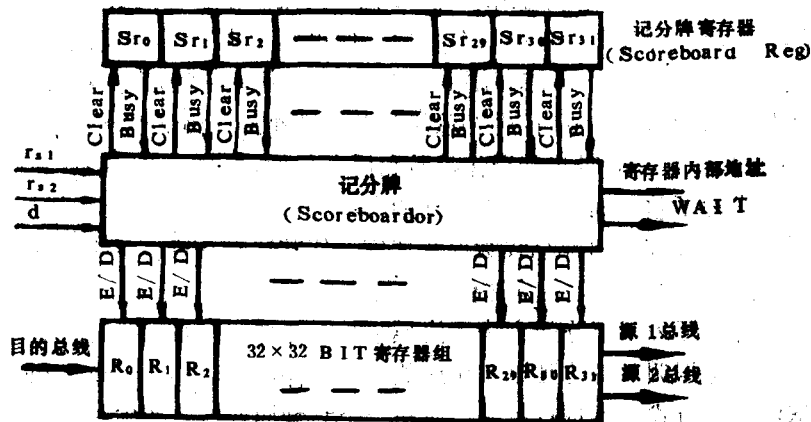


图1-3 记分牌 (Scoreboarder) 方式原理

传统结构不同, 指令部件除预取指令外仅执行一些控制类指令, 其他类指令被分派到相应的功能部件去执行。(2) 高效的通用寄存器数量的选择和管理方式的优劣是提高执行效率的关键。为此, 综合考虑处理器的实际需要和平均响应时间, MC88000 采取了硬件管理的小容量通用寄存器组和策略, 即在其内部仅设置了 32 个通用寄存器。并采用记分牌硬件对其管理。记分牌工作方式原理见图 1-3。

指令的执行与否或分派是由记分牌根据所需的寄存器是否可用来发出启动执行/分派或等待的。各单元向寄存器送结果操作亦由记分牌控制。(3) 内部设置支持多处理机机构的设施以及组关联 (Set-Associated) 地址映象技术。在 MC88100 系列中, MC88200 CMMU 是一个把高速缓冲存储器和存储器管理部件集成在一起的单片电路。MC88200 的 Cache 采用 4 路组关联地址映象方式。存储管理部件完成地址交换、组关联地址选择等功能。MC88200 CMMU 中设置了一个存储器总线控制器 MBSC, 使其系统结构为处理机的构成提供了良好支持。目前, 利用 MC8000 系列芯片已构成了 Hypermodule 多处理机系统。(4) 独特的故障恢复机构和对容错能力的支持。MC88100 控制寄存器分作异常时间和影子寄存器。对于流水线, 每段暂存器均有相应的影子寄存器, 所以每个机器周期结束时流水线各段的状态及数据均可保存“录影”, 并在机器周期结束前由硬件完成, 因此影子寄存器可作为对 MC88100 内各功能部件执行现场的同步跟踪。当异常出现时, 现场可通过程序简单地将其放入通用寄存器然后供异常处理程序使用, 而无需访存操作, 这样就极大地提高了故障恢复、指令复执等容错处理效率, 减少了平均故障恢复时间。MC88000 系统结构支持多模冗余容错结构, 而在 MC88100 的 PBUS 接口中设置了总线比较器, 可支持称为主处理器/检查处理器 (Master/Check) 的配置结构。(5) 具有良好的扩展能力。MC88000 系列采用了硅编译技术, 因此它具有良好的片内扩展能力。设计者为专用功能部件 (SFU) 保留了 256 个操作码和 7 个内部总线端口地址, 使 MC88000 内部可扩展连接 7 个 SFU。增加新的 SFU 不影响原来程序。

由以上 MC88000 系统结构特点看出, 它可以广泛用于处理机、工程工作站、容错计算机、图形图象处理机等高速大运算量场合。

3. i860

i860 是 Intel 公司推出的世界上第一个 64 位超高集成度单片式 RISC 高性能微处理器。它将整数运算、浮点运算和图形处理等各处理部件以及存储器管理部件、数据、指令用高速缓存部件等集成在同一芯片内。i860 采用 RISC 体系结构, 并运用并行处理技术。它除具备 64 位外部总线外还备有多余的 64 位内部总线与各部件相连, 因此它可在一个时钟周期内同时读入两条 32 位指令, 并同时将其送往整数和浮点部件, 即可在处理器内实现指令的并行执行。因而充分发挥了整数运算和浮点处理能力, 特别是 i860 还在其内设置了一条 128 位的数据总线, 进一步提高了内部总线数据与速度, 使其达 1GB/s。

i860 CPU 设置的 32 位整数运算部件可执行整数指令达 40Mips (40MHz 时)。采用四级流水线处理。此外, 还采用记分牌方法, 使得芯片在外部读入数据时仍能对其他寄存器进行操作, 从而减少了数据调入时的延迟; 浮点数运算部件由一个加法器单元和一个乘法器单元构成, 分别依流水线方式并行进行运算, 使在一个时钟周期内共产生 2 个浮点运算结果。它支持向量处理, 并无需考虑数据的相关性, 因而使流水线方式执行部件能充分发挥其性能。

i960 采用了 8Kb 的数据高速缓存器和 4Kb 的指令高速缓存器。数据和指令高速缓存器都具有两路组联高速缓存方案。数据高速缓存, 平均每个时钟周期最多可传送 128 位数据; 指令高速缓存, 平均每个时钟周期可传送 64 位指令。

i860 专门在其处理器芯片上设置了一个用于存储管理的分页单元。该单元具有请求式页面调度存储管理和保护虚拟存储功能。它通过一个称之 T-LB (Translation Lookside Buffer) 的 64 位入口四路组联高速缓存实现页式保护虚拟存储; 还可将逻辑地址转换为物理地址。

i860 总线控制部件可支持总线周期内的两级流水线处理, 最多同时可进行三个总线动作。流水线总线可给存储器提供 6 个时钟周期存取时间, 每 2 个时钟周期可传送 64 位字。i860 的总线控制部件在使用普通静态列式或高速页式的 DRAM 时仍能发挥出较高性能。

i860 还在处理器芯片上设置了一个专用三维图形处理部件, 可在 UNIX 支持下进行彩色图象处理 (处理的象素 8 位、16 位、32 位) 和多重处理。它备有 10 条图形处理专用指令。图形处理部件包括 2 个专用缓冲存储器、帧缓存和 Z 缓存。

i860 采用 $1\mu\text{m}$ CHMOS1V 工艺制作。芯片尺寸为 $10\times 15\text{mm}^2$, 芯片上共集成一百多万晶体管器件。其封装采用 168 管脚陶瓷 P-GA (Pin-Grid Array)。

4. MIPS (Microprocessor Without Interlocked Pipe Stages)

MIPS 被认为是 RISC 思想最为典型的商用产品。MIPS 采用五级流水线, 包括取指令、指令译码、操作数译码、存储与执行、取操作数。这一流水线确保了处理器的硬件资源 100% 被利用。MIPS 采用 Harvard 结构, 由于分开的数据存储器和指令存储器, 极大地提高了系统带宽, 有效地克服了冯·诺伊曼瓶颈问题。MIPS 的互锁是由一种与简单硬件紧密耦合、复杂的软件——重新组织汇编程序来实现的。该程序对代码重新组织, 使其汇编成可执行的机器代码, 将两条独立的指令压缩成一条指令, 并将嵌入的 NOOP 指令改由有用的指令代替。指令的重新组织可以提高平均运行速度, 增加代码密度, 减少指令流时间, 结果可比传统的汇编程序执行速度提高 50% 以上。

MIPS 除 Load/Store 指令访问主存外, 其他都是寄存器—寄存器操作。它具有 5 种寻址方式; 被访问数据物理地址从 24 位可扩充到 32 位虚地址; 具有 16Mb 的 DMA 能力; 支持 12 位向量中断, 采用高速缓存技术。

MIPS 有 32 条指令, 字长 32 位, 浮点运算可由协处理器或软件进行。MIPS 采用 NMOS 芯片, 84 个 I/O 管脚, 时钟频率为 4MHz 时性能达 2Mips。

(三) RISC 技术发展趋势

1. RISC 与并行处理技术相结合

目前并行处理的 RISC 工作站的研制正朝着两个技术方向发展, 一个是片外并行处理, 即把若干 RISC 芯片系列组成并行处理机, 例如将 Cypress 制造的 Spare 芯片组成并行处理系统。许多厂家已注意在设计 RISC 芯片时考虑多机系统的连口和通信协议。在生产 RISC

次级板时考虑到能构成不同类型的多机系统，例如为 MC88000 RISC 板设计的系统就可根据用户需要配置成单、双和四处理机模块。单机处理时速度为 17Mips；四处理机速度可达 50 Mips。又例如 RISC 机 Transputer 可构成数百以至数千个并行处理机系统。处理速度提高就更大。另一个技术发展方向是在片上的并行处理，例如冲电气公司研制的双 Sparc 芯片。

2. 发展砷化镓 RISC 技术

RISC 处理器的另一重大发展趋势是与砷化镓 (GaAs) 工艺的结合。80 年代后，随着 RISC 技术的日益成熟，使用 GaAs 制造 RISC 结构处理芯片已成为了可能。而美国国防部高级研究计划署 (DARPA) 支持的高级机载信号处理器 AOSP 发展项目又更加促成了 GaAs 处理器的迅速发展。DARPA 在一些场合需要具有很高时钟频率、耐辐射、耐恶劣环境、低功耗的处理芯片，而用 GaAs 制造的处理芯片正好满足了这一需要。GaAs AOSP 项目的第一个 GaAs 单板计算机，时钟频率已达到了 200MHz。此外采取两块不在片的 Cache 芯片 (各用于指令和数据) 和两块 Cache 控制器或内存管理程序芯片的办法还提高了内存速度。Cache 容量均为 1Kb，最佳存取时间 1ns，最坏情况 2.5ns。

美国各大公司正在研制各自的通用 GaAs 微处理机。麦道公司与 DARPA 签订合同已研制成功了世界上最快的 GaAs 32 位 RISC 处理器 MD484，以供战略防御计划的各项研究工作使用。MD484 时钟频率为 60MHz，内含 21606 个晶体管。RCA 公司研制出 RISC 结构 8 位 GaAs 技术演示处理器 (GTDM)，时钟频率 200MHz，指令执行速度为 100Mips。并且正在研制 32 位 GaAs 微处理机。CDC 公司研制出的能执行高级语言程序的 32 位 GaAs 微处理机系统，可在分层虚存和多道程序环境下运行一般应用程序。基准测试程序测试表明，其平均速度为 134.7Mips。预计不久可出现用 GaAs JFET 技术生产的 32 位高速实时数据处理处理机。Mc Donnell Douglas 等公司组织的研究小组正制定以 MIPS 为基础的指令集结构 ISA 标准，ISA 将保证所有 MIPS 机的软件兼容及提供硬件灵活性。

GaAs RISC 技术还渗透到了符号处理领域。执行专家系统语言的专用微处理机有所发展。Garnegie Mellon 大学研制出 GaAs RISC 实验结构 RISC/F 处理机，用于执行 opss 生产系统语言。Magnavox 公司研制出为执行 LISP 代码的 GAELIC (GaAs Experimental Lisp Integrated Circuit) 结构机，它是由 GaAs 制作，具有 RISC 结构的多处理机系统的高速处理元素。仿真结构显示，在 1GHz 时钟频率下运行速度高达 1000Mips；在执行典型 AI 程序时，运行速度达 300Mips，其速度远远超过了目前商用符号处理机速度。Purdue 大学的 Harry Viabos 研究指出，将来 GaAs 处理器的时钟频率可望达 1GHz 或更高。

目前数字 GaAs 技术已用于超级计算机 (Cray-3)、超级小型机、高速信号处理系统及耐辐射、耐高温、低功耗的军用场合。

因为 GaAs RISC 处理器有如此高的速度，因而带来了两方面的问题。一是，缺少如此高速度的测试设备；二是，存储芯片速度太低不能满足要求。采取的解决办法：对于前者，研制出用于 GaAs 数字 IC 芯片的 1GHz 测试器；对于后者，进一步改进流水线。但无论如何可以相信，随着 GaAs 制造技术的发展，数字 GaAs 技术终将进入商用市场。

二、RISC技术应用

(一) 工作站

1. 主要公司发展RISC工程站简况

90年代是工作站迅速普及和发展的年代。工作站体系结构设计技术正在迅速提高并向多样化迈进,工作站的软件开发和应用水平也将蓬勃发展。为了应付工作站领域及UNIX市场的挑战,世界各技术先进国家的计算机产业界都在加紧规划。各国的计算机策略尽管不同,但有一点是共同的,那就是在新一代工作站上都采用了RISC技术。HP公司原来采用的RISC技术HPPA是专用的。目前HP已经和日本日立公司及南朝鲜三星公司建立了合作关系,将共同开发以HPPA为基础的RISC芯片,日立负责研制高档RISC芯片,三星负责研制低档RISC芯片。过去DEC公司的工作站主要是专用的VAX/VMS产品,1989年开始采用开放的体系结构,并且推出运用UNIX变型的Ultrix的RISC桌式平台。DEC采用RISC与VAX技术的结合和Sun公司的RISC加UNIX相对抗,1987年前后,Sun与富士通合作设计推出了以RISC技术为基础的第一代Sparc芯片为CPU的工作站Sun4,其峰值速度达10Mips,平均速度达6~8Mips。接着公司又将Sun3的软件移植到Sun4系列。为使RISC系统更加完善,Sun又为Sparc配备了许多协处理机,增强了系统的I/O功能。从此,RISC的性能以每年翻一翻的速度提高。1988年Sun推出了第二代Sparc芯片,它采用CMOS全定制电路,工作速度已达17Mips左右。1989年第三代RISC芯片Sparc出现,它采用EGL工艺制作,工作速度可达40Mips。那时已有各种工作站问世。MIPS公司的RISC芯片R2000及采用新工艺的R3000先后投入市场,R3000速度可达17Mips。DEC和SGI公司都采用R3000作为工作站的CPU。1989年MIPS公司推出了采用ECL工艺制作的MIPS以作为新型工作站M6280的CPU,速度可达65Mips。

由于Sun工作站的销售额超过了Apollo,Apollo急起直追在工作站中采用了PRISM RISC芯片。PRISM是针对科学计算而设计的,因此弥补了原来HPPA偏重于通用数据处理

的不足。

IBM公司将于90年代初大规模地转向工作站和UNIX市场。IBM即将推出的工作站是以第三代RISC RT为基础,它加强了浮点运算、I/O及图形功能,并且采用微通道总线结构MCA。

IBM公司推出的RISC系统/6000系列的核心组成是9个VLSI逻辑和高速缓存芯片。每个芯片包含200000—800000个晶体管。工作站系列执行速度达27.5~41Mips以上,在20、25或30MHz时钟速率时为7.4~13双精度MFLOPS。对于高集成度芯片,计算内核包括整数处理器、一个浮点部件、指令缓冲器和数据缓冲器部件。所有9个工作站和服务机都采用扩展的32位宽微通道结构MCA总线作为系统扩展(Expansion)总线,传输率为40 Mb/s。

3.45Mips的Power Station 730供图形应用,它有个多功能板分系统,该系统主要以三个用于图形控制、绘图和荫影的处理器为基础。图形分系统提供24位彩色(1280×1024

-象素分辨率),它几乎达到100万三维矢量传输/秒,描绘120000 Gourand-Shaded Triangles/s输入级(Entry-level) Power Station 320,运行在20MHz时有4个微通道卡插槽,性能达27.5Mips和7.4MFLOPS。它包括单色监视器和AIX3型(IBM的UNIX型),价格为12995美元,是所有商用工作站中每Mips价格最便宜的一种。

目前最有影响的工作站厂商是HP-Apollo、Sun、DEC、Intergraph、SilCon、Graphics。据IDC统计,1992年前工作站年增长率为36%,其中RISC工作站年增长为83%。到1991年工作站总数达540000台,其中RISC工作站占42%,CISC占37%,其余为RISC与CISC混合型工作站。

目前最有竞争力的工作站需用的RISC芯片是:Sun的Sparc系列,MIPS的MIP R3000系列,Intel的80860系列, Motorola的MC88000系列,以及销售额占RISC芯片市场第一位的Intergraph的Clipper芯片。主要RISC芯片及支持厂商见表1-1。

表1-1 主要RISC芯片及其支持厂商

RISC 型号	SPARC	MIPS	MC80000	Intel 80860	Clipper
支持 厂商	<ul style="list-style-type: none"> · Cypress · Semiconductprs · Fujitsu · Texas Instrum · BIT · LSI Logit · Sun · Solbourne 	<ul style="list-style-type: none"> · DEC · LSI Logic · Siemens AG · NEC · Silicon · Graphics · SONY · Stardent 	<ul style="list-style-type: none"> · Motorola · Data General · Tektronix · Oput · Everex · Sanyo Ikon · Tadpole Tech · Dolphin 	<ul style="list-style-type: none"> · Intel · Stratus · Mercury 	<ul style="list-style-type: none"> · Intergraph
工作 速度	17Mips (Cypress CMOS) 5MFLOPS (O.P.) (CY7C602 CMOS) 15Mips (Fujitsu与LSI) 65Mips (BIT ECL 00MHz)	17Mips (LSI CMOS) 65Mips (ECL 工艺)	17Mips (Motorola CMOS) 100Mips (Motorola和DEC合作 ECL工艺)	40Mips 60MFLOPS (Intel 33MHz)	8Mips (C100 33MHz) 14Mips (C300 45MHz) 80Mips (Int. 与Fujitsu合作 100MHz)

2. RISC技术进入工作站的优势

RISC技术打入工作站市场并非偶然。原因有两个:第一个是性能、价格比优越。工作站是工程技术活动的场所,它的工作领域很广,从计算机辅助设计、计算机辅助制造、出版印刷到人工智能、软件工程等。而对各种处理能力、图形能力、人机交互、网络联接又都要求很高,随着人们对工作站的需求越来越迫切,工作站市场上的竞争会愈演愈烈,因此性能、价格比就成了相互竞争至关重要的因素。而RISC芯片恰在这方面独放异彩,能够做到性能翻几翻,价格又较低,正好满足了工作站的需要。第二是移植性好。工作站上操作系统的主流是UNIX。UNIX系统移植性好,工作站采用RISC芯片后可以很容易地将操作系统、高级语言编译、图形、窗口、数据库和网络等支撑软件移过去,保证了应用软件的兼容性。

3. 工作站技术的发展趋势

(1) 实现低档个人工作站

在实现低档个人工作站这方面,许多公司都特别注意到了要使工作站软件互换性很强的问题,例如,Sun的 Sparc Station 已设计与 PC 兼容的驱动器,同时 DOS Window 仿真软件可在 Sparc Station 上运行。DEC 和 MIPS 公司在 R2400 母板上还配备了 4 个 AT 总线插槽及标准接口。此外,研制 RISC 加速板是实现低档个人工作站的另一途径。它能使原系统性能数倍以至数十倍的提高,而不必购置新的工作站就能使个人工作站完成一般的 CAD/CAM 任务。

(2) 加速发展工作站的图形技术

HP、Sun、DEC 等公司都在研制计算机图形技术上投入了很大力量,Silicon Graphics 一直在研究三维高性能图形技术。更有不少厂家正在研制三维图形加速板或图形引擎(Graphics Engine),RISC 是高速计算转换能力的动力,因此它将推动图形技术的发展。

(3) 发展网络技术

网络技术是通过网络将每个从事 CAD/CAM 工作的个人联系起来,每个人都使用一个工作结点,并且都可以通过网络向同一个服务机寻找数据和交换文件。Sun 公司向用户提供了 NFS,DEC 提供了 NAS 网络支持,同时还提供了各档次的服务机。MIPS 公司提出的“企业服务机”正是把该公司的 65Mips 高档工作站 MIPS 6280 作为管理整个企业的计算中心,下面联接几个层次网络来管理企业的设计、生产和行政。

(二) 嵌入式应用

1. 嵌入式控制应用现状

现在许多公司在将 RISC 技术成功地应用于工作站、服务机之后,又把注意力转向了嵌入式应用。目前市场上 RISC 已有许多种结构型式,而且具有从 5~65Mips 的性能水平。虽然,RISC 在嵌入式应用领域找到了新的发展,但随之带来了在设计 UNIX 工作站时不曾有的问题。这是因为,嵌入式计算机特别是嵌入式分支计算必须满足实时要求,因此使得 RISC 处理器在结构上与工作站有不同的要求,例如低成本结构就是最起码的条件。另外,在响应时间方面,实时计算与工作站有不同的概念,在工作站性能设计时强调的是高平均性能,而实时计算的性能标准是最坏情况下测定的性能为准。因而实时计算对性能的要求就很高。所以如何引进成熟的 RISC 技术以适应嵌入式控制需要就变得异常重要。很显然,为满足嵌入式应用而要对 RISC 处理器加以改进时,高性能低成本是必须考虑的基本条件。

当前的情况是,最初作为通用计算的商用芯片,例如 MIPS 公司的 Rx000 系列,Sun 公司的 Sparc,Intergraph 的 Clipper 和 Motorola 的 MC88000 正在进入嵌入式控制应用,与此同时嵌入式控制应用的需要也正在推动芯片制造商朝着性能和成本均满足其应用的处理器的发展方向。当前,多数 RISC 机是 32 位机,不用很久,一些 CPU 的结构原理将移植到低档 16 和 8 位处理器中,进而扩展到高档 64 位机上。预计,在今后的几年里,CPU 芯片性能有可能超过 100Mips,到本年代末可达几百 Mips。Sparc CPU 的生产厂家,例如 Cypress

Semiconductor、Fujitsu、Microelectronics' Advanced Products Div.、LSI Logic 都在根据用户需要针对各种嵌入系统提供不同的 RISC CPU 芯片。为适应嵌入式应用, Texas Instruments Inc. 正在生产高度集成的整数处理器 (1991年可望了解到有关芯片研制情况)。Cypress 公司则对 Cy7c611 采取了最简单的降低芯片成本的办法: 减少地址总线使 CPU 寻址最大达 16Mb; 将协处理器接口减至一个; 省去不必要的控制管脚, 由于信息量较小, 管脚减少了40个, 并将整数处理器挤进了价格低廉的有 160 个脚的塑料四边扁平封装 (Plastic Quad-sided Flat), 因为 Cypress 使用了这样低成本的封装, 使得 25MHz 处理器 (1000 单元分组) 的成本降低到只有 76 美元, 大约是标准 Sparc CPU Cy7c601 价格的 1/3。

LSI Logic 公司对 Sparc CPU 采取了类似的降低成本方法: 将管脚减至 160 个, 但不减少地址总线而是仍保持 L6490 的 32 位地址空间; 此外, 省去了两个协处理器接口。LSI 芯片价格约比 Cypress CPU 高出 10 美元。对时钟频率分别为 20MHz (12.5Mips) 及 25MHz (15Mips) 型的处理器均是如此。LSI Logic 为了简化处理器外围系统, 开发了一种称之为“胶” (Glue) 的系统芯片。芯片包括: 动态 RAM 刷新控制器一个, 芯片选择线 8 条, 高速缓存控制逻辑, 中断逻辑, DAM 控制, 故障断点检测电路, 时钟和复位逻辑。L64951 也采取了 160 个管脚封装。一对芯片 (CPU 加上胶芯片) 售价为 157 美元。

Fujitsu 公司采取了另一种降低成本措施: 将 MB86902 Sparc CPU 挤进 160 管脚封装, 但仍保持所有的控制信号与每一个标准不在片存储管理部件接通; 通过协处理器接口使处理器 Weitek 3170 浮点算术部件接通。Fujitsu 20MHz 和 25MHz 型 (1000 单元分组) 处理器售价为 87 美元, 与 LSI Logic 处理器价格相同。Fujitsu 公司还计划增加优化的 Sparc 处理器的种类以适应各种嵌入式应用的需要。预计今年年底到 1991 年初可以推出。

MIPS 公司也将推出适用嵌入式应用的 Rx000 系列第一后代。Integrated Device Technology Inc. 生产的 IDT79 R3001 也是将标准的 R3000 CPU 管脚减少使其封装较小。另外, 设计者对 R3000 采取了两项措施: 一是, 允许将少量的局部同步存储处理为由 3001 CPU 管理的高速缓存, 为指令或数据字提供一个有效位和一个地址标志位。局部存储器利用这些位指明字属于主寄存器的哪一页。因为一个主寄存器为 8Mb 及一个高速缓存器为 16Kb, 而必须使用 9 位标志存储器, 同时需要存储总线为 42 位或 64 位宽 (32 位用于数据, 9 位用于地址标志, 1 位用于有效位, 4 位为可选奇偶检验位); 二是, 设置一个大型局部存储器, 在程序控制下, 3001 管理数据和指令的装入。基于这种方案, 要求局部存储器宽为 36 位或 32 位 (根据是否使用奇偶检验位来决定)。将其方法用于无等级 (Non-Hierarchical) 无缓冲存储分系统 (在系统中, 所有程序码和数据都可装进同步局部存储器), 可以使分系统获得最高性能, 因为它不存在任何高速缓存失去的情况或出现等待状态。一个 25MHz CPU 因此可以获得 23Mips 的性能。

甚至标准的 MIPS R2000 和 R3000 也都找到了嵌入式方面的应用。这要归功于 IDT 和 Performance Semiconductor 公司推出的模块, 它减小了板空间; 最大地提高了系统性能。作为一块研制板的一部分, IDT 开发了一个 CPU 模块, 它包括处理器、浮点部件、写缓冲器、高速缓存器和控制逻辑, 并将其同处于一个像明信片大小的芯片上。PS 公司的工作主要着眼于芯片级, R3400 是它的第一个发展对象, 它采用了单个的 144 管脚 PGA 或 172 管脚扁平封装, 其中包括 R3000 整数处理器和 R3010 浮点部件。R3400 分 25MHz 和 33MHz 两种型, 33MHz 提供了 28Mips 和 9.7MFLOPS 的性能。为了进一步减小板空间, PS 空间推

出了一种胶电路,可以替代4个R3020写缓冲器和其他24个芯片。Pacewrap R3100作为具有回读能力的8位字长写缓存器使用。胶电路有一个可编程读缓冲器(32字,可通过编程与CPU的块再填尺寸相适应)和一个奇偶生成器,奇偶生成器使其可能在无奇偶检验位时供主存储器使用,以便减小存储器尺寸。胶电路支持总线窥探。

Intergraph和Motorola公司也为自己的RISC系列增添了小型模块。Intergraph和Clipper是由一个CPU、2个高速缓存/存储管理部件及时钟产生器组成,形成了只有手掌般大的分系统,很容易构成一个较大系统控制板上的次级板。类似地, Motorola公司的Hypermodules允许设计一个或多个具有各种数量高速缓存的17MIPS RISC分系统来增加系统的吞吐量。一个Hypermodules尺寸约为 $21.5 \times 8.6 \text{ m}^2$,高1.13m。

Advanced Micro Device (AMD)公司的RISC处理器AM2900系列提供了大量价格和性能可选型。它们可供激光打印光栅引擎控制器以及Apple Macintosh计算机中图形显示加速器、X-窗口终端使用。例如被用在Samsung Software刚推出的部件上。最初的2900处理器有各种速度档次,最好的保持在17Mips。下一代2900系列,采用 $1\mu\text{m}$ CMOS加工工艺,将构成三条生产线:低档处理器AM29005,性能将达到9Mips (16MHz),采用塑料壳封装推出。为满足特别要求低成本的应用,管脚与软件均与29000CPU兼容,但没有存储管理部件或是没有转移任务高速缓存器。中档直接提高型,它由于提高了管脚兼容性使得性能达23Mips。关于高档处理器,AMD将于1991年初推出扩展型29000系列,性能为34Mips,4倍于结合型的浮点性能。扩展型29000系列由于采用了较大转移任务高速缓存器和在片浮点部件使其性能提高了很多。扩展型29000还极好地运用了不同类型的动态存储器存取方式。因而获得了高性能以及使存储分系统成本最佳化,从而处理器可以使用标准DRAM使成本最低;或者采用页方式或静态列存储器使成本略高而不过分,但是性能高。视频存储器的使用可以使速度极高但系统成本很可观。

为了满足RISC性能及成本的要求,Intel分公司Micro Controller Div.开发了以80960处理器为内核的系列产品。其高档产品80960CA是在一个时钟周期执行一个以上指令的第一个RISC处理器,额定极限速度为66Mips,比时钟频率还要高。随着芯片结构的增强和编译器的改进,性能能进一步提高,到1991年Intel的产品性能可达100Mips。其他种类的芯片,例如80960KB,其模块中包括一个浮点部分和一个512字节的存储器(而不是CA的1024b主存储器)。80960KA为一简单型,只包括一个512字节的高速缓存器。为了加快执行调用和返回操作,80960的28个通用寄存器将分成两块:15个全局寄存器和13个局部寄存器。前者是常规处理器寄存器,其内容不变,除非由程序专门改变。后者的内容依每个调用和返回指令(显示或隐式的)而改变。每次一个新的进程被调用指令调用,新的一组局部寄存器就被分派到被调用的进程。80960的内核存在多个帧(Multiple Frame)高速缓存器,每个帧缓存器包含全部的3个局部寄存器及堆栈管理寄存器。80960KA和86960KB有4个帧缓存器,80960CA可被编程而有5~15个帧缓存器。因此,转换上下文(Switching Contexts)就成了改变帧高速缓存器访问这样简单的事了。为了利用上述快速改变能力,所有80960型都包含一个32位奇偶检验位和248位矢量中断结构。由于上下文快速转换,特别使得中断等待小于 $1\mu\text{s}$ 。

对于高速记数(Number Crunching)应用,Intel推出了具有超级定标(Super Scalar)结构的32位80960处理器。芯片组合了一个精简整数处理器、一个浮点算术部件和一

个小型图形引擎，以及 8Kb 数据缓存器和 4Kb 指令缓存器。当运行在 40MHz，所有处理器主要部分并发操作时，芯片完成了 40 整数 Mips 和 8MFLOPS 及图形操作，共计吞吐量达 1.2 亿操作/s。

几家公司，例如 SKY Computer、Mercury Computer System、YARC System 都已在计算机上增加了 80860s 以作嵌入式协处理器之用。另有几家制造商，包括 IBM 还将其芯片加进了 PC 机，最近用作演示的协处理器的 80860 基加速器片就是一例。

目前应用于嵌入式控制的 32 位 RISC 和类似 RISC 处理器产品中还包括 SGS-Thomson 分公司 Inmos Div. 的 Transputer 系列；Siliconcomposers 的 Forth；United Technologies Microelectronics Center 的 Radiation-hard 6MIPS CPU；LSI Technology 的 Acorn CPU 以及某种激光打印机使用的 Weitek 公司生产的优化引擎。Harris 公司还发展了一个 32 位 RTX 面向堆栈 Forth 处理器，可望 1991 年初推出。另一个竞争者是 Philips Sigoetics 公司研制的新颖的 Very-Long-Instruction-Word 处理器。

Transputer 系列已经存在多年了，它在欧洲虽有大批支持者但却没能占据美国市场。T 400 或 T8000 处理器系列由于它的具有 4Kb 存储器的精简 CPU 内核使得它们的 32 位型系列具备了与许多中等价格 RISC 处理器相竞争的能力。T400 价格最低，它将 RAM 减到只有 2kb，2 条（不是 4 条）串行联接，售价大约 2 美元/Mips（约计 20 美元）。Inmos 公司正在发展高性能型处理器（HI 系列）以及可减少系统成本的高集成度型处理器。HI 处理器性能最高超过 150Mips 和 20MFLOPS，通过它们的串行端口双向通信保持 80Mb/s。为加强以上某些性能，Inmos 还计划采用一个 16Kb 全相关指令和数据缓存器，加上一个分离的在片工作空间缓存器。为便于采用多个 Transputer 使系统执行起来容易，Inmos 和其他几个公司研制了一个小型 CPU 模块，它包含处理器和某种存储器。多个 Transputer 模块可被安置在单独的“主板”上，然后将板插进 PC 机 Macintosh 上或者供其他使用。Transputer 结构内在的多个串行联接是用以将 CPU 模块条理地联接起来。

1989 年，Silicon Composers 实现了 32 位 Forth 引擎，性能达 5~10Mips，它可作为一个独立的芯片或作为与 PC 兼容的加进芯片使用。基于 Acorn 结构的第二代处理器 VL86 C020 已由 VLSI Technology 公司研制成功。它是原型 86C010 的高级型，是在 010CPU 内核中增加了一个 4Kb 高速缓存器和一个高速缓存器和一个号志（Semaphore）指令，该指令是作为不可分（Indivisible）读加写操作执行的。20MHz 处理器实际性能约为 5~8Mips。VTI 和 Sanyo 公司沿发展芯片的另一个分支，联合研制了一种具有多种在片资源的很适合嵌入式控制的型号 VL86C050。它含 32 位 Acorn CPU 内核，并且包括一个 16 位标准结构（ISA，PC-AT 总线）任务文件接口、一个 FIFO 缓冲器堆栈、一个寄存器文件和一个动态存储控制器（管理 16Mb 32 位存储器）。此外，处理器还封装了一个中断控制器、一个连接 DMA 总线（处理器的地址总线和数据总线分开）的 DMA 控制器、2kb ROM、5126RAM。芯片运行在 10MHz 时猝发式数据传输有可能达 40Mb/s。电路为 160 管脚扁平封装。VLSI Technology 公司预计以 50 美元出售该种芯片（1000 单元分组）。

XL8220 Hyperscript 处理器是 Weitek 公司 RISC 处理器的改进型，也适合嵌入式控制，例如它是用在打印机上的最佳型，在复杂指令系统处理器中，NS 公司研制了近 6 个最佳化的 NS32000 CPU 派生型，用于图形处理。

2. RISC与CISC结合更利于嵌入式系统应用

RISC结构可以使处理器性能提高很快,但在实际应用中不是每项应用都要求如此。CISC的优点表现在许多应用方面,倘若RISC和CISC相结合这将是32位处理器应用于嵌入式控制的最佳方案。Intel公司研制RISC基80960嵌入式处理器是很好的例子。Intel公司对80960结构至少提出了三个设计目标:一是,高水平的功能集成;二是,易于应用发展;三是,打开能与未来处理器兼容之路。从这三点看出,80960已不再是纯RISC设计。由于实际应用发展上的考虑,80960除采取通常RISC提高执行速度的措施外,还在RISC结构上增加了一些非RISC结构特征。例如,在80960KB型上采用的浮点部件和中断控制器就是典型RISC机上所没有的。而且在以计算机为主的嵌入式应用时,可以减少芯片计数(Reduced Chip Count)作为对高集成度的补偿。因为减少芯片计数意味着低功耗。

80960与典型RISC最明显的不同是采用了微码,而一个纯RISC机全部是硬连执行。硬连虽然是条很有用的措施,但盲目使用必定无济于事。相反,微码则是在低效软件和硬连开销之间考虑兼容性、低价格和相当有效方面所作的最好折衷。对于有些功能,例如浮点操作、中断控制、多处理支持和软件追踪,不论如何频繁执行,只要采用硬件逻辑执行都达不到成本有效的目的。因这样做的结果加大了处理器,且难以制造。另外,这些功能在80960中以微码执行要比在其他机中以软件执行快。原因有如下几点:第一,在片微码不承担存储延迟和时间额外开销。第二,微码可以使用在片专用资源,例如附加寄存器或外加指令,这是软件程序所不能的。第三,经过编码的功能不仅使这代处理器执行速度提高,而且随着硅加工工艺的进一步发展还可在未来的处理器中实现硬连。除此,80960的其他非RISC特征对80960的发展进程也是个推动,其明显表现如下方面:内部指令流水线管理可对软件程序进行管理;可消除主要软件开发的障碍;软件追踪指令(Software Trace Instruction)和硬件断点简化了软件故障检测;在片自检特点有助于研制中故障排除和方便整个系统维护;布尔和面向比特指令易于控制程序。

80960处理器的流水线操作是80960结构未来适应性的关键。并行执行可使处理整个性能提高很多,并且设计者将可不重新编码就能利用未来的并行执行性能。

参 考 文 献

- [1] Dave Bursky, "Take the Risk Out of Using RISC", 《Electronic Design》, July 26, 1990
- [2] Ron Wilson, "RISC Chips Get Trimmed to Satisfy Embedded Application", May 1, 1990
- [3] Technology Newsletter, "Superscalar RISC Chips Power Workstation Line", 《Electronic Design》, March 8, 1990
- [4] Technology Newsletter, "RISC Chips Take on Embedded Control", 《Electronic Design》, May 10, 1990
- [5] Products Newsletter, "RISC Processor Family Grows", 《Electronic Design》, Jun, 25, 1990
- [6] William Stallings, "精简指令系统计算机的体系结构", 1988年1月
- [7] 李三立, "RISC工作站", 清华大学, 1989年
- [8] 王新河, "第三代RISC微处理器产品MC88000评价", 华北计算技术研究所, 1989年10月