

台式电子计算机技术教科书
研究编(第3-8章)

锦州晶体管厂情报资料室

第三章 集成电路

3.1 前言	1
3.2 小型化和集成电路	2
3.2.1 小型化的规范	2
3.2.2 小型化的方法	3
3.2.3 小型元件的成品率	6
3.3 集成电路制作	6
3.3.1 隔离	8
3.3.2 布线	11
3.3.3 集成化和成品率	12
3.4 集成电路的分类	15
3.5 双极性集成电路	18
3.5.1 双极性集成电路的各种元件	18
3.5.2 关于双极性集成电路的设计 问题及制造工艺	22
3.6 金属—氧化物—半导体集成电路 (MOSIC)	24
3.6.1 金属—氧化物—半导体集成 电路的特征	25
3.6.2 MOS晶体管的结构和工作原理...	27
3.6.3 MOS电阻与MOS电容	30
3.6.4 有关MOS集成电路的数字基本 电路和模型	32

3、6、5	MOS表面的稳定性	33
3、6、6	各种新的金属——氧化物——半导体 (MOS)	36
3、7	大规模集成电路(LSI)	44
3、7、1	LSI的定义和特征	44
3、7、2	大规模集成电路(LSI)的设计	46
3、7、3	大规模集成电路的分类	48
3、7、4	台式电子计算机及大规模集成电路	50

第四章 台式电子计算机产品设计

4、1	台式电子计算机设计的程序	56
4、1、1	台式电子计算机设计的基本设想	56
4、1、2	台式电子计算机的电路设计	56
4、1、3	印刷电路板设计	57
4、1、4	确定工作方法及各种测试	58
4、1、5	设计图纸	59
4、1、6	结构设计	59
4、1、7	试制样机	60
4、1、8	样机试验	60
4、1、9	综合鉴定	60
4、2	设计上的各种问题	61
4、2、1	设计标准的必要性	61
4、2、2	具有电气特性的电路界限检验	62
4、2、3	环境影响因素检验	63

4、3	部件及台式电子计算机的研制和评价	66
4、3、1	部件的研制和评价	66
4、3、2	台式电子计算机的试制和评价	74

第五章 台式电子计算机安全操作规程

5、1	安全操作规程的简要	79
5、1、1	安全操作规程的目的	79
5、1、2	各国安全操作规程	79
5、1、3	特许电器安全规程和其它安全规程的关系	84
5、2	台式电子计算机的安全规程和措施	89
5、2、1	安全规程用语及其注意事项	89
5、2、2	采用安全规程的结构设计	105

第六章 台式电子计算机的可靠性

6、1	可靠性计划	110
6、2	可靠性试验	110
6、3	可靠性程度的估计和鉴定	112
6、3、1	产品平均故障间隔测定及计算方法	114
6、3、2	MTBF的评价	116
6、4	台式电子计算机可靠度设计	117
6、4、1	布线的可靠性	117
6、4、2	部件的可靠性	120
6、4、3	结构的可靠性	122

6、4、4 电路的可靠性	123
--------------------	-----

第七章 台式电子计算机的制造和检验工序

7、1 台式电子计算机的制造工序	126
7、1、1 印刷线路板上的装配	126
7、1、2 焊 接	128
7、1、3 台式电子计算机的装配	131
7、1、4 最后程序	132
7、2 台式电子计算机检查工序	133
7、2、1 检查的目的	133
7、2、2 部件检查	134
7、2、3 工序内部检查	134
7、2、4 制成品老化检查	136
7、2、5 检测机	136

第八章 使用部门的若干问题

8、1、1 设计部门向业务部门的业务交接	143
8、1、2 业务资料	145
8、2 台式电子计算机故障原因	148
8、2、1 各种故障及其措施	148
8、2、2 市场销售情况及使用情况汇总	150
8、3 技术服务体制	151
8、3、1 分工负责	151
8、3、2 大规模集成电路修理更换合同	153

第三章 集成电路

3.1 前言

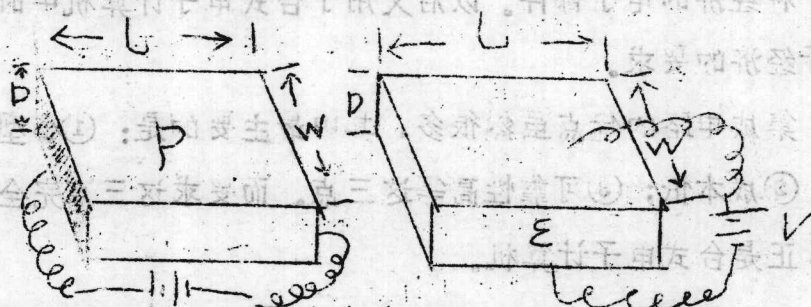
集成电路(IC)和台式电子计算机的关系紧密相连,尤其是制成大规模集成电路(LSI)时更是如此。IC初次用于宇宙探索和军用方面均有很大进步,不久使用在大型计算机时才见到IC是一种经济的电子部件。以后又用于台式电子计算机中时更加适合于经济的要求。

集成电路的优点虽然很多,其中最主要的是:①小型、重量轻;②成本低;③可靠性高等这三点。而要求这三点完全具备的装置正是台式电子计算机。

晶体管时代的台式电子计算机如果在桌子上放着份量重的计算机,使用时就得搬到使用地点,那时也觉得比较方便,如果没有更为复杂的计算题目,还不如用笔算来得快。现在再看一看使用LSI小型电子计算机就大不一样了。第二,在初期价值数十万日元的台式电子计算机,而现在的二万日元左右,这都是由于IC的产量提高所致。第三,若谈到可靠性时,在晶体管时代的故障率是没有现在比较容易出现,可是如果出了一次故障时要想查找在什么地方是非常困难的,假若没有IC的发明也就不能发展到象现在这样的台式电子计算机。

IC的优点除了它所有的集成性以外还要求由10、100、1000甚至更高的集成度,而且还要严格考虑其经济性。关于IC制造技术,侧重在集成度方面,从而发展了制造大规模集成电路。

关于台式电子计算机对LSI适当采用以后还要谈到。可是LSI与台式电子计算机互相结合从而超小型台式电子计算机才有了LSI才能够生一出来。因IC与台式电子计算机有不可分离的关系。在这一章里将介绍IC的基本设计一直到实际的制造方法。然后再概括的谈LSI。



第 3.1 图电阻器的电阻值 第 3.2 图电容器的电容

3.2 小型化和集成电路

3.2.1 小型化的规范

因为要求集成电路化，所以主要的各种电子元件总是把晶体管、电阻等制成极为小型的。同时虽然把它们小型化了，但它还具有原来的特性。

第 3.1 图示出了电阻体。宽度为 W ，长度为 L ，厚度为 D ，电阻率为 ρ ，此电阻值简化为：

$$R = \rho L / DW \quad \dots\dots\dots (31)$$

现在设厚度 D 为常数，此电阻值 R 为：

$$R \propto L / W \quad \dots\dots\dots (32)$$

表明了L和W的比成比例时，L和W的绝对值都没有关系。就是说，L与W的比一定时，则无论怎样小型化它的值不变。第3.2图示出了那样的电容器，设厚度为D，宽为W，长为L，电阻相同，若使宽度一定时，它的电容C为

$$C \propto CL/D \dots\dots\dots (3.3)$$

就是L和D的比发生关系，与它的绝对值无关。象这样的电阻、电容器、晶体管、二极管等，就是在电子电路中使用的各元件的比率一定时则在原理上怎么小型化都可以做到。

但另一方面，如在第3.7图的电阻两端施加一定的电压V，在单位面积（厚度一定）而发出的热量为 ω ，而其整个发生的热量 Q 为 V^2/R ，则得，

$$\omega LW = \frac{V^2 D}{\rho} \cdot \frac{W}{L} \dots\dots\dots (3.4)$$

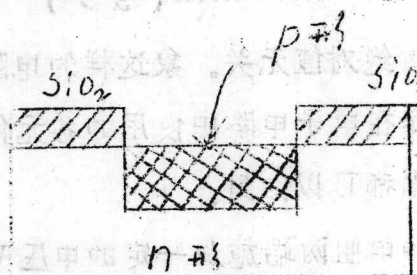
$$\therefore \omega \propto I/I^2 \dots\dots\dots (3.5)$$

在单位面积一边发生的热量与长度绝对值的平方成反比例。虽然小型化了而对其性能毫无影响。但由于发热等从而带来了不利的因素。因此IC不能使用电力，在使用IC的时候必须经常注意它的功率。

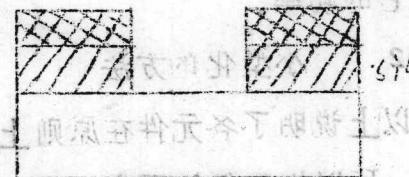
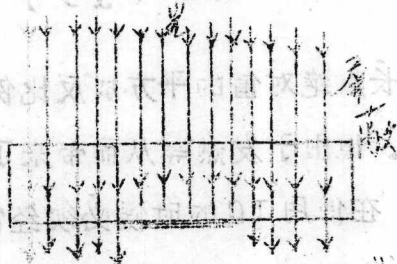
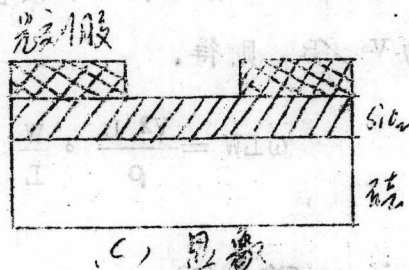
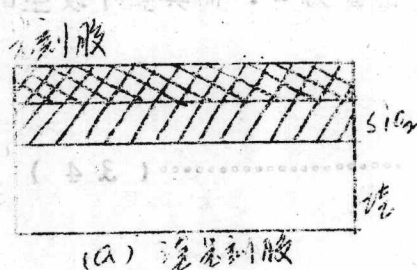
3.2.2 小型化的方法

以上说明了各元件在原则上怎样小型化，但它保持了一定的比值，所以性能保持不变。但实际来说精确度高的小型化是非常

困难即，象电阻、晶体管、二极管等，在制造各种元件的基础工
艺过程中导致半导体中扩散杂质，把P型的一部分变成N型，
而N型的一部分变成P型，本节谈到了用什么方法能进行高精度
的扩散方法。



第3.3 扩散部分



第3.4图 光刻法

首先为了制作精度良好的图象而使用了制版的方法。把它称做光刻法。将想要扩大部分的图象一般可以放大到数百倍（例如放大300倍）精度良好的图象。用图片3.1（省略）那样大的照象机可缩小到数十分之一（例如1/30）。其次再把那个图象缩小到1/10排列在一块乾板上进行制备。现在如原来的图象用0.03mm精度制作成图象，最后则在乾板上便成为0.1μ的精度3。这样做时先要制作高质量的光刻乾板。

其次向硅中扩散进磷、硼一类的杂质。经1000℃以上的高温时向硅里进行了扩散，但用相同的温度很难向硅的氧化物中进进扩散。换句话说就是用相同的杂质向硅和氧化硅进行扩散时，二者的扩散系数也有很大差异。因此象第3.3图示出的硅片断面。放在高温下的杂质气氛中虽然杂质能从暴露的硅表面扩散进去，可是不能向有氧化硅（ SiO_2 ）的部分扩散进去。正因如此，凡不打算扩散的部分若用氧化硅复盖，就能使部分区域达到扩散。

此后，按前述，在精良的厚板上除去部分氧化硅膜的方法，若把硅片放在1000℃以上的氧化气氛中导致表面形成氧化硅。其次把叫做光致抗蚀剂的溶液涂复在它的表面上。可是，此光致抗蚀剂不曝光、能溶于显影液，而曝光部分起了光化学反应而不溶于显影液，（也有与其相反的）此时涂复光致抗蚀剂后再把以前谈到的原板曝光后放入显影液中则曝光部分留下重迭的光致抗蚀剂，不曝光部分的光致抗蚀剂便溶解而露出氧化硅薄膜。最后将此硅片放入溶剂中致使光致抗蚀剂的表面原封不动的留下来。

可是，氧化硅的露出部分被除去了，露出了硅表面。将此精细的原板图象安排在硅片表面上。此光刻工艺示意图如第3.4图所示，接着再次进行扩散，就能制作成小型的诸如晶体管、电阻、二极管等等。（可参见第3.5.1节叙述。）

3.2.3 小型元件的成品率

为了提高集成度把各种元件做得越小型化越好，但是另一方面，若各种元件愈小型化而其精度下降时成品率便不高。例如给予一定厚度的电阻，正如在3.2.1节所叙述的那样，如果电阻在长度和宽度的比一定时因而它的电阻值也是一定的，如长度 100μ ($10^{-3}m$) 宽 10μ 的电阻和长度 1000μ ，宽度 100μ 的电阻致使其电阻值是相同的。然而现在制造技术上若采取士 0.5μ 的元件误差时，但对其长度方向的影响可忽略不计，对于前者电阻可发生具有10%的同批元件产品误差，而后者仅发生具有1%的同批元件产品误差。因此，如从集成度的方面来看，前者占优势，而对成品率来说后者占优势。

如3.2.2节叙述的那样，由于使用能缩小的摄影机便提高了乾板的图象精度，它的适应程度随着缩小比例程度而变动的，可是把适应程度尽量提高，同时把精度也跟着提高，那是不可能的。以下阐述了导致精度降低的各种主要原因。

首先由于光刻制板引起的影晌，第一要画出数百倍的原画精度就成问题。为了提高这个精度，通常使用在透明树脂膜上复盖上不透明的树脂膜供厚板使用。如用锐利的刀具只能把不透明的

树脂膜刻掉，来制作图象。因此，这个厚板能够达到 0.01 mm 精度。其次在缩小这个图时，由于光的反射等原因导致精度下降，其能级达到 $1000\text{ \AA}$ ($1\text{ \AA} = 10^{-8}\text{ cm}$) 左右。而且光刻制版（掩膜）的白黑部分也就是明暗反如同 $10\text{ }\mu$ 宽图形的外部，呈黑色的地方要变成白色的 $10\text{ }\mu$ 宽的带状图象，如外部都是呈白色状的地方，要变成黑色 $10\text{ }\mu$ 宽的带状图象。最后所得带状图象宽度是不同的，因此掩膜在实际使用中，预期精确程度还是有所降低。

其次考虑一下，使用这个掩膜在硅氧化膜上面开的窗口是要用光致抗蚀剂的工艺过程来获得的。一般要经过几次扩散过程。接着刻蚀铝膜。因为光致抗蚀剂至少经受住 5 次以上而不在片子上任一地方变为掩膜。必须在上一次形成图象的上面能正确重合，所以要使用掩膜定位装置。由掩膜定位显微镜对准掩膜的位置而曝光。这一工艺过程是制做集成电路上非常重要的工艺部分，重合这一位置的元件误差依然是 IC 特性的元件误差。在此工艺过程中，致使精度受到光致抗蚀剂的影响，这也是使精度下降的原因。

最后将具有氧化膜窗口的片子放入扩散炉中，使杂质不能和氧化膜图象一同扩散。从硅表面进去的杂质无论是向深度方向和横的方向几乎是同样进行扩散，（扩散速度取决于诸结晶轴方向）所以从原则上讲，开直径 $10\text{ }\mu$ 的窗口于氧化膜，能扩散 $1\text{ }\mu$ 的深度，则那层的直径为 $12\text{ }\mu$ ，象这样扩散的渗出也就影响了精度。

因此，在各种因素的反复影响下，使精度下降，但也有的能预测它的变化，需要考虑的就是制作厚板，对元件误差没有预计有大的影响，就能控制成品率的降低。或者有时影响了批量元件间的误差。另外，影响了批量元件内元件的误差。必须正视这些主要因素。为了正确对待这工艺过程，必须从集成度的经济性和成品率降低这两方面的经济性作比较来决定各元件的尺寸。

3.3 集成电路制作

3.3.1 隔离

如3.2节叙述的那样，各元件小型化，以后将那些元件组合在一个装置中（集成化）。但是使各元件进行电气的绝缘，并且必须成为具有物理的整体部分，因此要研究各种隔离方法。

(1)空间的隔离法

把各元件放置在绝缘体的基板上，使各元件间分离开来。这是分离的最简单的方法。另一个设想，也可以叫做空气绝缘。这个典型的東西就是混合IC，是在象陶瓷绝缘板上安装好各种元件，现在必须用人工安装在各个衬底上。用人工进行制作，在产量上虽然不高，可是设备投资少，这适合生产少量多品种。

硅——兰宝石技术IC也是绝缘分类之一，如在兰宝石上进行外延生长〔注*〕淀积成硅的单晶体，因为兰宝石和硅的晶体构造很相似，所以它的生长是可能的。然后再在硅面上制作成各

种元件。各元件之间的不需要部分，象硅可用光刻法除去。又因为兰宝石是绝缘体，所以各元件能完全达到隔离和绝缘。如第 35 图所示，双极性兰宝石和硅——兰宝石金属氧化物半导体的结构。象这样的元件是在多数岛状兰宝石上绝缘成为点的形式存在，它们之间依此用铝线连结。

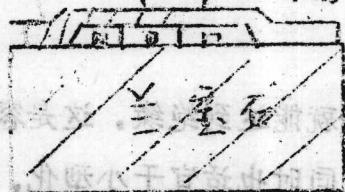
(2) 用绝缘层隔离

把绝缘层插入各元件之间，各元件就能达到绝缘，这是容易理解的。但是这不仅适宜于大量生产，同时也适宜于小型化，故而人们大多采用这种设计。举一个例子来说，如多晶层的生长法。第 36 图示出了它的制法，除了制作成单晶薄片的元件部分外其余部分要刻蚀掉，其次再在它的表面进行氧化，制成二氧化硅 (SiO_2) 层。该断面图如(a)、再在 SiO_2 层上面生长多晶体，是用外延生长法生长的。其结果如(b)。除去从图(b)的上部到图的点线部分便成为(c)。c 的单晶体部分常用 SiO_2 绝缘层隔离，按各岛状体作成元件使用绝缘层隔离的 IC 就作成了。

〔注*〕外延生长：也叫做汽相生长。依硅来说，硅的衬底或者持有与它非常相似的结晶结构制得的衬底。把硅化合物气体送到它的上面，通过 1000°C 以上的高温时使气体进行热分解，硅在衬底上生成，一般在单晶上生长成单晶硅，直到淀积成多晶硅和氧化物，碳化物等。



双极型SOS
电极沉栅

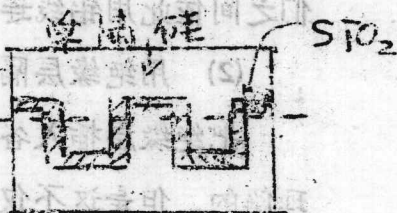


MOS SOS

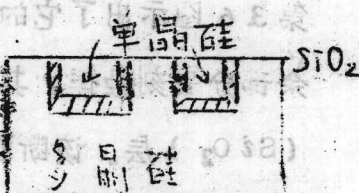
第3.5图 SOS的构造



(a) 单晶体和氧化腐蚀

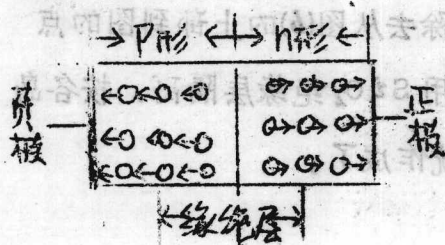


(b) 多晶体的生长



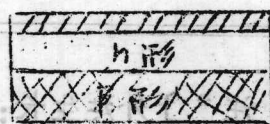
(c) 上部去掉

第3.6图、用绝缘层隔离



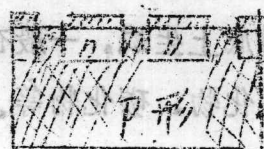
第3.7图

PN结隔离



(d) 外侧结短路

第3.8图 PN结隔离
改进后方法



(b) P扩散

(3) 用 $p-n$ 结隔离

利用 $p-n$ 结隔离是半导体 IC 中很普遍的方法。最适于生产的方法。这一方法虽有若干缺点，但这个方法的出现，直到目前为止，它有几乎所有的集成电路中都在广泛应用着的优点。

它的原理如第 3.7 图，若在 p 型的接线外加上 $\ominus$ 电压， n 型的接线外加上 $\oplus$ 电压时，使 p 型载流子空穴向负电极的方向移动， n 型的载流子电子向正电极方向迁移。其结果是在 $p-n$ 结的交界附近，载流子几乎等于零。当这一部分电流为零，从而该层成为绝缘层了。因这层能把各元件加以隔离，而且依据同一原理也能制成电容器。

事实上使用双极性集成电路条件下，如第 3.8 图所示，先在 p 型的晶片上，以外延生长法，生长成 n 型的单晶硅。其次，应用光刻方法把特定位置上的氧化硅 (SiO_2) 层除掉，最后扩散进 p 型杂质（如硼等），其表面为 p 型硅片层，如 (b) 那样，使 n 型的部分处于 p 型部分中呈岛状而存在。在该位置上 n 型部分的电位常比 p 型部分高，而在 $p-n$ 结界面便不存在载流子，各 n 型岛状处电流予以隔离。这是普遍采用的方法。

3.3.2 布线

将既往隔离的各个元件进行连结的布线方式，混合的集成电路（厚膜 IC，薄膜 IC）和单片集成电路，两者截然不同。混合集成电路的条件是在陶瓷等的衬底上面，在预先预定布线的地方用屏蔽印刷或蒸发淀积形成导体膜的导线，在规定的地方装置

半导体片，以后把引线和接点进行连接。

半导体的单片式集成电路布线是把表面复盖上 SiO_2 层，仅在让出电极的位置部分，用光刻法开出窗口，然后全面蒸发淀积着铝，最后通过光刻把不需要的部分除掉并把接头完成布线。

布线纵横交错时，那个制法就变得复杂起来，在混合条件下是在衬底的表面和内部开孔贯穿进行连接的方法或进行2次导线屏蔽印刷，使其间进行绝缘印刷方法等。单片的时候，铝布线要进行2次，其中也有用硅的氧化膜进行绝缘，用扩散层进行接线，一般是在 SiO_2 层上用铝布线最为普遍。因为布线错综复杂，在技术上遇到很大困难。在任何情况下，都要求布线交叉越少越好，在设计时，从电路设计模型作出方案时应侧重在纵横交错的布线减到最少，这大多数是利用计算机进行控制的。

3.3.3 集成化和成品率

研究半导体单片集成电路时，若各元件的大小一定时，为了提高集成度必须把集成电路片子面积搞得大一些。片子的面积大一些，便能改进集成度，在生产方面和其他方面虽能产生许多优点，但如果面积大了会导致工艺上失误概率按比例而递增。还因为使用了硅单晶，其中含有晶体缺陷的概率也会提高。这些都是集成电路成品率不高的原因。

由于晶体缺陷，致使成品率不高，那么怎样来求面积的增大程度呢？原片面积比为 y ，此片子面积的增量面积为 ds ，晶体缺陷注意存在着，其密度为 K ，它在 ds 中存在的概率为 Kds 设