

局 部 网 络 用 户 手 册

翻 译 凌文中 周 伟 张 纶
朱志俭 张连军
校 对 王敬文 朱怡安 李 军

中国英特尔计算机用户协会

目 录

第一章 导论

1.0 概述	(1)
1.0.1. 网络的标准化	(1)
1.1.0. CSMA/CD概述	(2)
1.1.1. IEEE802.3	(2)
1.1.2. CSMA/CD的优点	(3)
1.2. Intel局部网络方案	(3)
1.2.1. 标准的实施	(3)
1.2.2. 82586局部网络协处理器	(4)
1.2.3. 82501以太网串行接口	(4)
1.2.4. iNA960 传输软件	(4)
1.3. 82586系统概述	(5)
1.3.1. 82586/CPU共享存储器结构	(5)
1.3.2. 接收一帧	(6)
1.3.3. 发送一帧	(7)

第二章 82586局部网络协处理器

2.0. 概述	(8)
2.1. 82586局部网络协处理器概述	(8)
2.2. 82586发送功能	(9)
2.2.1. 帧的构成	(9)
2.2.2. 链路管理	(10)
2.2.3. 优先权构成	(11)
2.2.4. 链路管理算法的细节	(11)
2.3. 82586的接收功能	(12)
2.3.1. 帧接收	(12)
2.3.2. 寻址	(12)
2.4. 82586的网络管理和诊断功能	(13)
2.4.1. 发送/接收出错报告	(13)
2.4.2. 网络计划和维护	(13)
2.4.3. 分站诊断	(14)
2.4.4. 82586自测试	(14)
2.5. 82586/主CPU互联	(14)
2.5.1. 逻辑接口	(14)

2.5.2. 硬件总线接口	(16)
2.5.3. 存储器寻址	(16)
2.6. 82586的初始化	(16)
2.6.1. 初始化根格式	(16)
2.6.2. 初始化过程	(16)
2.7. 82586的控制	(18)
2.7.1. 系统控制块(SCB)格式	(18)
2.7.2. 起始和完成控制命令	(19)
2.7.3. 命令单元(CU)控制	(19)
2.7.4. 接收单元(RU)控制	(21)
2.7.5. 复位	(23)
2.7.6. 错误统计寄存器	(24)
2.7.7. SCB状态更新	(24)
2.8. 动作命令	(24)
2.8.1. 通用动作命令	(26)
2.8.2. NOP	(26)
2.8.3. IA—SETUP	(27)
2.8.4. 配置(Configure)	(28)
2.8.5. MC—SETUP	(30)
2.8.6. 发送	(31)
2.8.7. (TDR)时域反射器	(33)
2.8.8. 转贮	(34)
2.8.9. 诊断	(38)
2.9. 帧接收	(39)
2.9.1. 接收帧区(RFA)	(39)
2.9.2. 帧描述符(FD)格式	(39)
2.9.3. 接收缓冲器描述符格式	(40)
2.9.4. 接收帧区的初始结构	(40)
2.9.5. 帧接收的详细说明	(40)
2.10. 总线接口	(42)
2.10.1. 存储器寻址和结构	(43)
2.10.2. 总线操作	(43)
2.10.3. 总线采集	(44)
2.10.4. FIFO—阈值机构	(46)
2.10.5. 总线周期交错	(47)
2.10.6. CPU/82586(CA/INT)信号	

交换.....	(48)
2.11. 网络接口硬件.....	(48)
2.11.1. 编码/译码.....	(48)
2.11.2. 载波侦听.....	(49)
2.11.3. 冲突检测.....	(50)
2.11.4. 串行链路采集.....	(50)
2.11.5. 回送.....	(50)
2.11.6. 帧间间隔定时器.....	(51)
2.12. 配置参数.....	(51)
2.12.1. 组帧参数.....	(51)
2.12.2. 链路管理参数.....	(52)
2.12.3. 串行接口参数.....	(53)
2.12.4. 主接口参数.....	(54)
2.12.5. 网络管理参数.....	(54)
2.13. 内部结构.....	(55)
2.13.1. 主接口模块.....	(55)
2.13.2. 通道接口模块.....	(56)
2.13.3. FIFO 模块.....	(56)
第三章 82586编程	
3.0. 引言.....	(57)
3.1. 82586与系统的配合.....	(57)
3.2. 82586管理程序.....	(58)
3.2.1. 做为标准设备驱动程序的82586 管理程序.....	(58)
3.2.2. 做为特殊驱动程序的82586 管理程序.....	(60)
3.3. 82586初始 化.....	(62)
3.4. 简单命令处理.....	(62)
3.4.1. 在命令链表 (CBL)中添加 命令块 (CB).....	(62)
3.4.2. 基本中断服务子程序.....	(62)
3.5. 高级命令处理.....	(63)
3.5.1. 向静态和动态链表上加命令 块.....	(64)
3.5.2. 静态链表中断.....	(65)
3.5.3. 动态链表中断.....	(65)
3.5.4. 简化CU命令.....	(66)
3.6. 帧接收处理.....	(66)
3.6.1. 向RDL传送 FD.....	(67)
3.6.2. 向FBL传送 RBD.....	(67)
3.6.3. 响应中断处理过程.....	(68)

3.6.4. 启动RU 的规则.....	(68)
3.6.5. 使用接收缓冲区时的考虑.....	(69)
3.7. 接收和命令处理组合.....	(70)
第四章 82501串行接口	
4.0. 82501概述.....	1 (71)
4.1. 功能描述.....	(71)
4.1.1. 时钟产生.....	(71)
4.1.2. 发送部分.....	(72)
4.1.3. 接收部分.....	(73)
4.1.4. 冲突检测部分.....	(74)
4.1.5. 内部回送.....	(74)
4.2. 接口举例.....	(75)
第五章 82586的应用	
5.0. 概述.....	(76)
5.1. 最小的82585系统总线速度.....	(76)
5.2. 设置82586FIFD 的阈值.....	(77)
5.3. 最小缓冲区容量.....	(78)
5.4. 系统配置.....	(79)
5.4.1. 80186基本的最大方式 系统.....	(79)
5.4.2. 8086基本的最大方式系统	(79)
5.4.3. 单独的多总线系统.....	(80)
5.4.4. 双端口RAM系统.....	(80)
5.4.5. 8088基本的最大方式系统	(81)
5.4.6. 多重总线主控制器系统.....	(81)
5.5. 计算多点传送的地址.....	(81)
5.6. 低成本的双端口存储器设计	(82)
5.6.1. 硬件设计.....	(82)
5.6.2. 应用软件.....	(84)
5.6.3. 时钟产生.....	(85)
5.6.4. 结论.....	(86)
5.7. iNA960传输机.....	(86)
5.7.1. 简介.....	(86)
5.7.2. 传输机硬件.....	(87)
5.7.3. 传输机软件.....	(87)
82586局部网络协处理器数据.....	(89)
82501以太网串行接口.....	(114)
iNA960网络软件.....	(123)

第一章 导 论

1.0 概 述

当前面临的主要工程技术挑战之一是计算机连网问题。为什么这么说呢？70年代借助超大规模集成电路技术使得微处理器价格降低了1000倍。微处理器遍布各个角落，终端、仪表、个人计算机、打印机及其它许许多多设备中都可以找到它。随着微处理机进入办公室、实验室和生产车间，“智能”已不再只限于传统的小型计算机和大型计算机了，这种计算能力的分散化也就导致三种用户需求：第一，要求共享价格昂贵的设备资源如打印机；第二，要求共享公共数据库的精确资料；第三，要求为用户提供高级服务，如电子邮件等。显而易见，解决的办法就是把分散的“智能”连网。

本章围绕如何用网络将计算机互连的一些主要问题作一个介绍，这里网络是指称之为局部网络（Local Area Network）的特殊形式的计算机网，或称为LAN。先介绍开放系统结构及其对用户的重要性，然后描述一个LAN的具体实现——以太网（IEEE802.3/Ethernet），接着叙述用超大规模集成电路器件再配上软件如何有效地使IEEE802.3LAN得以实现，最后给出82586LAN协处理器的基本操作原理。

1.0.1 网络的标准化

计算机网虽已出现一段时间，但由不同厂家生产的网络是不能互相通讯的，开放系统的研究开发，解决了这个兼容性问题。开放系统是在吸收了大量被广泛接受的标准基础上而建立的，开放系统允许用户从新提供的大量设备中进行选择，获得解决其应用问题的最优方案。由于标准被广泛接受，超大规模集成电路的生产厂家才能够将这些准则装进硅片，从而降低整个系统的价格。

ISO模型

国际标准化组织（ISO）大力推崇开放网络，研究提出了开放系统互连（OSI）参考模型。简单地讲，模型按功能和规则逻辑分组，称之为规程，它是两个或更多的部分之间进行通讯所必需的，模型包括七部分功能，通常称为“层”。OSI模型概括地描述了每一层的功能，但不是具体实现。

这种层次模型方法具有两个主要优点，一是层次可将设计任务清楚地划开，使性能要求十分明确；二是采用层次结构的系统十分灵活。灵活性体现在每一层的功能对其上、下层是独立的，因此，每层的具体实现改变极易。例如，网络的层次1和层次2可以用CSMA/CD（IEEE 802.3），也可以用令牌环（IEEE 802.5）不会影响网络的第三层到第七层。OSI模型各层功能概述见图1-1。

物理层描述了传送数据位流的物理媒质。该层规定电缆类型（同轴线，双绞线等等），信号电平，传输率，数据编码方式，调制方式和在竞争网络中所用的冲突检测方法。简言之，该层说明了传输数据位流所用的物理媒质以及传送的方式，即基带传输还是宽带传输。

数据链路层描述了通道（包括编码器/解码器，收发器电缆和发送媒质）上传输的准则，该层对下述项目作出规定：为获得通道控制（访问方法）建立的信息格式（帧格式）和步骤，帧的发送，物理媒质的放弃。

网络层控制多转接站网络中的链路切换，网络层对于单独的LAN系统不是必需的，因为LAN中连接的所有工作站都共享相同的通道。该层对网间连接器，通讯服务器的拨号通讯应用是至关重要的。

传输层确保端到端传达消息的完整并提供交换信息所需要的优质服务，例如，该层实现端到端的应答和数据流控制。

会话层在网络实体之间建立和终止其逻辑连接,该层还负责逻辑名到网络地址的映象。

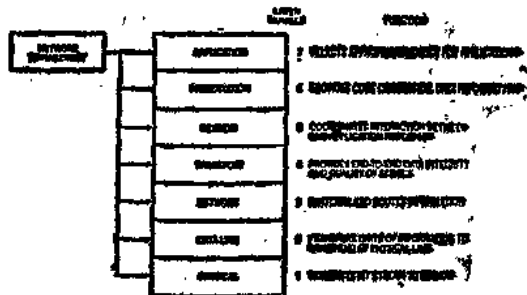


图 1-1 开放系统互连模型

表达层为使信息能被有效识别提供所需的翻译、格式转换或码型转换。

应用层为用户提供网络基本服务,如分布数据库和电子邮件。不应把应用层与用户自己的应用程序混淆。

网络管理负责操作的规划,包括操作统计数字(如错误和数据流量)的收集,还负责网络的初始化和维护(故障隔离)。网络管理可连接到上述每一层次。

OSI模型与网络实现

OSI模型的物理层和数据链路层保证了网络的可互连性,不同厂家生产的设备,如果它们遵守相同物理层、数据链路层的规定,则它们将能够实现物理和电气上的连接。OSI模型的其余五层则保证了开放网络上所连工作站之间的协作。

例如,Intel公司的NDS-II多用户网络微计算机开发系统就是一个用Ethernet作为一层和二层规约,用Intel网络结构(iNA)作为三层到七层规约的面向LAN的系统。非Intel公司的设备想要挂于这个网上,只要符合Ethernet标准保证正确连接并能获得对总线的存取。要与系统网络资源管理程序(该程序专为各站协作)通讯联系,这些设备还必须保证符合Intel网络结构(iNA)其余层次的标准。

IEEE802.3/Ethernet标准所给出的OSI模型最低层的具体实现体现了开放网络的思想,这个标准已被公认可行,它全面定义了电缆规格,传输速率,帧格式,传送媒质,访问方式等等,保证了不同生产厂家生产的机器设备间

物理上的互连。

Intel公司的82586LAN协处理器与8250-1 Ethernet串行接口,收发器,收发器电缆和同轴电缆一起为IEEE802.3标准提供了完整的实现,iNA960为OSI模型提供了传输层的服务(ISO DP8073标准)和网络管理功能。

1.1.0 CSMA/CD概述

载波侦听多重访问冲突检测法(Carrier Sense Multiple Access with Collision Detection——CSMA/CD)是多站共享总线型系统中工作站发送消息简便而有效的方法。CSMA/CD被IEEE802.3标准采用。

载波侦听(CS)的意义在于先“听”后发,若通道忙(即别的站正在发送),则发送站必须先等待,直到通道空闲时才能发送。

多重访问(MA)表示任何欲发送消息的站都可以进行上述操作,不需要中央控制器去决定哪个站发送和以什么顺序发送,也就是说网络中全部的工作站具有等同的访问权,即采用分布的控制方法。

冲突检测(CD)的意义是:通道空闲(即无其它站在发送),某个站就可以启动发送,然而两个站同时启动发送造成冲突是完全可能的。在冲突出现的情况下,发送站将在一段固定的时间内继续发送,保证所有的发送站均可检测到这个冲突,这就是所谓的阻塞。阻塞之后,发送不成功的工作站停止发送,等待一段随机时间,然后再重发。随机等待时间的取定随连续冲突的次数而增加,为此,甚至在若干站发生冲突的情况下,阻塞问题也可解决。

1.1.1 IEEE802.3

局部网络是处于一个建筑物内或其它设施之内可分布几百英尺到几千英尺范围的通讯网络,局部网可将各种类型的设备互连以达到资源共享并在分布处理环境中通讯的目的。目前的局部网络传输速率不算高(从2.4Kbps到2Mbps),但它正朝着1Mbps到10Mbps的阶段发展。

IEEE802.3/Ethernet已作为高速局部网络

(10Mbps) 被各方面所接受, IEEE802.3 (Ethernet) 网络的主要功能部分如下:

电缆采用低噪声, 50欧姆屏蔽同轴电缆, 信号传输率为每秒钟10兆位, 电缆为最长每段500米, 如加接转发器 (Repeater) 可使网络加长, 转发器的作用是信号接力。

收发器发送和接收同轴电缆上的信号, 此外, 若节点内出现故障, 收发器可将节点从网络中隔离, 它还负责检测电缆上信号冲突。收发器经分接头接于网络电缆, 另一端经发送器电缆与工作相连, 发送器电缆为四组独立的双扭线对, 最长可达50米。

终端匹配器 (terminator) 接在每段电缆的两端 (包括由转发器连接的各段电缆两端), 提供适当的阻抗匹配消除反射。

接口在用户或服务站与网络间建立连接, 实现下述基本功能:

- 帧的组装与拆卸。
- 源地址和目的地址的管理。
- 物理通道发送错误检测。
- 网络链接管理:
 - 冲突避免
 - 冲突处理
- 发向收发器信号的编码来自收发器信号的译码。见图1-3。

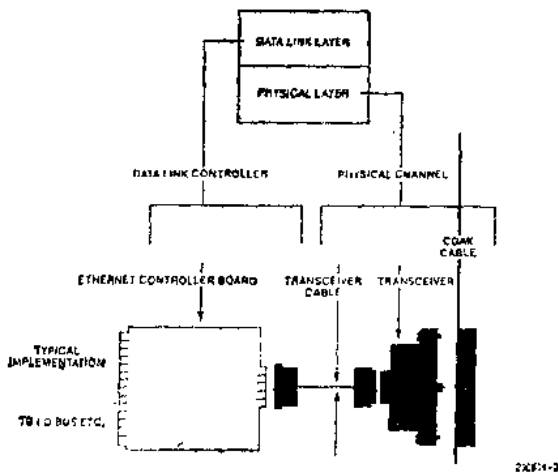


图1-3 以太网数据链路和处理连接

1.1.2 CSMA/CD的优点

采用CSMA/CD方法的网络有四个主要特

点:

1) 证明了的技术名称Novex1973年就开始使用Ethernet, 它已为人们所熟知并被IEEE采纳作为标准(IEEE803.3)。由于它成了标准, 所以用超大规模集成电路技术实现此标准的芯片大大降低了建网的成本。

2) 性能: 采用集中控制式网络通讯使得网络的带宽利用率更高, 数据传送延迟更小。

3) 可靠性: 网络控制中采用CSMA/CD方法则不需要集中控制或切换逻辑, 当网络上某一个工作站发生故障时, 不会影响其它工作站之间的通讯。

4) 易扩展: CSMA/CD网络是无源分布型网, 也就自然极易扩展, 不需对原有站作任何工作, 新站就可以挂到已存在的一个网上, 可见, 这种能力无疑对未来可能提出的新的网络要求是一个有力的支持。

1.2 Intel局部网络方案

1.2.1 标准的实施:

Intel公司一贯致力于局部网络工业化工作, 标准化促进了应用级的发展, 它的发展又进一步使得用于网络的超大规模集成电路(VLSI)元件的设计和生充满生命力。VLSI技术降低了系统的成本, 因此它的获益者仍是用户。

鉴于上述背景, Intel、DEC、Verox公司共同制定了一个局部网络的物理层和数据链路层标准, 称此网为以太网。这一成果被归纳为局部网络的IEEE 802.3标准 (它替代了最初的以太网络规定), 并且已被国际标准化组织(ISO)确认为标准。

目前, Intel提供了支持局部网络工业标准的超大规模集成电路以及软件产品。82586局部网络协处理器, 82501以太网串行接口, 它们都以VLSI方式支持IEEE 802.3标准 (第一、二层)。iNA 960软件实现了传输层(第四层)服务的消息传送, 它遵守ISO的8073规定(ISO模型第四层的具体实现)。见图1-4和图1-5。

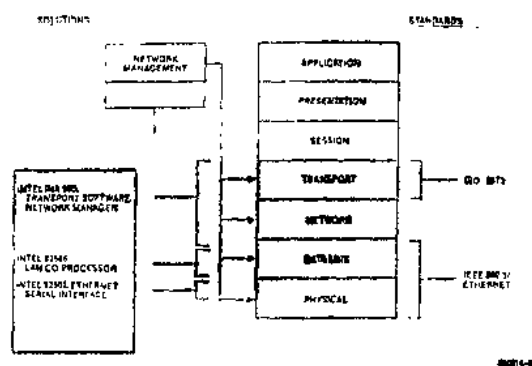


图 1-4 局部网络结构

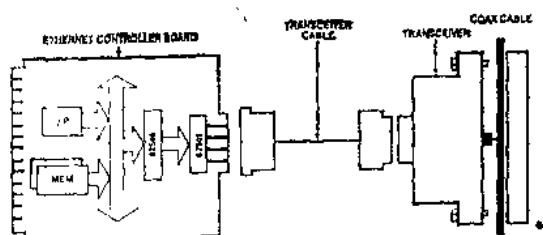


图 1-5 局部网络器件

1.2.2. 82586局部网络协处理器

82586是一智能化的外围芯片，它可完成在网络中发送和接收帧的处理工作。82586分担处理了主CPU的有关通讯管理的任务。更为重要的是，82586的操作（帧的接收和发送）不依靠CPU，也就不占据主CPU极为宝贵的时间，因此82586是名副其实的协处理器。

82586与目前流行的微处理器的连接非常容易，从使系统所需的芯片数为最少这一点考虑，82586可直接（不需TTL过渡）与Intel的80188（8位总线）、80186（16位总线）微处理器相连。

82586通过数据链表方式有效地使用了存储器，它把短帧（网络中所传输的帧百分之七十五都小于100个字节）存贮在小缓冲区中，把缓冲区链接在一起来存贮长帧。这样就节省了系统存储器。82586承担了链接过程的管理，不需CPU的介入，从而也就保证了较高的系统性能。

82586把错误接收次数的计算值存放在系统存储器中，包括：

- 由于CRC错误而错误接收帧的次数。
- 由于帧未校准而错误接收帧的次数。

82586对所发送的帧的冲突数进行计数，它

同时也监视收发器冲突检测器的状态。

82586可辅助开发和维护局部网络系统，它保存各类计数值，如：

- 由于接收缓冲区不够而丢失的帧的次数。
- 帧接收时由于DMA溢出而丢失帧的次数。

82586可通过内、外回环服务提供诊断能力，芯片内的越时反射器可测知工使站与电缆是否断路和短路。

82586的网络参数是可编程的，其目的在于针对具体应用对网络实现优化。例如：82586既可用于宽带网提供高性能的服务，又可用于比IEEE 802.3和低成本的网络（1Mbps）需要更大吞吐量的短拓扑网络。

1.2.3. 82501以太网串行接口

82501是与82586直接配合工作的，它适用于10Mbps传输率的局部网络。82501的主要功能是完成曼底斯特码的编码/解码，为82586提供10MHz的发送、接收时钟和驱动收发器电缆。82501通过内部回环检测提供了故障隔离功能。芯片内的监视定时器可避免连续不断的发送（帧界模糊）。

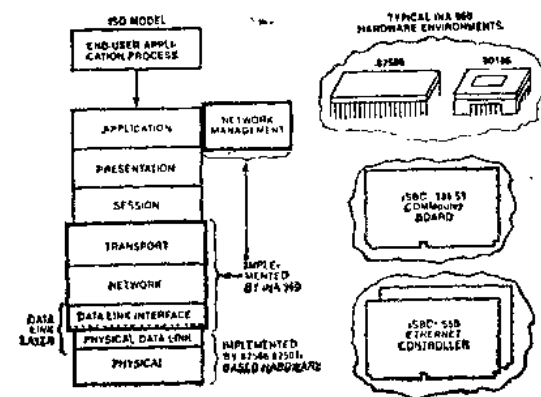


图 1-6 软件

1.2.4. iNA 960传输软件

iNA 960是一通用的局部网络软件包。它为用户提供可靠的端到端消息传输，iNA 960符合国际标准化组织（ISO）第四层（传输层）协议8073规定。iNA 960也提供了网络管理功能以及82586的驱动功能。

传输服务

iNA 960传输层执行两类消息传送：虚电路和数据报。虚电路提供可靠的端到端的消息传送服务，它最大限度地确保了数据的完整性，并与ISO 8073第四层协议完全兼容。此外，iNA 960为保证消息的完整性，还包括：

- 提供数据流控制（发送端与接收端的数据率匹配）
- 支持多重并发连接（处理多路传输）
- 处理可变长度的消息（独立于帧的物理长度）
- 支持“加急的”数据传输（发送紧急的数据）

数据报为非紧急的消息提供了“最佳”传送服务。数据报服务不保证消息完整性，但它相对虚电路来讲，只需更少的通道开销。

网络管理服务

网络管理服务以提供网络统计，监控网络操作，检测、隔离、纠正网络故障等手段为网络用户在网络规划、操作及维护等方面提供支持。

网络管理功能也支持数据库的向上转储和向下装入，或在无局部大容量存储器情况下的系统引导。

用户环境：

在iRMX（Intel的实时、多任务操作系统）环境下，用户程序和iNA 960都在iRMX86之下运行，初始引导服务需要BIOS，通讯软件作为iRMX 86的作业要求核心程序为其完成大部分操作。iNA 960软件可在任何包括80130固件配置的iRMX环境下运行。

在那些iRMX 86不是其本操作系统的系统中，由于性能上的要求主机不宜负担通讯任务的系统环境中，用户或许希望能有一个专门用于通讯的处理器，而iNA 960可配置于8086，8088或80186微机系统中提供网络服务，以实现用户的这一目的。

1.3 82586系统概述

图1—7给出了82586系统的一个简单的框图。构成82586系统的四个关键部分为82586

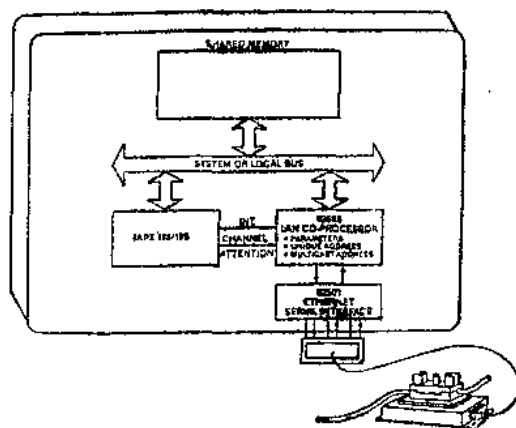


图1—7 82586系统

本身，82501以太串行接口，CPU（通常为Intel的80186）和共享存储器空间。一般来讲，82586和主CPU共享同一系统或局部总线，但也可配置双端口存储器。

1.3.1. 82586 CPU共享存储器结构

82586系统存储器空间被分成四部分：初始化指针、系统控制块、帧接收区域和命令表。见图1—8。

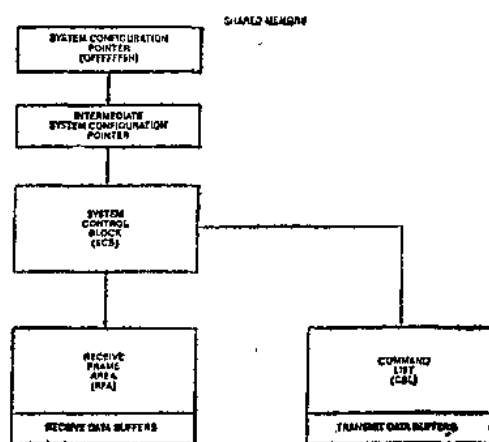


图1—8 82586共享存储器结构

当82586加电或复位后，自动进入存储器中的一特定地址，即初始化指针处，然后转向系统控制块单元。

系统控制块（SCB）是一“邮箱”，82586和CPU通过它交换控制和状态信息。SCB包含了指向帧接收区域和命令表的指针。见图1—9。

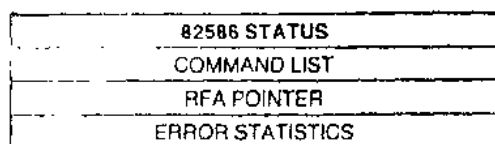


图 1-9 系统控制块结构

帧接收区域 (RFA) 是存储器中的单元, 82586 自动地将接收到的帧置入其中。

在一个实际的网络中, 传输的大部分帧是控制帧 (比如: 请求工作站状态帧或重发帧), 这些控制帧占整个网络传输的 75%, 其长度都小于 100 个字节。因此, 如果把存储方式全按接收最大长度帧 (以太网最长帧为 1518 个字节) 的结构设计, 那将是一种极大的浪费。见图 1-10。

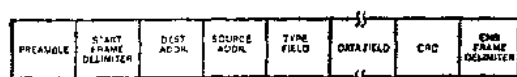


图 1-10 帧格式

采用链表的方式可实现接收消息的有效存储, 不是为每一帧分配一个缓冲区, 而是把长帧拆成几段, 把它们分别存储在较小的缓冲区中, 一般每个这样的缓冲区为 64 或 100 个字节, 每个缓冲区都带有一个描述符, 称之为接收缓冲区描述符 (RBD), 它描述缓冲区的特性: 长度、下一 RBD 的指针以及它是否为最后一个 RBD。另外为每一接收的帧设置一帧描述符, 它指向首 RBD (RBD 指向缓冲区) 见图 1-11。

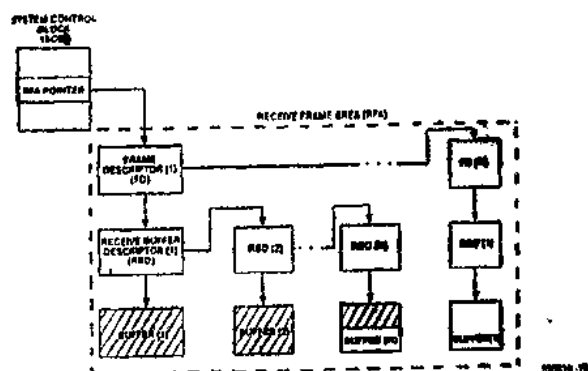


图 1-11 帧接收区域缓冲区结构

这种存储方式有效地利用了内存, 因为它不会出现用大缓冲区存短帧的情况。82586 用硬

件完成所有的缓冲区管理任务, 去除了 CPU 的软件开销和设计人员的开销。

命令表是由 82586 可执行的作用命令组成的程序, 每一命令实际上是一个命令块, 见图 1-12。例如“地址建立”和“发送”命令, 82586 以与主 CPU 并行工作的方式取这些命令并执行之。各个独立的命令块用指针相互联接起来。

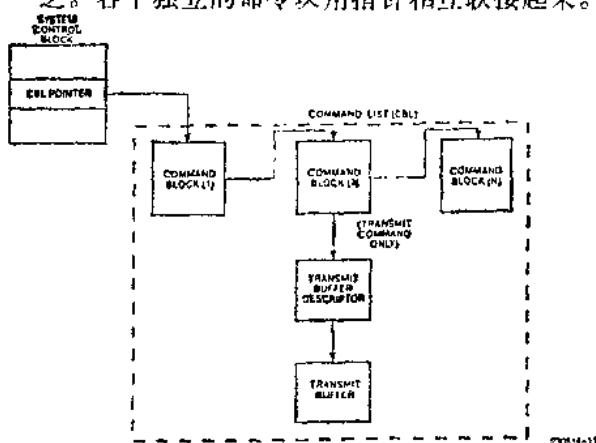


图 1-12 命令表, 82586 可执行的命令

与帧接收类似, 在数据发送时, 82586 也使用缓冲区链接技术。发送命令指向发送缓冲区描述符 TBD, 发送缓冲区的管理与帧接收区域中缓冲区的管理类似, 所有的数据链接也都是由 82586 自动完成的。

1.3.2. 接收一帧

82586 帧接收时不需 CPU 的任何干预。在初始化过程中, 主 CPU 设置 REA 并且激活接收线路, 一俟激活后, 82586 则不断地对线路上传输的帧进行地址比较, 辨别并接收本工作站应接收的帧, 82586 接收那些帧的目的地址与本站址相同, 目的地址与本站址逻辑相关, 或发送站为广播式发送的帧。

当地址相匹配以后, 82586 就开始接收数据, 首先它把接收到的数据存放在片内的接收 FIFO 中, 当接收 FIFO 被填到一定长度时 (长度可编程), 则 82586 就向 CPU 请求占用系统总线, 当它得到总线后, 就把 FIFO 中的数据送入共享存储器, 同时把 FIFO 清除, FIFO 使 82586 能够适用于各种速度的系统总线。

82586 把接收帧的目的地址、源地址和类型域存在第一个可用的帧描述符 (FD) 中, 然

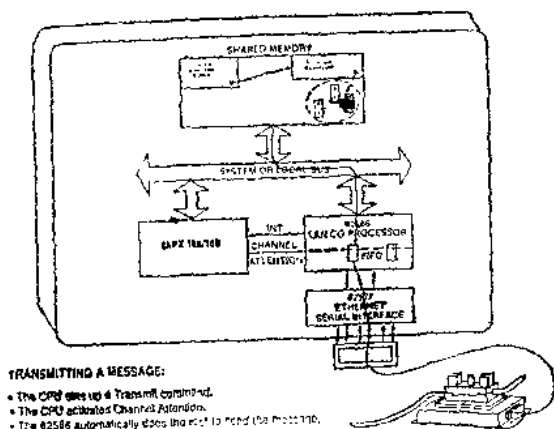


图 1-13 82586接收一帧

后就开始把接收帧的数据段内容填入空数据缓冲区 (DB) 中, 当一个 DB 填满后, 82586 就自动地从空缓冲区中取下一 DB 继续填下去, 直到整个帧被接收完毕。

一旦整个帧被正确接收后, 82586 就进行下列内部处理:

- 修改最后一个接收缓冲区描述符中“实际长度”的值, 填入的值为存放本接收帧所占用的数据缓冲区字节数。
- 把下一个空缓冲区描述符地址写到新的空接收帧描述符中。
- 取下一空的接收帧描述符的地址, 把它置入当前的 RFD 中。
- 在 SCB 中置“帧已接收”中断状态位。
- 中断 CPU

当发现接收的帧有错误时, 如 CRC 错误, 82586 将自动地重新初始化 DMA 指针, 恢复所有的“帧接收描述符 RFD”、“接收缓冲区描述符 RBD”和存放错误帧的缓冲区, 一旦接收帧描述符和数据缓冲区恢复完毕, 82586 并无 CPU 干预地继续接收帧。

13.3.3. 发送一帧:

主 CPU 将“TRANSMIT”命令送入命令表, 相应地把欲发送的数据置入缓冲区, 然后 CPU 向 82586 发 CA (Channel Attention) 信号, 82586 收到 CA 信号后, 它将在命令表中找到“TRANSMIT”命令, 如果通道不忙, 随后就

开始发送过程。见图 1-14。

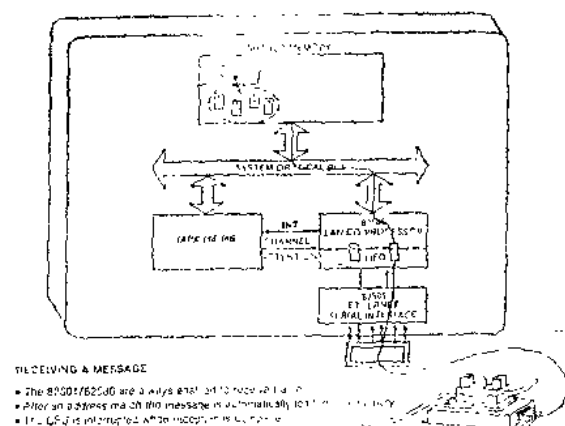


图 1-14 82586发送一帧

欲发送的信息象帧接收区域 RFA 一样, 以链接缓冲区的结构存放于共享存储区内。发送命令本身指向发送缓冲区描述符 TBD, TBD 又指向发送缓冲区和下一个 TBD, 所以发送的数据是从链接在一起的缓冲区中取出来的。

82586 负责生成所发送的帧, 82586 自动产生一帧的前序 (相间的“1”与“0”) 和帧的定界符, 它可以从发送命令的参数区或数据缓冲区中读取目的地址类型域, 插入本工作站的特定地址做为源地址, 把数据从缓冲区中取出送入片内的发送 FIFO 中, 算出 CRC 值。发送 FIFO 使 82586 能够等待系统总线, 起到了缓冲的作用。

在冲突发生的情况下, 82586 负责处理, 整个阻塞过程 (发送 32 位 1 使所有的发送站都得知出现冲突), 随机等待再重发, 整个过程都不需 CPU 的干预。

发送完成后, 82586 通过命令块向 CPU 报告状态。报告的参数有: 执行成功, 延迟次数, 冲突的次数, 有效的冲突检测。在发送失败的情况下, 参数报告为: 载波失效, DMA 欠载 (82586 不能获得系统总线)、冲突后的重发次数。

由于 FIFO (First In First Out) 接收和发送 FIFO 是半双工接口, 所以数据只能串行地存入和取出。

第二章 82586局部网络协处理器

2.0 概述

本章介绍了82586局部网络协处理器的性能及操作。在此我们假定读者已熟悉数据通讯、局部网络以及IEEE802.3标准的基本概念。

本章分为三部分，每部分又分为若干节：

1) 82586概述

2) 82586的主要功能介绍

- 发送功能
- 接收功能
- 网络管理和诊断功能
- 与主机CPU的互连

3) 怎样使用82586的详细说明

- 82586的初始化
- 82586的控制
- 动作命令
- 帧接收
- 总线接口硬件
- 网络接口硬件

82586的管脚功能，电特性和时序特性编在82586数据表中，作为本手册的一部分。

2.1 82586局部网络协处理器概述

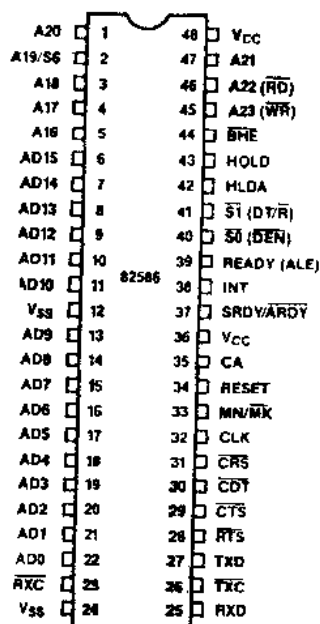
82586超大规模集成片子是一个智能化的、高性能的CSMA/CD通讯控制器。82586可实现所有在用户存储器与网络间进行的与数据传送有关的功能，其中包括：帧的构成、链路管理、地址筛选、错误检测、数据编码、网络管理、直接存储器访问（DMA）、缓冲区链接以及用户高级命令的解释。之所以称其为LAN协处理器，是因为82586分担了主机CPU的大部分与LAN控制存取有关的任务。

82586满足IEEE802.3标准的性能要求，位速率每秒10M位，帧间间隙9.6 μ s，此外还

具有每秒4M字节的DMA传送功能，允许无数数据丢失的局部总线等待时间为10 μ s，总线传送速率最低可为每秒2M字节。高性能的82586可用于分布式处理系统，如高速资源共享，互连处理器间的通讯等。可编程的网络参数使82586能作为各种CSMA/CD类型局部网络的控制器，它可与高级服务（宽带）、高性能（短拓扑）、低开销（1Mbps）档的网络相兼容，可支持数据传送率小于每秒10M位的网络，许多帧参数（即地址长度，载波结束或位填充帧界描述符号等），时间片和帧间间隙都是可配置的。

片内的辅助诊断提高了网络和工作站的可靠性，比如时域反射器（TDR）、外部和内部回送，收发器的综合校验，内部寄存器转储和自测试过程。

82586是48管脚双列直插式封装块，图2—1绘出了管脚布局。



230814-14

图2—1 管脚配置图

82586的主要作用是在与局部网络相连接

工作站中作为通讯管理器、局部网络工作站一般由主机CPU，共享存贮区，82586局部通讯控制器、串行接口部件、收发器及局部网络（LAN）链组成。82586的任务就是在共享存贮器与LAN链之间传输数据。图2-2是一个与IEEE802.3网络相连的工作站使用82586的实例。

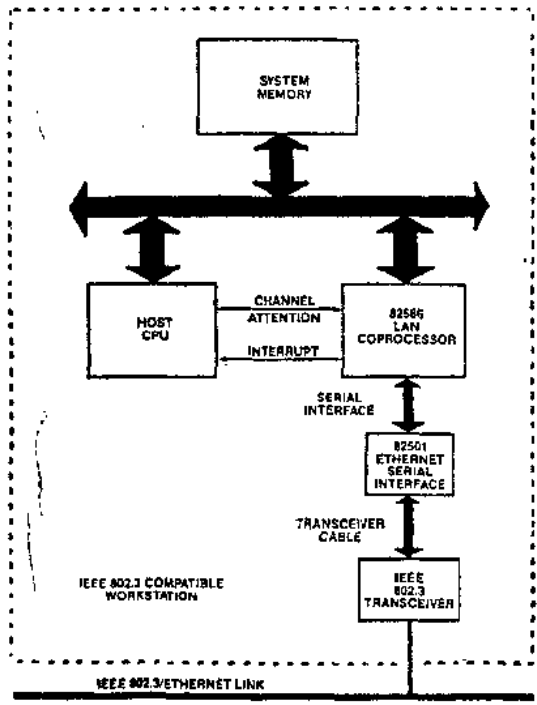


图 2-2 与IEEE802.3兼容的工作站

82586有两个接口：一个是连接局部总线和CPU的总线接口，另一个是与串行接口部件连接的网络接口。

对总线来说，82586是8位或16位局部总线上的“主部件”，它可用通道注意信号（CA）及中断信号（INT）直接与CPU通讯。与IAPX 186总线一起操作是最佳的，但也可与其它通用处理器相连。

对于网络来说，82586是一个与以太网串行接口相连的器件，这个串行接口提供了发送和接收的时钟和数据，冲突检测和载波侦听，并向82586发请求发送/清除发送信号。以太网网络串行接口与收发器相连，收发器又与LAN链相接，在特定的IEEE802.3工作站条件下，以太串行接口是Intel的82501，见第四章。

2.2 82586发送功能

82586LAN协处理器完成两个主要任务：即从主存贮器向网络发送数据，和从网络上接收数据并将其存入存贮器。本节只讨论发送过程，接收过程留待2.3节讨论。

82586处理的数据单元是帧。帧就是在链路中传送的位的序列。一个帧又被划分成若干段：如地址段、数据段、帧检测序列段等。主CPU在共享存贮区中设置好帧的序列，并令82586发送。82586每次只发送一帧，并利用具有冲突检测的多重访问（CSMA/CD）的链路管理机构解决链路上的冲突问题。

本节将介绍帧的构成，链路管理及优先级机构。

2.2.1 帧的构成

构成的帧有三个基本功能：即能确定帧的起始和结束（帧界描述符）；确定帧的源地址和目的地址（寻址）和出错检测。如图2-3所示，帧的构成概括为广义的帧格式：

PREAMBLE
BEGINNING OF FRAME FLAG
DESTINATION ADDRESS
SOURCE ADDRESS
TYPE FIELD
INFORMATION FIELD
FRAME CHECK SEQUENCE
END OF FRAME FLAG (OPTIONAL)
PADDING (OPTIONAL)

图 2-3 帧段

图2-3给出了一个帧中的各个段：前同步是位译码的同步序列，紧接着是帧起始(BOF)标志，表示帧开始。随后的目的地址是此帧所要传送的目标地址。在它之后是源地址（发送者的地址）。类型和信息段包括了用户提供的的数据，帧校验序列是一循环冗余校验（CRC）码，用来检验位错误。最后是两个可选择的段，帧结束（EOF）标志和填充信息。填充信

息的作用在于加长帧的长度使其达到最小的帧长度。

82586对帧界标志的处理对用户完全是透明的。帧界描述符包括：前同步、BOF标志、EOF标志和填充信息。82586可配置成两种帧描述方法——载波结束法或位填充法中的一种方法。

用载波结束法时，82586发送（根据配置）11、30、62或126位0、1相间的前同步，随后是两位1作为BOF标志。在帧校验序列段后，载波立即呈无效状态以表示帧结束。这种帧界描述方式是和IEEE802.2兼容的。

位填充法提供了HDLC0位插入/删除机构。82586发送（根据配置）8、24、56或126位0、1相间的前同步，随后是HDLC标志（01111110）。HDLC标志表示帧结束。82586在标志（唯一的）之间的各段插入HDLC0位（在5个连续的1后加0）。芯片在帧中填入附加标志以使帧长度长于时间片（见2.2.2节）。

不管帧边界描述方法如何，BOF标志后的两个段是目的地址和源地址。前者是由存储器取来的，后者通常是从内部专用地址寄存器得来而插入的（除非没有该种配置）。地址长度可配置成一个0到6个字节的值。发送地址的前面是最低有效位。目的地址可以是下面三个字节中的一个字节：专用地址（最低有效位是0），多重地址（最低有效位是1）或广播地址（全1）。2.3.2节有更详细的寻址说明。

82586从存储器取来类型段和信息段，在发送源地址后发送这两个段。类型段长2个字节，82586本身不限制信息段的长度。

帧校验序列段可防止帧内出现位错误：它是用目的地址，源地址，类型段和信息段计算出来的循环冗余校验的结果。该芯片可配置成两种CRC算法中的一种算法——CCITT V.41 16位多项式或Autodin II（IEEE802.3）32位多项式。

2.2.2 链路管理

82586按照IEEE802.3标准处理CSMA/CD链路管理算法。这些算法通过可编程配置参数可

适用于各种拓扑的网络。站的优先级也是可编程的。

82586一直监视着链路的活动。只要它侦听到链路上有载波（数据传输），82586就通过延迟任何一个未发送的帧来推迟正通过的帧（passing frame）。等载波变成无效后，82586继续延迟以提供帧间间隙时间，帧间间隙时间可配置成32~255个TCLK（发送时钟）。如果在TCLK的末端有等待发送的帧，不管是否有载波，即可开始发送。

发送开始后，82586试图发完整个帧。在正常情况下，能完成帧发送并通知主CPU。否则就会出现一种或几种下述情况而引起发送夭折。当发送信号在发送过程中变为无效，从存储器到芯片的数据传输速率跟不上发送（引起一个DMA欠载），载波侦听变为无效（芯片配置成需要回送载波侦听），通过冲突检测检测到冲突，或冲突重试计数器超过最大的规定值。

当82586完成延时并开始发送时，也还有可能出现争用链路的情况，这就叫冲突。一般情况下由收发器进行探测，这时82586发送一个由32个1组成的堵塞模式来加强冲突，如果在发送前同步时检测到冲突，那么在堵塞开始前完成前同步的发送。

冲突处理的动态特性很大程度上是由时间片决定的。时间片即是网络最大的点到点来回行程延迟时间加上堵塞时间，因为探测冲突最花费时间（worst case time），所以时间片是很重要的。长网络的时间片比短网络的时间片长。82586提供的时间片可配置范围在1到2048 TCLK单位之间。

等总延迟时间过去以后，82586试图重新发送帧，除非重发次数超过了最大的允许次数。82586根据IEEE802.3标准来计算总延迟，总延迟是时间片的整数，这是一个从0到最大的任意数。最大数为 $(2R)-1$ ，其中R为10和重发送次数两数中最小的数。用加速冲突解决机构可扩大这一范围，见2.2.3和2.2.4节。总延迟的开始是可用下述两种方法之一配置的：如

果配置成与IEEE802.3相容的方法,堵塞结束后马上开始计算总延时;如果配置成替代补偿法(适用于低位率或短网络),总延时从冲突以后开始算起。

82586有个重试计数器,每个重发都使之增1。如果重发送成功就通知用户,如果重试次数超过最大值则报告出错。允许的重试数可配置成0~15次。发送与重发的唯一区别是发送把重试计数器清零,而重发使其增1。

发送和重发送结束时,82586报告冲突次数是否超过最大数,而且还指出芯片是否必须延迟以便在第一次试图发送时通过通讯信息。

用户可以终止发送,82586在接收到终止命令时,发送一个堵塞模式用来引起CRC不匹配。芯片报告主CPU终止发送成功或在收到终止命令前已完成帧发送。

2.2.3 优先权机构

IEEE802.3标准所要达到的一个目的就是保证各分站访问链路的权利平等。然而,有时(如发送声音)分站具有优先权,能改善性能,82586有两种优先权机构:线性和加速冲突解决。

线性优先权决定82586在延迟后等待的时间片数,或发送前总延时是否结束。如果链路在等待阶段变化,那么延迟和等待过程重新开始。线性优先权是可编程的,从0到7。0代表最高优先权,这是与IEEE802.3相容的。

加速冲突解决的方法增加了总延时这一随机数的范围,可配置成0至7。0代表最高优先权,这是与IEEE802.3相容的。

2.2.4 链路管理算法的细节

82586支持IEEE802.3链路管理算法。另外82586提供了可变的站优先权和机构。

发送链路管理包括两个联合序列:帧发送和服从。下述变量提供了这两个序列间的通讯;从服从序列开始的延迟和等待及从帧发送序列开始的补偿。

服从是个始终运行的序列,它完成下述与IEEE802.3兼容的算法。

- 1) 等待载波侦听变为有效;

- 2) 置位延迟变量;

- 3) 等待载波侦听变为无效;

- 4) 等待帧间间隙阶段;

- 5) 清除延时变量,等待进行帧并返回下一步。

当82586得到发送帧的命令时,就开始帧发送序列,它与延迟并行并完成下述过程:

- 1) 组合帧并清除RETRIES;

- 2) 等待DEFERRING和WAITING清零;

- 3) 开始帧发送;

- 4) 如果完成发送而未检测到冲突,则发送成功,该序列结束。

- 5) 如检测到冲突,82586进行下述过程;

- a) 完成前同步的发送(如可能)

- b) 发送堵塞模式。

- c) 如果RETRIES等于重试的最大数,则发送命令完成,状态码在发送命令状态段。

- d) 如果RETRIES小于重试的最大数,就增1。

- e) 用下述算法计算补偿时间;

补偿时间 = (时间片) × (随机数);

其中:随机数R为 $0 < R \leq 2^{\text{指数}}$ [最小(10,重试) - 1]。

- f) 82586等待补偿时间;如果补偿时间为0(R=0),那么补偿阶段等于帧间间隙,如随机数大于0,就用e的算法求补偿。

- g) 如果补偿时间等于帧间间隙(R=0),那么82586在补偿时间结束后发送。

- h) 如果随机数大于零,82586等待补偿时间并返回步骤2。

- i) 清除BACKOFF变量并返回步骤2。

线性优先权

如果选用82586的线性优先权,那么,链路管理算法的延迟序列就不用了。

- 1) 等待载波侦听变为有效。

- 2) 设置位服从变量。

- 3) 等待载波侦听变为无效。

- 4) 等待帧间间隙。

- 5) 计算等待时间。

等待时间 = P × 时间片

其中: P 为编程的线性优先权数。

6) 置位等待变量。

7) 按第 5 步计算的等待时间来等待, 如果在等待时间内, 载波侦听变为有效, 82586 置位服从变量, 清除 WAITING 变量并返回步骤了。

替代补偿算法

IEEE802.3 规定冲突后的补偿时间按上述方法计算, 任意数 R 决定着补偿时间。而任意数的范围 2 取决于重试数。比如, 第一次发送时等待变量是 0, 那么 R 可能是 0 也可能是 1, 结果得出帧间间隙的补偿时间或一个时间片。第一次重试时重试变量等于 1, R 的范围是 0、1、2、3, 结果得出帧间间隙的补偿时间或 1、2、3 倍的时间片。在前种情况下, 两分站补偿同段时间的可能性是 50% (IFS 或 1 个时间片), 后者的可能性将减少到 25%, 以此类推。

在某些应用中可能需要为较快的通道解决冲突问题, 如果冲突站取任意数的范围较大, 则它们取同样任意数的可能性将减少。82586 是先通过程序设计不同的补偿方法提供这一能力的, 如果选用该方法, 补偿阶段的计算如下:

$$\text{补偿时间} = R \times \text{时间片}$$

其中: $0 < R \leq 2$, 指数 [最小 (10, 重试 + K)]

其中: K 是可选的补偿数, 可编制成 0~7。

注意: IEEE802.3 的 K = 0。

2.3 82586 接收功能

该节叙述 82586 接收帧的过程, 82586 检查链路上的所有帧, 决定该把那个帧送入主存储器, 并检验这些帧是否有错。

2.3.1 帧接收

82586 通过对链路的监控, 来识别每一到来帧的边界, 当它检测到链路上的载波 (数据跳变), 而且它不是正在发送执行动作命令 (见 2.8 节) 时, 就开始接收到来的各位, 该帧的前同步产生位同步和 BOF 用来定位目的地址段的第一位, 见图 2-3。前同步和 BOF 被放弃。82586 用未来帧的目的地址与接收站的专

用地址或多重地址 (multicast Address) 进行比较。也检查广播地址。

如果地址匹配 (并且帧符合最小帧尺寸), 82586 就将目的地址, 源地址, 类型段和信息段转入系统存储器, 计算 CRC 并在接收 FCS 段时进行验证。如果地址不匹配, 82586 决不请求系统总线, 并准备接收下个帧。

如果接收的帧有错 (CRC, 校验, 无源、DMA 超限 (Overrun)), 82586 自动使存储器存那个有错帧。下一个接收帧存在回收的存储器内。

当配置成载波描述符结束时 (IEEE802.3) 载波无效表明帧结束。BOF 标志后的位数应是 8 的倍数, 残留 (少量) 位数被丢弃, 并不包括在帧检验序列中。有残留位的帧是排列不正确的 (misaligned) 帧。

当配置成位填充描述符时, 82586 完成 0 位删除, 丢弃 EOF 标志和载波末端前的所有各位, 丢去残留位的方法与载波结束相同。如果在认识 EOF 标志前载波变为无效, 就报告出错。

最小帧长度可配置在 0~255 字节之内。任何少于最小字节数的帧都被认为是冲突产生的帧的片段。大于 6 个字节的冲突片段被存在存储器内, 并标为短帧, 或回收其存储区域 (取决于是否有存坏帧的配置)。

2.3.2 寻址

寻址使帧直接到一个或多个特定的主机。82586 具有灵活的寻址技术, 使一个主机, 一组主机 (多重) 或所有主机 (广播) 接收一个帧。芯片用三种方法同时检查未来帧的目的地址, 如果匹配就接收该帧。地址不匹配的帧不影响 82586 也不影响分站的其它部分。

通过 IA—SETUP 命令就能用专用地址配置 82586 (见 2.8、3 节)。缺省的是一个全 1 地址。最低有效位的零指示专用地址, 配置的地址长度决定着专用地址的长度。接收过程中, 82586 把未来的地址与其专用地址进行比较, 必须所有位相等才认为专用地址匹配。一个帧可能被所有主机 (广播) 用广播地址, 即全 1

地址选中。接收时, 82586检查目的地址是否是广播地址, 如果是, 确认地址匹配。82586能用广播目的地址禁止帧接收(对于存贮资源有限的那些分站)。

用户能使一个帧成为一组主机的目标。用不涉及82586的方法, 把这些主机分组, 给每一组分配一个多重地址。一个主机可能属于好多个组而且一组可能包括许多主机, 一个主机可以使一个帧与属同一个特定组的所有主机通讯。方法是在目的地址段规定那个组的多重地址。目的地址最低有效位的1将多重地址与专用地址区别开来。

82586有一个64位的散列信息表, 它把每个多重地址映象成表内的一位, 用MC-SETUP命令(见2.8.5节)可将用户提供的一组多重地址映象并存在散列信息表内, 在接收一个目的地址为多重地址的帧时, 82586把该地址进行映象并检查一下它是否在散列信息表内, 如在, 证明地址匹配, 于是将该址送给主机。

也可能会把一个以上的多重地址映象成一个给定的散列信息位, 这样, 主机就要进行另外的检查, 如果系统使用64个或少于64个的多重地址, 把这些地址值映象成散列信息表内的特定位是可能的。请参见5.5节中的过滤程序。

该散列函数(hashing function)是为探测错误用的CRC多项式。从CRC移位寄存器的第一个字节中选6个最高有效位(2—7)。

2.4 82586 的网络管理和诊断功能

由于数据传输网络具有分布和异步特性, 所以, 它的特性很复杂。出现问题时也很难找到问题之所在。82586就预测到这一点, 它有许多特性可以改善可靠性和可测试性。

82586有4种诊断: 第一, 监控帧发送和接收; 第二, 收集统计信息和把网络作为整体进行诊断; 第三, 对网络的某个分站提供诊断支持; 第四, 测试芯片本身工作是否正常。

2.4.1 发送/接收出错报告

82586完成每个帧的发送或接收后, 往系

统存储器存放状态信息。如果收、发成功, OK状态位置位; 如发送失败, 就在状态位指明原因。82586只有在配置成保留坏帧的情况下, 如接收不成功, 才用状态位指明原因, 否则只更新统计计数器。

82586在每个发送帧后报告下述事件:

- 发送失败: 丢失载波侦听;
- 发送失败: 丢失清零发送;
- 发送失败: 由于系统总线没跟上发送,

DMA欠载。

- 发送失败: 冲突次数超出最大允许范围。

82586检查每个到来帧并报告下述错误(如配置成“保留地址”):

- CRC错误: 在一个校准帧内出现CRC错误(如82586进入NORESOURCES状态, CRC继续被检验)。

- 校准错误: 在一个未校准帧内出现CRC错误, 82586不报告具有正确CRC的未校准帧。

- 帧太短: 帧小于最小帧长度;

- 无EOF标志: 只在位填充方式有效, 载波在EOF标志探测前变为无效。

- 超限, 由于系统总线未跟上未来数据, 所以帧存贮未完成。

- 缺少缓冲器, 没有存贮源存贮帧, 所以部分帧被丢弃。

2.4.2 网络计划和维护

为完成通讯网络的正常计划, 操作和维护, 网络管理实体必须积累网络特性的信息。82586提供了丰富的网络诊断功能, 可作为网络管理实体的基础。它的功能包括收集网络活动信息, 更新错误计数器, 保存所有出现在链路上的帧, 并确定链路开路 and 短路的位置。

每个帧发送以后, 返回给主机的状态包括了网络活动信息, 活动指示器有:

- 1) 冲突次数: 82586想发送这个帧出现的冲突次数。

- 2) 延期发送: 指明82586在第一次发送尝试过程中是否必须延迟发送。

在接收每个通过地址过滤并长于最小帧长

度配置参数的帧后,统计寄存器更新。统计寄存器在共用存储器内,并由82586增值。它们提供以下信息:

- 1) CRC错误:出现CRC错误的标准帧帧数。
- 2) 校准错误:出现CRC错误的未校准帧帧数。
- 3) 无源:由于缺少存储资源的丢失的正确帧帧数。
- 4) 超限错误:由于DMA超限而丢失的帧序列数。

82586可配置成不加选择的工作方式,用各种方式工作时,82586可以不检查目的地址而捕捉住所有网络上的发送帧,这种方式对于“要捕捉网络上的所有帧”,以便分析的监控站是很有用处的。

每个82586都有能力判断网络上的开路和短路位置。方法是用时域反射(TDR)机构。当发送TDR命令(见2.8.7节)时,芯片发送一个脉冲链路并测量反射返回时间,如果网络端接正确就无反射,于是定时器超时,就通知用户网络无链路问题。如果探测到问题,就记录下反射源的距离和原因(短路或开路)。

2.4.3 分站诊断

为了支持分站硬件测试,82586提供外反馈和信号质量错误测试。

82586可配置成外反馈方式。这时,82586以全速全双工方式工作。可反馈的帧内最大字节数是18(IEEE802.3),系统总线是8MHZ。但实际的最大帧内字节数取决于位率和系统总线速度。发送器和接收器互联可在82586与链路之间的任意地方,以确定故障位置,比如,82586输出引脚,以太串行接口,收发器电缆或收发器内部。

按照IEEE802.3标准的规定,收发器检验冲突检测线路的工作并将结果送给控制器。如果收发器工作正常,就通过冲突检测对发一个短的10MHZ脉冲链。这一机构称为“心博或信号质量错误测试(SQE TEST)信号。在帧间间隔时间过程中刚一发送完一个帧就发送SQE

测试信号。82586返回测试的探测信号。该信号包含在发送完成时返回主权的状态信息中。

2.4.4 82586自测试

82586有几种功能可检测芯片的工作。

82586也可配置成内反馈(见2.11.5)。用这种工作方式,82586与串行接口单元断开并立即接收任何发送的帧。82586将发送数据与接收数据信号相连,把发送时钟接收时钟相连。发送时钟在内部被4除以允许内部全双工操作。内反馈代替外反馈。发送帧与接收帧相同就表明芯片的大部分工作正常。另外,芯片可使内反馈与禁止源地址插入和CRC插入一起用。比如,在内反馈中,如果发送一个带CRC错误(用CRC禁止)的帧,CRC检验机构必须探测一个CRC错误。

转贮命令(见2.8.8节)使82586能把内存寄存器的100以上的字节写入存储器。这个功能非常有用,可作为全面诊断的基础。

芯片还有一些部分不能进行外部测试。这些部分就是使用指数补偿任意数发生器的逻辑部分。诊断命令(2.8.9节)启动一个自测试过程试验其它不可访问的寄存器、计数器并报告结果。

2.5 82586/主CPU互联

82586和主机的通讯是经过共同存储器完成的。82586的直接存取存储器的能力可允许数据块(缓冲器,帧)的自动传输并减轻CPU字节传输工作量。82586容易与通用处理器一起工作,然而,与82586/80188处理器一起工作所需要的硬件配置最少。在讨论82586/主机互联时将分别简述逻辑接口和硬件总线接口。

2.5.1 逻辑接口

82586有两个独立的单元,命令单元(CU)和接收单元(RU)。CU执行从共同存储器来的命令,RU处理与帧接收有关的所有活动。CU与RU使82586同时能完成两种活动:CU取出并执行从存储器来的命令。RU可经存储器内存接收帧。只有在CU执行完命令,RC存完帧后才需要CPU应急。