

微处理和微计算机

(第二册)

大连工学院

368/6

第 I 部分 典型微处理机详细论述
目 录

第六章	4004/4040 微处理机	1
6.1	微型芯片	1
6.2	中央处理机	8
6.3	随机存取存储器、只读存储器和输入/输出通道	9
6.4	指令系统	12
6.5	程序设计举例	20
6.6	4040 中央处理机	23
参考资料		28
第七章	8008/8080 和 MCOM-8 微处理机	29
7.1	微处理机 8080	29
7.2	内存寻址方式	37
7.3	条件位	41
7.4	8080 微处理机指令系统	43
7.5	程序设计举例	54
7.6	中断和输入/输出	65
参考书		70
第八章	M6800 微处理机	71
8.1	概 述	71
8.2	寻址方式	80
8.3	指令系统	81
8.4	程序设计举例	83
8.5	只读存储器和随机存储器总线接口	88
8.6	输入/输出	98

8.7 外部设备程序设计	109
参考资料	114
第九章 PPS-4 微处理机	115
9.1 概 述	115
9.2 指令表	123
9.3 寻址和程序设计	135
9.4 输入/输出和中断	142
参考资料	147
第十章 PPS-8 微处理机	148
10.1 概 述	148
10.2 指令系统	154
10.3 寻址和程序设计	168
10.4 输入/输出	173
10.5 并行数据控制器(PDC)	175
10.6 直接存储器存取控制器(DMAC)	180
10.7 中断	183
参考资料	185
第十一章 IMP4/8/16 和 PACE 微处理机	186
11.1 IMP-16 微计算机及寄存器和算术逻辑单元 (RALU)	186
11.2 控制只读存储器(CROM)	191
11.3 存储器寻址	192
11.4 指令系统	194
11.5 输入/输出操作	205
11.6 中断系统	207
11.7 PACE 微处理机	209
参考资料	222

第 I 部分 典型微处理机详细论述

4004/4040 微处理机

8008/8080 和 MCOM-8 微处理机

M6800 微处理机

PPS-4 微处理机

PPS-8 微处理机

IMP 4/8/16 和 PACE 微处理机

第六章 4004/4040 微处理机

第六章介绍 Intel 公司的 4004/4040 四位微处理机。叙述了基本的 CPU (中央处理机)、ROM (只读存储器) 和 RAM (随机存储器) 的芯片, 以及由这些基本芯片联接成的微处理机系统。这种微处理机具有地址和数据都能使用的一条四位总线。还描述了时标总线。指令系统是由机器、累加器、输入/输出和 RAM 的指令组成。也介绍了几个程序编制的例子, 这些例子包括简单的逻辑功能的执行过程。

6.1 微型芯片

<概述>

以 LSI (大规模集成电路) 工艺形成的新技术使得通用计算机的能力, 差不多对每一个逻辑设计者来说都是可用的, 同时, 对于复杂的随机逻辑系统过于依赖系统制造者这一点也给予了强有力的冲击。Intel 公司出产的组件计算机可以提供相同的运算器、控制器, 以及象一台小计算机的计算功能。这种组件计算机只有两片 16 脚的双列直插式封装的片子那样小, 而它的价格比小计算机便宜几乎 2 个数量级。

这种装置不是同小型计算机竞争而设计的, 然而, 说得确切点, 它扩展的能力使它进入新的应用范围。例如, 用这种装置做成的完整的、设备齐全的系统, 能够执行目前由 SSI (小规模集成电路) 和 MSI (中规模集成电路) 的 TTL 电路做成的许多系统的功能。

每一个系统的核心是一个单片 CPU。它执行全部的控制和数据处理的

功能。CPU的辅助部件是ROM、RAM和SR。ROM能存储微程序和数据表；RAM存储数据和指令；移位寄存器(SR)能扩展系统的输入/输出(I/O)的容量。MCS-4系统通过每个RAM和ROM提供的“通道”与除家庭外的电路和装置通信。

使用这些芯片的系统，通常由一个CPU、1到16个ROM，1到16个RAM，以及任意数量的SR组成。最小的系统能设计成恰巧有一个CPU和一个ROM。用这些部件，能构成分布计算机，专用计算机或个人计算机，同时它们能利用几乎是无限的微程序组合。设计者购买标准的装置，并用带微程序的ROM来完成它自己独立的线路要求。

MCS-4微计算机由以下四个芯片组成，每一个芯片都是16脚双列直插式封装的标准件(图6.1)：

- 1、中央处理单元芯片(CPU)：4004，
- 2、只读存储器芯片(ROM)：4001，
- 3、随机存取存储器芯片(RAM)：4002，
- 4、移位寄存器芯片(SR)：4003。

CPU包括通用的可编微程序计算机的控制部件和运算部件，ROM存放微程序和数据表，RAM存放数据和指令，使用SR和I/O外备共同达到有效地增加I/O线的数目。

MCS-4装置已经设计了最佳的可能接口，CPU借助于四条数据线(D_0, D_1, D_2, D_3)与RAM和ROM交换信息，除控制信号之外，全部信息利用这个单式数据总线在芯片间流动。通过五条附加线把控制信号送到RAM和ROM。一个CPU能控制多达16个ROM($4K \times 8$ 字)，16个RAM(1280×4 字)及不要求任何接口电路的128个输入/输出线。用附加少量的门电路，一个CPU能控制多达48个ROM和RAM的组合，以及192条I/O线。

虽然I/O功能与ROM和RAM功能不同，但实际上它被做在ROM和RAM芯片上，每一个4001和4002为了同I/O装置交换信息，有4条I/O线。(图6.2)。

4001-ROM 4001是一个2048位的金属掩膜的可编程序的只读存储器。对于MCS-4微计算机，ROM提供了惯例的微程序设计的能力。每一芯片按 256×8 位字组织，它能用来存放程序或数据表。每个芯片还有一个四位的I/O通道，它作为从系统到数据总线来往信息的通路。

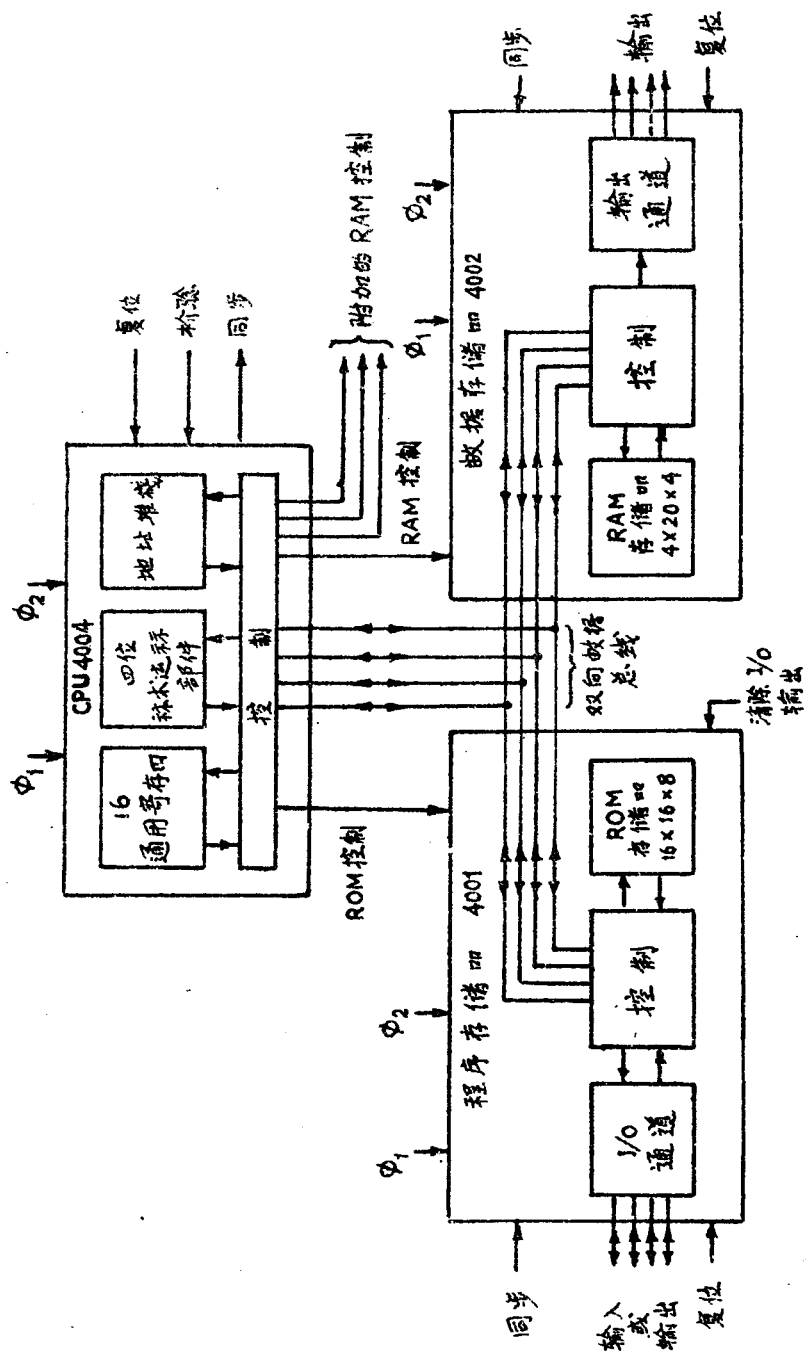


图 6.2 4004 CPU、ROM 和 RAM 的联接

4002-RAM 4002 执行二个功能，做为随机存取寄存器，它排列成四条寄存器存放 320 位字符，每条寄存器是 20 个四位字符；做为与外部设备通信的载体，它提供四条输出线，并与执行输出操作的控制逻辑联系起来。

4003-SR 4003 是一个十位的串行输入/并行输出、串行输出的移位寄存器。它的功能是增加同 I/O 设备联接的输出线的数目。例如，键盘、显示器、打印机、电传打字机、开关、读入机及模拟/数字转换器等一类的 I/O 设备。

4004-CPU 4004 是中央处理机，它同 MCS-4 微处理机装置的其他部件一起组成一个完整的、独立的系统。CPU 通过四条线的数据总线同其他部件交换信息，并通过 RAM、ROM、SR。I/O 通道与外部设备交换信息。CPU 芯片包含五条指令控制线，四条用于控制 RAM 芯片的控制线（对于容量是 16 个 RAM 的整个系统，每一条线能控制四个 RAM 芯片），及能控制多达 16 个 ROM 的体（bank）。

一个标准系统由表示在图（6.1）中的基本的四个芯片组成，ROM、RAM、及 CPU 芯片之间的内部联接表示在图（6.2）中。

<时标> (Timing)

为了系统的正确运算，两列相位互不重迭的时钟脉冲—— ϕ_1 、 ϕ_2 ——必须从外部供给 4001、4002 和 4004。4004 使每八个时钟脉冲周期产生一个同步信号，并且把它送到 4001 和 4002。同步信号标志每个指令周期的开始，然后 4001 和 4002 将利用同步信号 SYNC 和 ϕ_1 、 ϕ_2 产生内部时标。

执行基本指令对于 750 KHZ 的时钟，要求八或 16 个周期。在一个标准的脉冲序列里，CPU 在头三个周期（ A_1 、 A_2 、 A_3 ）里把 12 位地址（在数据线上的三个 4 位字节）送到 ROM。这个地址从 16 个 ROM 芯片当中选取 1 片，以及从该片上 256 个 8 位字中选取 1 个字，被选的 ROM 芯片在下两个周期（ M_1 、 M_2 ）里把 8 位指令（OPR、OPA）送回到 CPU。通过四条数据总线以两个 4 位字节把这个 8 位指令送出，之后，在最后的三个周期（ X_1 、 X_2 、 X_3 ）翻译和执行这个指令（见图 6.3）。

当从 ROM 接收一个 I/O 指令时，在 X_2 期间，通过四条 ROM 的 I/O 线从 CPU 的累加器来回传送数据。

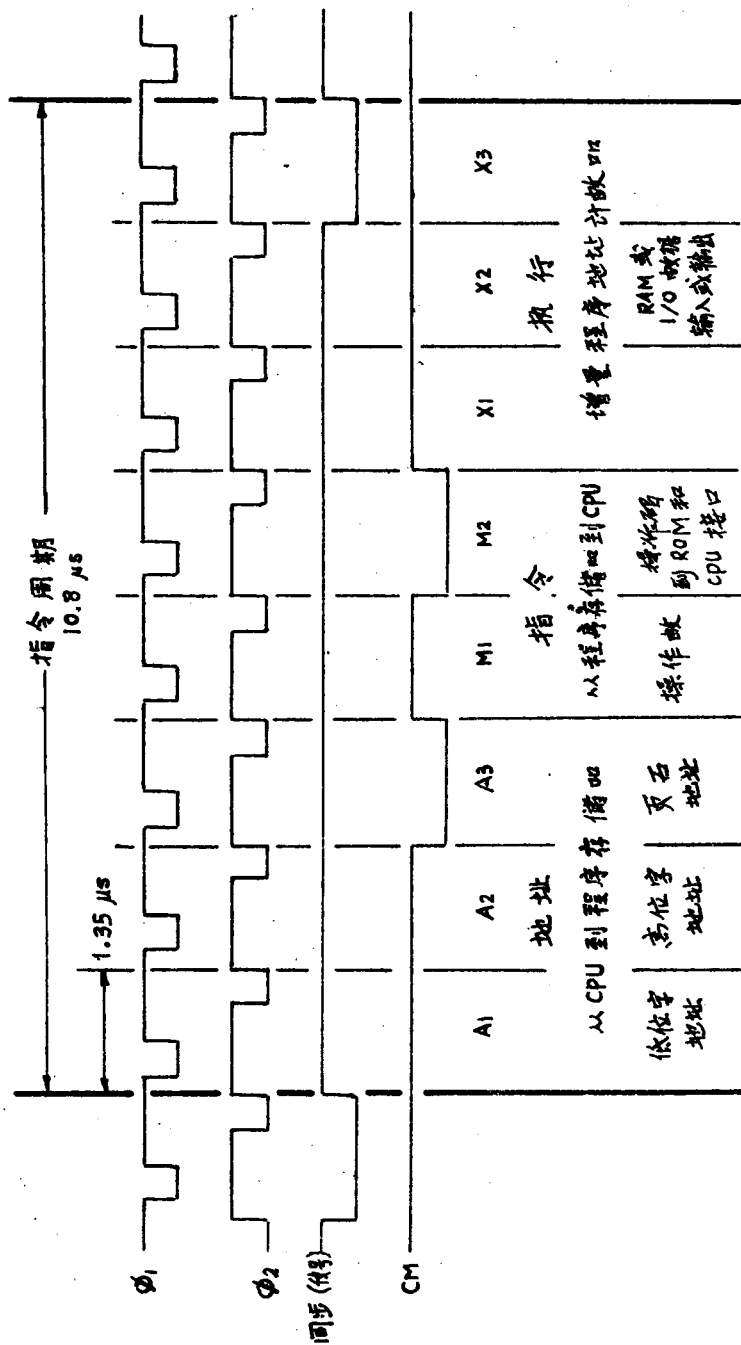


图 6.3 MCS-4 基本指令周期

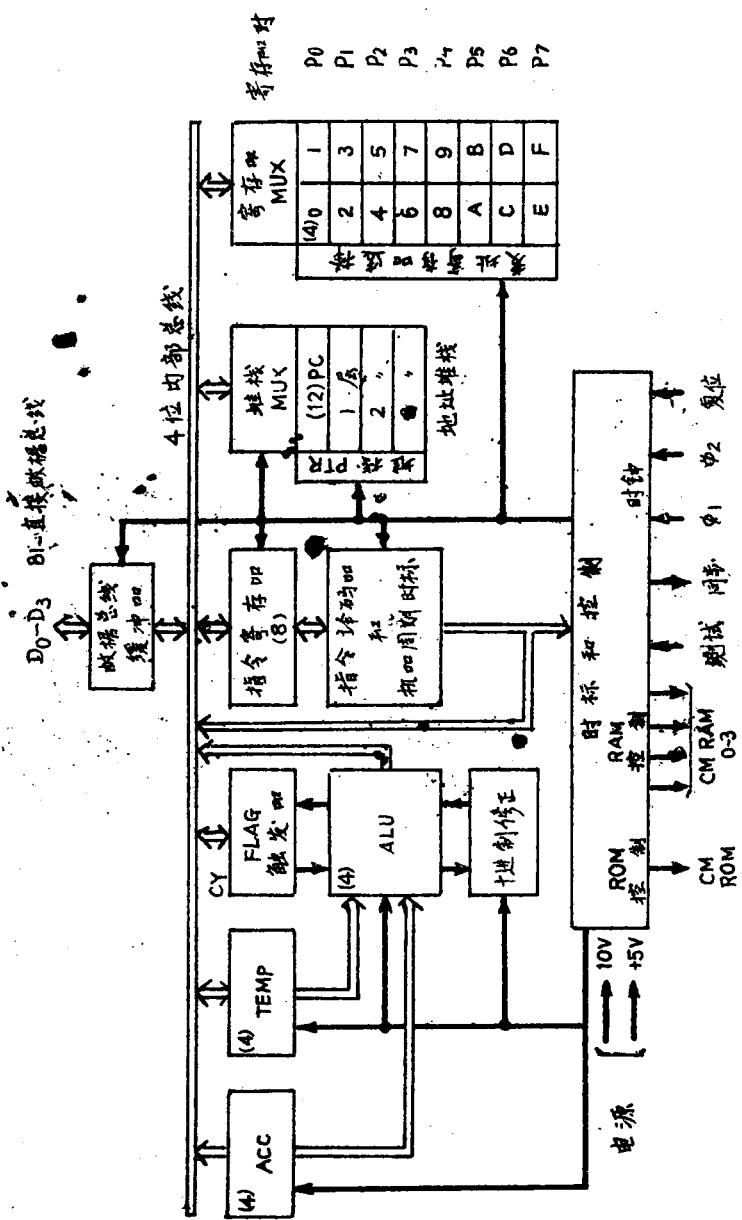


图 6.4 .4004 CPU 方框图

由CPU来的四条命令控制线之一能控制四个RAM，一个RAM芯片的地址、寄存器的地址、及字符的地址都存在CPU中的两个变址寄存器中。同时，当要执行一个RAM指令时，在 X_2 、 X_3 期间传送到RAM。当CPU接收到RAM输出指令时，再把CPU累加器的内容传送到四条RAM的输出线。

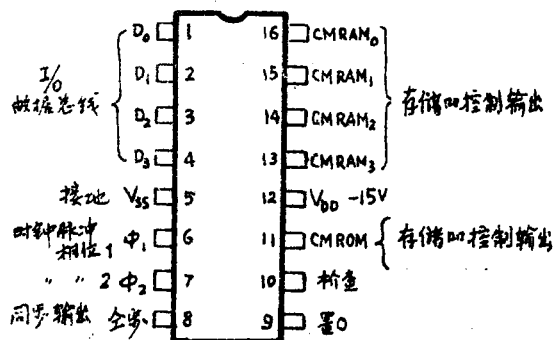


图 6.5 4004 CPU 片脚联接

用一条外部“置0”(RESET)线能控制CPU、RAM和ROM。当启动置0线时，寄存器和触发器的内容被清除。置“0”之后，CPU将从0地址启动，同时选取CM-RAM₀。

6.2 中央处理机

4004 CPU的框图表示在图(6.4)中，片脚联接在图(6.5)中表示之。

<四位加法器>

四位加法器具有串行进位的型式，加法的一项来自暂存寄存器，暂存寄存器(Temp register)的一端与内部总线交换信息，并能把数据(Data)或数据非(Data)传送到加法器。加法的另一项来自累加器和进位触发器，数据和数据非两者都能被传送。加法器的输出送到累加器和进位触发器，累加器装置着执行右旋移或左旋移指令的移位器。累加器还与命令控制寄存器、专用的ROM、条件触发器和内部总线交换信息。命令控制寄存器保存用于开关CM-RAM线的三位代码。专用ROM为DAA(十进制修正累加器)和KBP(键盘处理)指令执行代码转换。专用ROM也与内部总线交换信息。条件逻辑读出 $ADD=0$ 和 $ACC=0$ 的条件、进位触发器的状态、及执行JCN(条件转移)和ISZ(如果0跳，变址寄存器加1)指令的外部信号的状态。

<指令寄存器、译码器及控制>

通过多路转换器把内部总线的内容（在指令周期的 M_1 和 M_2 时间）加到指令寄存器（由 OPR 寄存器和 OPA 寄存器组成）。并且，指令寄存器保存从 ROM 取出的指令，指令在指令译码器里译码，同时，适当地用时钟信号选通，就能获得各种功能部件的控制信号。

<地址寄存器（程序计数器和堆栈）和地址增量器>

地址寄存器是 4×12 位的动态 RAM 单元阵列，它包括用来存储指令地址（程序计数器）的一层，及用作子程序调用的堆栈的三层。堆栈地址由有效地址计数器和再生计数器提供。并且，它又是多路传输到译码器的。

当读出时，地址存储在地址缓冲器里，在 A_1, A_2, A_3 期间，以三个四位为一组分别并行传输到内部总线（看图 6.3 有关基本指令周期）。当每四位一组被送到数据总线上之后，由四位先行进位电路（地址增量器）使地址 +1，增加的地址送回到地址缓冲器，并最后又返回写进地址寄存器。

<变址寄存器>

变址寄存器是 16×4 位的动态 RAM 单元阵列，它有两种操作方式。一种操作方式是变址寄存器为中间计算和控制提供 16 个直接可寻址的存储单元；在第二种操作方式里，变址寄存器为寻址 RAM 和 ROM 以及为了从 ROM 取出存储数据而提供 8 对可寻址的存储单元。

变址寄存器的地址由内部总线和再生计数器提供，并且多路传输到变址寄存器的译码器。

单个的 4 位寄存器 R_x 给予从 0 到 F 的代号，8 位的寄存器“对” P_x 给予从 0 到 7 的代号。

6.3 随机存取存储器、只读存储器和输入/输出通道

<程序存储器 (ROM)>

程序存储器存储由 CPU 执行的指令，同时，它又是由 CPU 指令系统来限定为每页面有 256 个字的有向页面存储器，如图 6.6 所示。CPU 寻得页面和字的地址，而由程序存储器把那个所寻的 8 位字送到 CPU。

CPU 的 12 位寻址能力允许完成如下任务，用 A_8 的四位作为页面地址，它可直接存取 16 个页面，用 A_1 和 A_2 的 8 位来表示在页内字的地址。

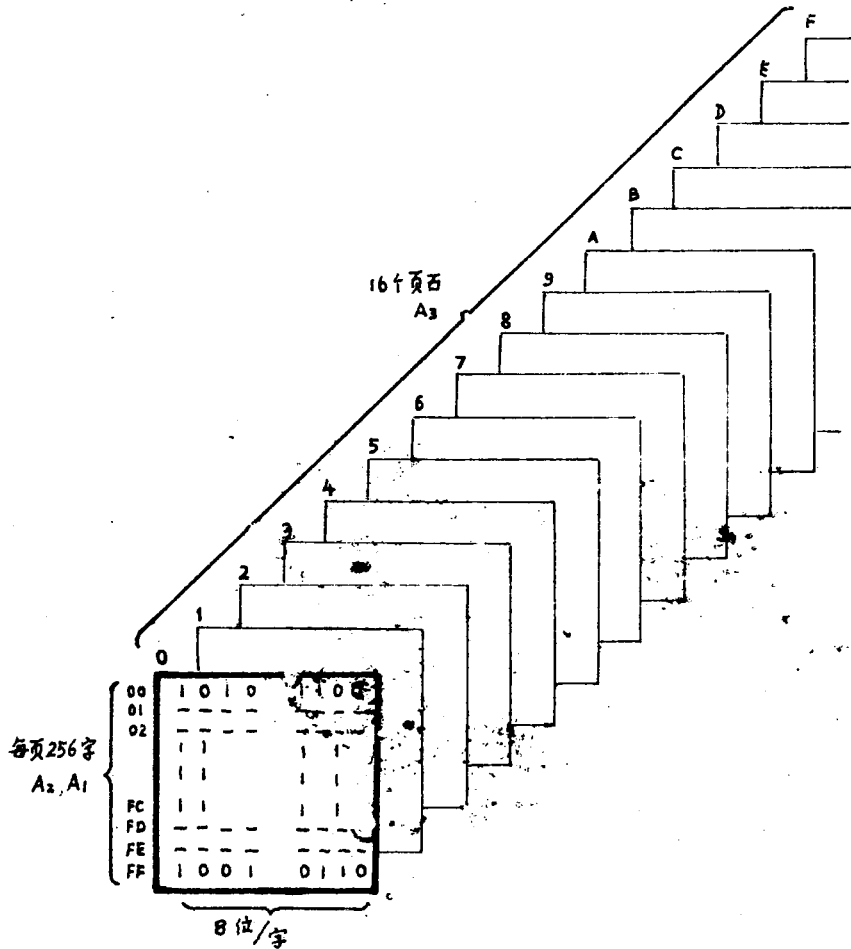


图 6.6 由 CPU 指令所限定的 ROM 结构

就地址的控制指令（转移和分支）而论，了解页面结构是重要的。某些地址指令使用全部 12 位地址，并能够习惯于在一个页面或者从一个页面到另一个页面的范围内改变控制。其他地址控制指令仅使用 8 位地址，并且限定在一个页面之内改变控制。

< 数据存储器 (RAM) >

微系统中用 Intel 公司的 4002 RAM 寄存器器件作为程序控制的数据存储器。四条寄存器构成一个 4002，每条正好有 20 个字符，如图 6.7 所示的。每 20 个字符的寄存器由主存储器的 16 个单独的可寻址的字符，加上 4 个可选择指令状态的字符组成。

CPU 的指令容量允许寻址多达 32 个 4002 RAM 器件。它是通过八个存储体的结构来达到这个目的，而每个存储体具有四个 RAM 芯片。由 DCL

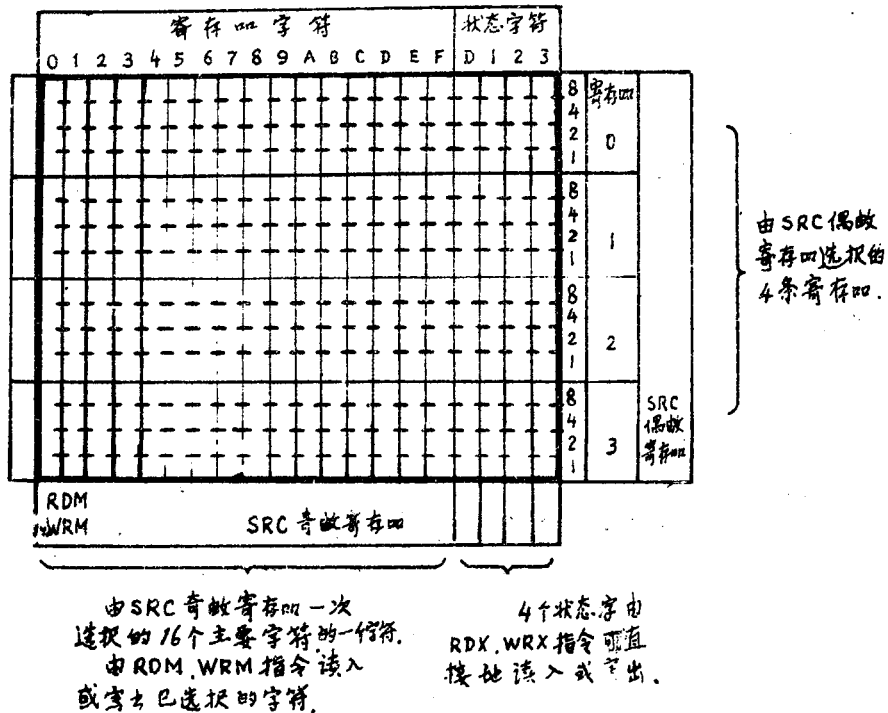


图 6.7 RAM 结构 (Pro-Log 有限公司允许)

指令选择 RAM 存储体。DCL 指令指明了 CPU 里面引出的四条 CM-RAM 总线哪一条将是有效的。依次, 有效的 CM-RAM 总线表明哪一个 RAM 存储体将响应 SRC 指令。SRC 指令选择 RAM 芯片、寄存器和字符, RAM 寻址的摘要已在表 6.1 中给出。

RAM 寻 址

表 6.1

层 次	指 令
RAM 存储体	DCL
RAM 芯片	SRC, 偶数寄存器高位
RAM 寄存器	SRC, 偶数寄存器低位
RAM 字符	SRC, 奇数寄存器, 4 位

< 输入和输出 >

微系统数据流的进和出各自通过每条四线的 I/O 通道完成, 为了执行输入或输出功能, 通道必须首先由 CPU 的 SRC 指令寻址, SRC 寄存器对的偶数寄存器存着被选取的通道地址, 一旦一个通道被寻址, 则该通道继续被选状态, 直到另一个通道被寻址, 其保持时间由输入或输出操作的多

少决定。

有两种输出通道和一种输入通道。每个RAM寄存器器件有一个在器件内已经封装好的输出通道，这个通道负担着用RAM寻址选片的工作，但它有自己独立的WMP指令从累加器向通道传送数据，这个通道能锁存(latch)向它传送的任何数据，并能保持住一个稳定的输出，直到后面的WMP指令改变这个数据为正。RAM通道线路是MOS低电平起作用，输出的驱动能力为低功率TTL负载。

6.4 指令系统

4004的指令系统包括：

十六条机器指令

表 6.2

十六进制编码	助记符		操 作 说 明
	OPR	OPA	
0 0	NOP		无操作
1 C _x	JCN	C _x	根据 C _x 条件转移到程序存储器地址 A ₂ A ₁ ；否则顺序进行。
A ₂ A ₁		LABEL	
2 P _x 0	FIM	P _x	立即从程序存储器取数据 D ₂ , D ₁ 送到变址寄存器对 P _x 。
D ₂ D ₁		D ₂ D ₁	
2 P _x 1	SRC	P _x	送寄存器控制。把变址寄存器对 P _x 的内容送到 I/O 通道和 RAM 寄存器，作为片选选择和 RAM 字符的地址。
3 P _x 0	FIN	P _x	间接取数。把寄存器对 0 的内容作为程序存储器的地址输出，取出的数据放进寄存器对 P _x 。
3 P _x 1	JIN	P _x	间接转移。转移到由寄存器对 P _x 的内容所确定的程序存储器地址。
4 A ₂	JUN		无条件转移到程序存储器地址 A ₁ , A ₂ , A ₃ 。
A ₂ A ₁		LABEL	
5 A ₃	JMS		转移到位于程序存储器地址 A ₁ , A ₂ , A ₃ 的子程序，存储原先的地址（推入堆栈）。
A ₂ A ₁		LABEL	
6 R _x	INC	R _x	寄存器 P _x 的内容加 1

续 表

7	R _X	ISZ	R _X	加 1 和 0 跳。寄存器 R _X 的内容加 1: 如果结果不为 0, 转移到程序存储器地址 A ₂ , A ₁ 上去; 否则, 顺序跳过下一条指令。
A ₂	A ₁		LABEL	
8	R _X	ADD	R _X	把寄存器 R _X 的内容加到累加器。
9	R _X	SUB	R _X	带借位的累加器减去寄存器 R _X 的内容。
A	R _X	LD	R _X	把寄存器 R _X 的内容打入累加器。
B	R _X	XCH	R _X	交换变址寄存器和累加器的内容
C	D _X	BBL	D _X	把堆栈中一层的内容返回到由上一条 JMS 指令存储的程序存储器地址上。把数据 D _X 打入累加器。
D	D _X	LDM	D _X	把数据 D _X 打入累加器
E	X			I/O 和 RAM 寄存器指令
F	X			累加器指令

A₁ 低位地址位。

A₂ 高位地址位。

A₃ 片芯选择。

R_{X1} 寄存器对 P₀ ~ P₇, 由奇数字符 1、3、5、7、9、B、D、F 表示。

R_{X0} 寄存器对 P₀ ~ P₇, 由偶数字符 0、2、4、6、8、A、C、E 表示。

R_X 寄存器 0 ~ F。

D_X 数据。

D₁ 奇数寄存器的数据。

D₂ 偶数寄存器的数据。

C_X JUMP 条件 (条件转移)。

累 加 器 指 令

表 6. 3

十六进制编码		助 记 符		操 作 说 明
		OPR	OPA	
F	0	CLB		清除两者 (累加器和进位)。
F	1	CLC		清除进位。

续 表

十六进制编码	助 记 符		操 作 说 明
	OPR	OPA	
F 2 2	IAC		累加器加 1。
F 3 3	CMC		进位取反。
F 4	CMA		累加器取反。
F 5	RAL		左旋 (累加器和进位)。
F 6	RAR		右旋 (累加器和进位)。
F 7	TCC		把进位送到累加器, 并清除进位。
F 8	DAC		累加器减 1。
F 9	TCS		传送进位做减法并清除进位。
F A	STC		置进位。
F B	DAA		十进制修正累加器。
F C	KBP		键盘处理, 将累加器的内容从四中取一代码转换成二进制代码。
F D	DCL		指定指令线。
F E			
F F			

I/O 和 RAM 寄存器指令

表 6.4

十六进制编码	助 记 符 号		操 作 内 容
	OPR	OPA	
E 0	WRM		把累加器的内容写进预先选定的 RAM 寄存器的字符。
E 1	WMP		把累加器的内容写进预先选定的 RAM 输出通道 (输出线)。
E 2	WRR		把累加器的内容写进预先选定的输出通道 (I/O 线)。
E 3	WPM		把累加器的内容写进预先选定的 RAM 程序存储器。
E 4	WRO		把累加器的内容写进预先选定的 0 字符状态的 RAM。
E 5	WR1		把累加器的内容写进预先选定的 1 字符状态的 RAM。