

IC應用技術叢書(二)

正反器及其應用專集

無線電界雜誌社印行



IC應用技術叢書(二)
正反器及其應用專集

中華民國六十六年六月出版
中華民國六十九年十二月三版
版權所有 不許翻印

特價新台幣100元整

發行者：無線電界雜誌社

台北市八德路二段312巷19號6樓

電話：(02)7112765・7733089

郵政劃撥帳戶：00027568

登記證：局版台誌第3325號

印刷所：中美印刷廠

地 址：台北市天水街32號

前 言

由於電子工業急速的進步與發展，使得各種工業，甚至吾人日常生活均與之脫離不了關係。尤其是近幾年中，各種積體電路之相繼問世，更使電子之應用帶上新的紀元。

有關各種電子電路之原理與電路之分析等，國內已有多種書籍加以介紹。惟大部分多係偏重於理論之解說，易使讀者對於實際之應用產生隔閡。且各製造廠家所推出之各種積體電路，已達數百（或數千）種之多，其中不乏特殊用途之品種，欲將各種積體電路之應用集合於一本書中，加以介紹，事實上乃屬不可能。是故本叢書試圖以淺近之方式，將各種 IC 之應用逐一介紹，對某一種電路作一專集，介紹該種電路之應用，期能提供清晰的瞭解與直覺的認識。每一本書均嘗試對某一個主題作較詳細的說明，以提供讀者作應用上的參考。並列舉多種實例，俾使讀者舉一反三，以收應用自如之效。

本叢書資料之收集及稿件之校對，承林源棋與劉俊光兩兄鼎力協助，於此一併誌謝。

本人學識淺陋，書中乖誤之處必多，如有不妥之處，尚祈諸位先進不吝指正。

編著者 謹誌於 林口
中華民國六十六年三月

序

正反器為數位系統中之基本構成元件。因具有記憶功能故廣泛地使用於暫存器、計數器等順序網路之中。

正反器依其動作性質可分為多種類別。本書第一章與第二章詳細說明正反器之基礎以及各種正反器之構成與動作，第三章介紹由正反器所構成之暫存器與位移暫存器，第四章則介紹各種計數器之構成，並介紹由MSI所構成之計數器以及利用MSI計數器來構成各種進制之計數器之方法。

中華民國六十六年四月

IC 應用技術叢書(二)

正反器及其應用專集

目 錄

第一章 正反器基礎

1. 多諧振盪器電路.....	1
2. 正反器之種類.....	7
3. FF 之構成與其動作.....	14
4. Clock 輸入之種類與其動作.....	35
5. FF 在使用上應注意之規格.....	37

第二章 各種 FF IC 之動作

1. DTL Master-Slave $R-S-T$ FF	40
2. DTL Master-Slave $J-K$ FF	42
3. TTL Edge Trigger $J-K$ FF	45
4. TTL Master-Slave $J-K$ FF	47
5. TTL Edge Trigger D FF	49
6. TTL Latch.....	50

第三章 位移暫存器

1. 資訊之輸入輸出方式.....	52
2. 串列輸入—串列輸出右移形暫存器.....	54
3. 並列輸入—串列輸出位移暫存器.....	57
4. 串列 / 並列輸入—串列 / 並列輸出可逆位移暫存器.....	59

第四章 計數器

1. 二進計數器.....	63
2. 等值邏輯圖形.....	64
3. 非同步式遞增計數器.....	65
4. 同步式遞增計數器.....	79
5. 遞減計數器.....	90
6. 遞增 / 遞減計數器.....	107
7. 可變進制計數器.....	115
8. 使用 MSI 之各種計數器.....	117

第一章 正反器基礎

正反器 (Flip-Flop) 係具有“H”與“L”兩種穩定狀態之電路，當給于一外加輸入條件時，電路輸出一相應狀態之信號，該一狀態將持續至由電路外部再輸入另一信號以改變電路之穩定狀態時止。亦即正反器有記憶之功能。

一般而言，NAND Gate, OR Gate 或 INV. 等並無記憶功能，換句話說，上述各種 Gate 之輸出狀態係由當時之輸入狀態而定。由這些不具記憶功能之電路元件所構成的電路名之為結合電路 (Combinational circuit)。反之，若一電路中含有記憶功能之電路元件，換句話說，電路之動作有時間上之次序關係時，則該電路即稱為順序電路 (Sequential Circuit)。本書中所欲介紹的計數器 (Counter) 與暫存器 (register) 等均屬順序電路。

正反器為順序電路中最主要的基本電路元件。本章擬就正反器之基礎，包括由分離式元件構成之正反器以及由 IC 所構成之各種正反器加以說明。

1. 多諧振盪器電路

正反器實際上係雙穩定多諧振盪器之別名 (如圖 1-1)。在說明正反器之應用之先，茲就各種多諧振盪器作一簡單的說明。

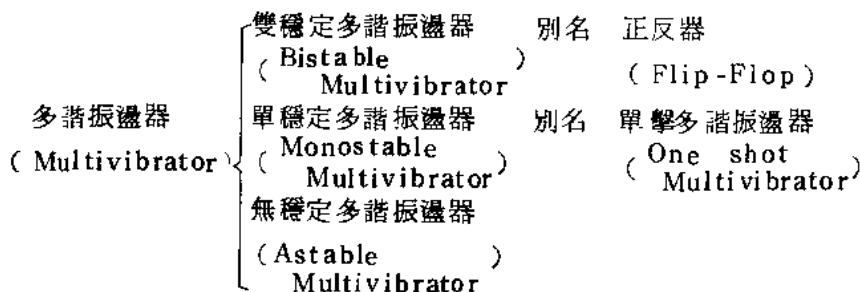


圖 1-1

1-1 無穩定多諧振盪器

無穩定多諧振盪器之特徵係在無任何輸入信號之情況下，由於電路本身的自動作用，可持續不斷地輸出方形波脈衝，因此又可稱為 Free running multivibrator，但一般多僅簡稱之為multivibrator而已。

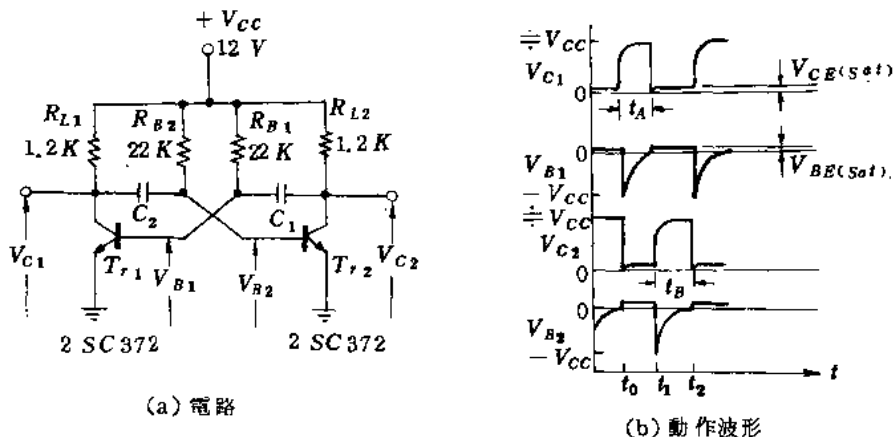


圖 1-2 無穩定多諧振盪器之電路與動作波形。

圖 1-2 為無穩定多諧振盪器之電路與各部分之動作波形。由圖可以看出係反轉器電路加上兩個 CR 之時間常數電路所組成。

今設投入電源之瞬間為 t_0 ，且在該時刻 T_{r1} 呈截止，而 T_{r2} 呈導通狀態。則各部分之電壓與電流如下式所示：

$$\left. \begin{aligned} I_{C1} &= I_{CB0} \\ I_{C2} &\approx \frac{V_{CC}}{R_{L2}} \\ V_{C1} &= V_{CC} - I_{CB0} \cdot R_{L1} \approx V_{CC} \\ V_{C2} &= V_{CC} - I_{C2} \cdot R_{L2} = V_{CE(sat)} \end{aligned} \right\} \quad (1-1)$$

在 $t_0 \sim t_1$ 期間， C_1 電容器中電荷將經由 R_{B1} 之電阻放電，因此， V_{B1} 之電壓將依照 $C_1 R_{B1}$ 之時間常數呈指數函數形狀上昇，至 t_1 時刻 T_{r1}

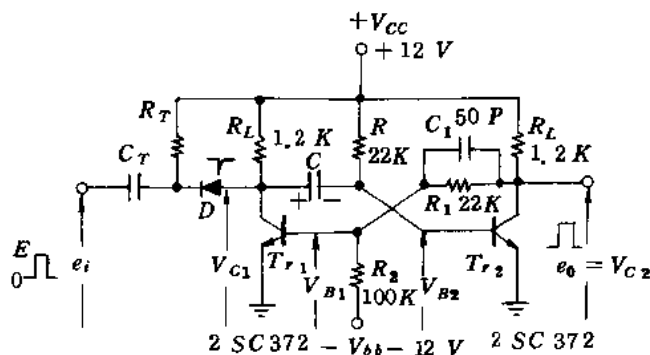
將自截止狀態轉變為導通狀態。另一方面，因 V_{B2} 電壓驟降，而使 T_{r2} 由原來的導通狀態轉變為截止狀態。此時，各部分之電壓將變為：

$$\left. \begin{aligned} I_{C1} &\doteq \frac{V_{CC}}{R_{L1}} \\ I_{C2} &= I_{CBO} \\ V_{C1} &= V_{CC} - I_{C1} \cdot R_{L1} = V_{CE(sat)} \\ V_{C2} &= V_{CC} - I_{CBO} \cdot R_{L2} \doteq V_{CC} \end{aligned} \right\} (1-2)$$

$t_1 \sim t_2$ 期間，則因電容器 C_2 之電荷經由 R_{B2} 放電，故電路之動作將與上述相反，亦即 T_{r1} 轉變為導通而 T_{r2} 轉變為截止狀態。如此周而復始交互動作。故可由 T_{r1} 與 T_{r2} 之集極側輸出方形波信號，作為時鐘脈衝（clock pulse）信號或用來做其他信號產生電路之用。至於周期 T 則可以由下式求之。

$$\left. \begin{aligned} t_A &= t_1 - t_0 = 0.69 R_{B1} C_1 \\ t_B &= t_2 - t_1 = 0.69 R_{B2} C_2 \\ T &= t_A + t_B \end{aligned} \right\} (1-2)$$

1-3 單穩定多諧振盪器



(a) 電路

若將前述之無穩定多諧振盪器的二個 RC 時間常數耦合電路中之一以直接耦合取代，則成為單穩定多諧振盪器。這種電路的特徵係在沒有外加之信號時，電路之輸出狀態固定不變，在當輸入一激勵信號（trigger pulse）時，則可輸出一定寬度之方形波信號。

由於自輸出狀態而言僅具一種穩定狀態，故名之為單穩定多諧振盪器。其主要用途有：

- (1) 脈衝波之整形。
- (2) 脈衝波寬之放大或縮小。
- (3) 延遲電路。

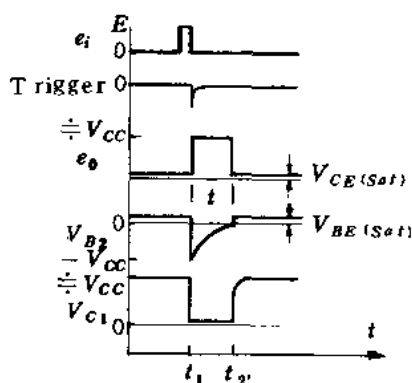
等種。

圖 1-3 為單穩定多諧振盪器之電路與各部分之動作波形。輸入側之 C_T 與 R_T 構成一微分電路，用以產生電路之激勵信號。

在 t_1 時刻之前， T_{r1} 呈截止而 T_{r2} 呈導通狀態，電路維持於此種穩定狀態之下。在 t_1 時刻，若輸入一激勵用脈衝，則 T_{r1} 與 T_{r2} 之截止與導通狀態互相反轉。而 V_{c2} 之電壓升至近乎等於 V_{CC} 之值，而 V_{B2} 則降至約等於 $-I_{C1} \cdot R_{C1}$ 之值。

在此期間，電容器 C 中之電荷將經由 R 放電，而使得 V_{B2} 依 RC 之時間常數呈指數形狀上昇，直至 t_2 時刻 T_{r1} 再度呈截止而 T_{r2} 呈導通狀態，重回原來的穩定狀態。

換句話說，這種電路當外加一激勵信號於 T_{r1} 之集極時，可自 T_{r2} 之集極側得一方形波信號，其寬度可由下式求之。



(b) 動作波形

圖 1-3 單穩定多諧振盪器之電路與動作波形。

$$t = 0.69 RC \quad (1-4)$$

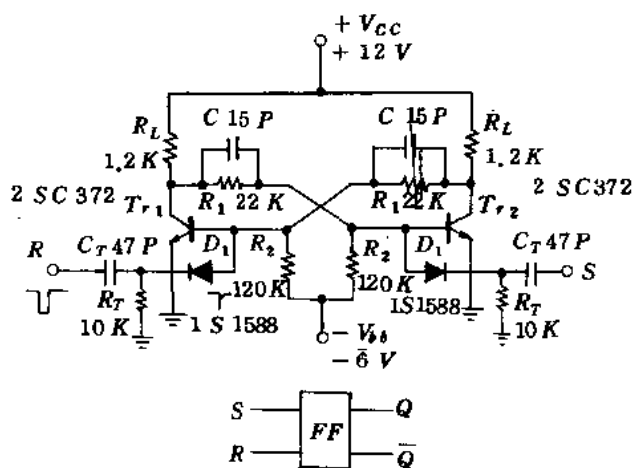
電路中之 C_1 為Speed up 電容器，用以提高電路動作之速度之用。

1-3 雙穩定多諧振盪器

雙穩定多諧振盪器係由兩個反轉器各將輸出端之信號交互連接至對方之輸入側所組成。

圖1-4為雙穩定多諧振盪器之電路構成圖例。由激勵信號之加入方式可分為多種類別。

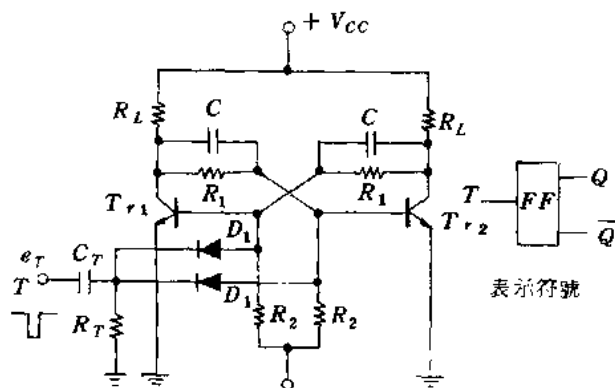
(a)圖所示的場合，具有 S 與 R 兩種輸入端子，這種電路稱之為 RS 正反器。(b)圖之電路僅具一信號輸入端 T ，故稱之為 T 正反器。



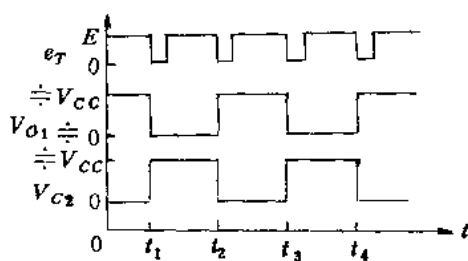
表示符號

(a) Flip-Flop(1)

(RS Flip Flop)



(b) Flip-Flop (2)
(T Flip Flop)



(c) T Flip Flop 之動作

圖 1-4 雙穩定多諧振盪器

在(a)圖之 RS 正反器電路的場合，當投入電源之際，由於 T_{r1} 與 T_{r2} 兩電晶體在特性上些微的差異，例如 T_{r1} 之阻抗較之 T_{r2} 為少時，則 $I_{C1} > I_{C2}$ 。此一情況經由電路的再生作用終使 T_{r1} 呈導通而 T_{r2} 呈截止狀態，電路在這種狀態下若無任何輸入則將一直維持這種狀態不變。 V_{C2} 之值約等於 V_{CC} ，而 V_{C1} 則約處於地電位。

其次，若在 R 輸入端子上加上 Trigger pulse 時，則 T_{r1} 與 T_{r2}

之狀態反轉，此一狀態亦將持續至 S 端子輸入 Trigger pulse 時止。亦即這種電路具有兩種穩定狀態。

(b)圖之 T 正反器的場合，每當 T 輸入端加入一個 Trigger pulse 時，電路之狀態反轉一次，在未輸入 Trigger pulse 時，電路將維持穩定之狀態。

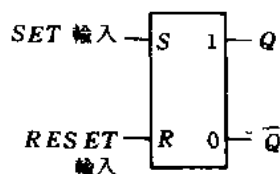
有關 RS 及 T 正反器之動作在下一章將作詳細的說明。

至於正反器之主要用途則有以下諸種。

- (i) 脈衝頻率之分頻。
- (ii) 計數器。
- (iii) 記憶電路。
- (iv) 暫存器或位移暫存器。

2. 正反器之種類

前一節係介紹由分離式電路元件所構成的各種多諧振盪器。事實上，今日之電路系統中，除少數情況外，大都係使用 IC 。是故本書以下之討論亦將以 IC 為主。在說明各種正反器之 IC 之前，茲先就正反器之種類加以介紹。



(a) 邏輯記號

輸入		輸出
S	R	Q_{n+1}
L	L	Q_n
H	L	H
L	H	L
H	H	*

註： Q_n 係維持於加入信號前的狀態

*： $Q = \bar{Q} = "H"$

(b) 動作表

圖 1-5 $R-S$ FF 之定義

2-1 $R-S$ 正反器

$R-S$ FF (Flip-Flop 之縮寫) 之邏輯記號如圖 1-5 (a) 所示。具有 SET 與 RESET 兩種輸入端子，至於輸出則有 Q 與 $\bar{Q}$ 兩輸出端。在正常的使用情況下， Q 與 $\bar{Q}$ 之信號有互補的關係。

$R-S$ FF 的動作定義係：當 SET 輸入端加入“H”狀態之信號時， Q 輸出端將輸出“H”狀態信號；而當 RESET 端輸入“H”狀態信號時，則 $\bar{Q}$ 端輸出“H”狀態之信號。

圖 1-5(b) 為其動作表，由表可知

(i) $S = “L”$ ， $R = “L”$ 時

Q 與 $\bar{Q}$ 兩輸出端均維持於 S 、 R 兩端未輸入信號前之狀態。

(ii) $S = “H”$ ， $R = “L”$ 時

Q 端輸出“H”，而 $\bar{Q}$ 端輸出“L”狀態。

(iii) $S = “L”$ ， $R = “H”$ 時

Q 端輸出“L”，而 $\bar{Q}$ 端輸出“H”狀態。

(iv) $S = “H”$ ， $R = “H”$ 時

Q 與 $\bar{Q}$ 端均將處於“H”狀態。讀者應注意，在此場合中 Q 與 $\bar{Q}$ 之間不再呈互補的關係。在正常的使用中， R 與 S 絕少同時加上“H”狀態之信號。

以上所述 S 與 R 在各種不同信號組合時之 Timing chart (本書姑稱為時序表) 如圖 1-6 所示。當 S 與 R 兩端同時輸入“H”狀態後，兩者又同時轉變為“L”狀態時， Q 與 $\bar{Q}$ 兩端何者為“H”何者為“L”並不可預

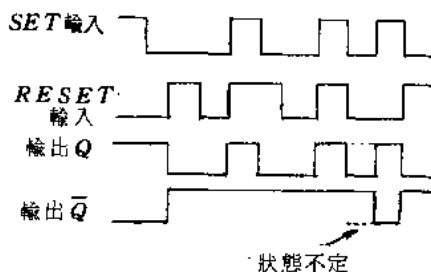


圖 1-6 $R-S$ FF 之時序表

知。

2-2 R-S-T FF

R-S-T FF 之邏輯記號如圖 1-7(a)所示。除了 S 與 R 兩端子外，再追加一 T 輸入端。T 輸入端通常加上時鐘脈衝信號。至於其輸出端則與 R-S FF 相同，具有 Q 與 $\bar{Q}$ 兩呈互補關係之輸出端。

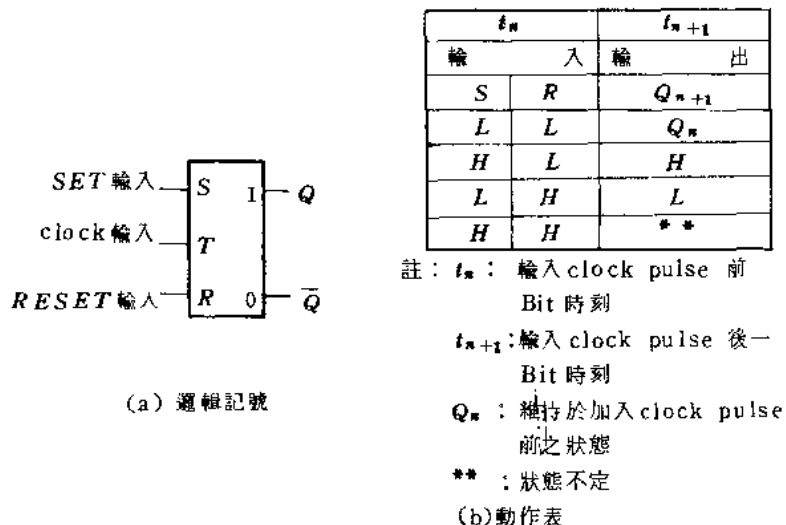


圖 1-7 R-S-T FF 之定義

R-S-T FF 在僅輸入 R 與 S 兩輸入信號時，Q 與 $\bar{Q}$ 兩輸出狀態並不改變，必須在有 clock 信號輸入至 T 輸入端時方能使電路動作。

圖 1-7(b) 為其動作表，由表可知：

- (i) S = "L", R = "L", 且有 clock 輸入時
Q 與 $\bar{Q}$ 兩輸出端維持於未加入 clock pulse 前之狀態。
- (ii) S = "H", R = "L", 且有 clock 輸入時
Q 端為 "H" 而 $\bar{Q}$ 端為 "L" 狀態。
- (iii) S = "L", R = "H" 且有 clock 輸入時
Q 端為 "L" 而 $\bar{Q}$ 端為 "H" 狀態。

- (iv) $S = "H"$, $R = "H"$ 且 T 端有 clock 輸入時
雖 Q 與 $\bar{Q}$ 兩端之輸出信號有互補之關係，但何者為 $"H"$ ，
何者為 $"L"$ 則未可預知。

圖 1-8 為 $R-S-T$ FF 之動作時序表。

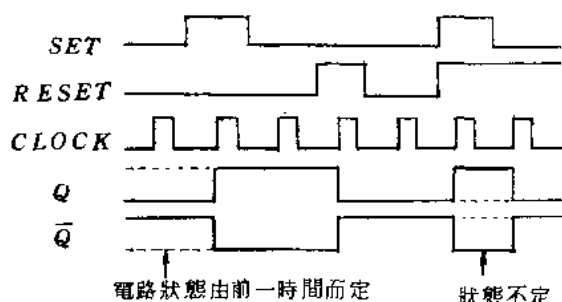


圖 1-8 $R-S-T$ FF 之時序表

2-3 $J-K$ FF

$J-K$ FF 之邏輯記號如圖 1-9(a)所示。相當於 $R-S-T$ FF 中之 R 與 S 以 K 與 J 置換而已。其動作表如同圖(b)所示。

$J-K$ FF 由 J 與 K 各種不同輸入之組合可分為下列 4 種情況。今設 T 輸入端有 clock pulse 輸入，則

- (i) $J = "L"$, $K = "L"$ 時

Q 與 $\bar{Q}$ 兩端將維持於未加入 clock pulse 以前之狀態。

- (ii) $J = "H"$, $K = "L"$ 時

Q 端為 $"H"$ 而 $\bar{Q}$ 端為 $"L"$ 狀態。

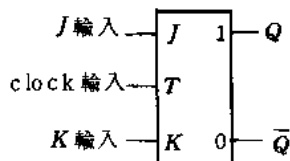
- (iii) $J = "L"$, $K = "H"$ 時

Q 端為 $"L"$ 而 $\bar{Q}$ 端為 $"H"$ 狀態。

- (iv) $J = "H"$, $K = "H"$ 時

Q 與 $\bar{Q}$ 將輸出一與未加入 clock pulse 前相反狀態的信號。

由上述可知， $R-S-T$ FF 與 $J-K$ FF 兩者之主要相異處為，



(a) 邏輯記號

輸入		t_{n+1}
J	K	輸出
		Q_{n+1}
L	L	Q_n
H	L	H
L	H	L
H	H	$\bar{Q}_n$

註： t_n 與 t_{n+1} 之定義與圖 1-7 (b) 同。

Q_n ：維持於輸入 clock pulse 前相同之狀態

$\bar{Q}_n$ ：與輸入 clock pulse 前之狀態相反

(b) 動作表

圖 1-9 J-K FF 之定義

R-S-T FF 的場合，當 S 與 R 兩端同時加入“H”狀態信號且 T 端有 clock pulse 輸入之情況下，Q 與 $\bar{Q}$ 之輸出狀態為不定；但在 J-K FF 的場合，當 $J = K = \text{“H”}$ ，且 T 端有 clock 輸入時，Q 與 $\bar{Q}$ 之狀態將與未加入 clock pulse 前之狀態相反。

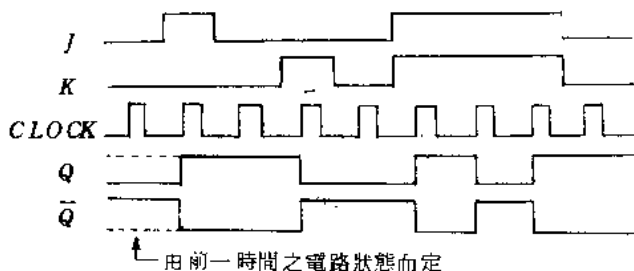


圖 1-10 J-K FF 之時序表。

以上所述各種輸入狀態之動作時序表如圖 1-10 所示。