

科技资料译丛

第14期

黑龙江省电子技术研究所编译

一九七八年五月



带有发光二极管直接驱动的 集成注入逻辑钟表芯片

摘 要：

用集成注入逻辑工艺有三种功能的钟表电路已在一个 86 密尔 $\times$ 96 密尔的阵列芯片上制造出来。该电路在运行状态需要 7-10 μA 并在芯片上有分别能提供 15 mA 和流入达到 70 mA 的段和数字驱动口。低频 (1 KHz) 晶体管在这个电路中运用在 5-10 μA 的基极电流。用栅电流执行延迟的单一的四基极二分频电路是该电路的基本单元, 它的小尺寸 (13 $mils$) 有助于小芯片尺寸在运行状态 (不显示) 每个仅用 50 nA 的段和数字驱动口, 也有助于芯片的低电流。

引 言：

由于 CMOS 技术的高集成度和低功耗, 它已控制了数字手表的集成电路设计。CMOS 非常适于液晶显示, 但当需要一个发光二极管显示时, 它就比较困难了。在原来 CMOS 手表设计中, 需要几个芯片, 一个逻辑芯片一个或几个芯片是发光二极管的驱动口。目前, 驱动发光二极管的单片 CMOS 电路是可用的, 但需要大输出 MOS 晶体管。这就导致了一个更大和高价的芯片。

以高集成度、低功率的双极型电路为特征的 1^2L 提供了一个很有吸引力的与 CMOS 两者择一的方法。设计容易吸入或发出大电流的软出级的能力使 1^2L 特别适于使用发光二极管显示。

已经制造出 1^2L 三种功能的手表芯片, 芯片在运转状态 (不显示), 用 7-10 μA , 而显示打开时, 它的平均值为 15 mA 。

整个手表系统由所述集成电路芯片加上一个外部电阻，一个微调电容，一个石英晶体、发光二极管显示元件、和一个电池组成。我们将讨论用 1^2L 工艺设计手表芯片的优点以及有助于小芯片尺寸（86密耳 $\times$ 96密耳）和低电流消耗的几个关键电路的工作。

II 电路工作

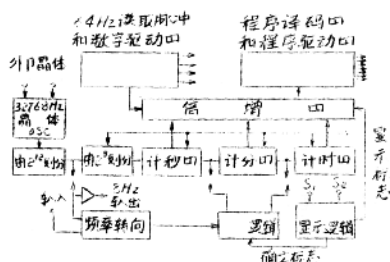


图1. 发光二极管表芯片方框图

图1表明表芯片的一个方块图。3.768千赫晶体管振荡的纹波是12个二分频电路分频成8赫兹。8赫兹纹波被进一步分频为1赫兹，并馈到秒计数器里。时、分、秒计数器经多路传输，并以二进制

情至七段译码器里译码器的输出驱动着七段驱动器。数位以64赫的速率读取，且这个纹波与显示标志一起控制哪个计数器纹波通过多路转换器。通过选择两个开关中的一个，不是时、分就是秒可显示出来。8 Hz 纹波也被馈给到置位逻辑里，并且，通过以适当的时序压下两个开关，小时或分就能以1/12速率置位。完成置位分操作后，秒数可复位到零。置位逻辑包含“锁定”电路，此电路阻止正置位的计数器跟其它计数器相互作用。

正如上述提到那样，对于手表芯片 1^2L 的两个理想的特性是低功率和尺寸小。用仅5-10 nA 基极电流供给所有低于1 KHz 工作的 $n-p-n$ 晶体管得到了低功率工作。在一个四个集电极器件上的每一个集电极的 $n-p-n$ 电流增益恰好仍超过5 nA。因此，这个低频率运行就有可能了。高于1千赫与其增加横向 pnp

的注入面积来提供更多 nnp 基极电流。不如对 pnp 发射极每单位面积提供较高电流。尽管稍为复杂电流流过导致了较小的版图面积。这些较高频率级每个晶体管使用 $100 \mu A$ 。于是我们就有了两个不同电流流级。一个低电流流级，它供给需要低发射极电流密度的所有横向 pnp 晶体管，和一个第二个电流级，它供给较高频率电路运行需要高发射极电流密度的 pnp 晶体管，这两个供给线均由标准电流流电路控制。

因为 1^2L 电路的高封装密度 ($120 \text{ 门}/\text{mm}^2$) 及通过使用一个二分频单元电路，而这个电路仅使用四个基极区，所以得到了小片子尺寸。

既然双极型振荡器和恒电流电路在别处 (4) (5) 已详尽描述过了，本文余下部分我们将致力于描述 1^2L 提供某种独特的优越性的那部分双极型表电路。

III 二分频设计

从 32 KHz 到 8 Hz 的分频链中片子上最高门密度是 $475 \text{ 门}/\text{mm}^2$ 。图 2 示出了 4 基极二分频电路的逻辑图和电路略图。对于小时、分和秒计数以及分频链该电路是基本单元分频器从 6 个基极缩减到 4 个基极导致了在面积中总共节省了 33%。这个面积缩减意义很大，因为多于 35 个二分频电路台并在一个片子上。此电路中面积缩减的关键是插入延迟的能力。它防止了两个静态冒险，不增加任何像额外基区那样附加的片子面积，表 1 表明了二分频电路的工作。当电路从状态 2 转换到状态 3 时，就发生了静态冒险。在同一时间输入 T 作用到或非门 1 和 2 上。因为 T 从 1 变到 0 及所有其它对或非门的输入都是 0， N_1 和 N_2 将企图在同一时间升起。用减缓 N_2 升起使 N_1 首先升起，利用限制对这个结点有效的充电电流的总数来达到这个目的。当状态 3 和 4 之间转换时，也发

生了同样的静态冒险。这里 N_1 在同一时间驱动或非门 3 和 4，并 1 变到 0。对或非门的其它输入是 0 (N_2 、 N_3 和 N_4)，因此，结点 N_3 和 N_4 试图同时升起。这里我们用同样方法允许结点 N_4 首先升起。

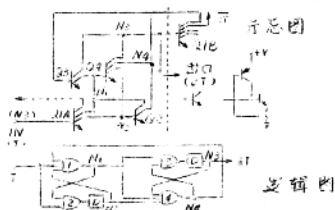


图 2 二分频电路

在图 2 的略图中表明了，在任何给定的分频单元中，晶体管 Q_{1A} 和 Q_{1B} 都起作用，虽然在临近单元之间总的作用可被平分。在上边状态表的讨论中说明了让结点 N_2 和 N_3 比 N_1 和 N_4 更缓慢一些充电。在略图中表示这点是

借用在 Q_{1A} 和 Q_{1B} (Q_{1A}) 的基极上的空芯图表示驱动这些节点的横向 pnp 管来实现的。空芯元代表了具有比正常 pnp 的更少的饱和电流的 pnp 管。较快结点 N_1 和 N_4 ，有与 Q_3 和 Q_4 的基极联在一起的空芯元表示的横向 pnp 管。

表 1 二分频电路的逻辑状态

注 解

状态	T	1	2	3	4
1	0	0	1	1	0
2	1	0	0	1	0
3	0	1	0	0	0
4	1	0	0	0	1
5	0	0	1	1	0

表 1 二分频电路的逻辑状态



图 3 横向 P-N-P 成电流方法

图 3 横向 P-N-P 成电流方法

图3示出了有效的限制通到 N_2 和 N_3 电流的三个版图工艺。所有这些方法采用电流“饿电”法，即每一个方法限制注入到节点里的电流总数。方法(a)是最不理想的，因为它的性能是从属于调正的。方法(b)利用减少空穴注入面积直接限制注入电流，但是，使用如图3(b)所示的分开的外电流，在这个电流和其它电流之间需要一个金属互连。在单层金属电路中，这消除了穿过电流实行逻辑连接的可能性。在结构(a)(b)和(c)上的测量表明了对于同一电流电压分别按因数1.36, 3.02和1.72增加升起时间。

在图3(c)中提出的可采用方法是限制电流的最好选择。使用了一个连续电流棒，不需要金属连接，由增加pnp的基极宽度减少注入到npn的电流。图4示出了一个四个基极二分频电路的版图。 N_2 的上升时间可被表示为：

$$\Delta t = \Delta V_2 (C_2 / I_2)$$

其中 C_2 是结点 N_2 的电容， I_2 是 N_2 的充电电流因此，不但结点 N_2 和 N_3 必需饿电流，而且为了正常的工作，也应：

$$C_2 / I_2 > C_1 / I_1$$

$$\text{和 } C_3 / I_3 > C_4 / I_4$$

这个关系决定了正好需要多少饿电流。

IV 数字驱动回

为达到低耗用电流和小的芯片尺寸所有 1^2L 元件都是最少的几何尺寸低电流晶体管。为了驱动发光二极管段，每个段需要10毫安峰值电流或者2.5毫安平均电流。为了提供这种电流，在驱动回里需要几个增益级。对于数字驱动回来说耗电问题是至关重要的数字驱动回必须吸入最大值达70毫安。使用隔离的正向工作的npn晶体管的 n 级来提供所需的电流增益。图5示出数字驱

动图的一个略图。在 Q_1 的基极上的一个低信号能使 Q_{11} 吸入电流。晶体管 Q_1 到 Q_4 是 1° 晶体管，每一个晶体管经常用 $5 \sim 10 \mu A$ 。在 Q_1 的基极上用一高信号时，晶体管 Q_6 到 Q_{11} 就断开了。于是在开路状态，每一个数字驱动口用 $50 \mu A$ 。晶体管 Q_1 到 Q_3 确保了任何少于两级门延迟的输入信号，将不会造成逐级导通。相同的结构也出现在段驱动口的输入里，并防止“闪光”或者由于定时误差而使错误的段导通。

吸入 70 毫安的晶体管 Q_{11} 所需 β 由下列确定：

$$\left(\frac{V_{be}(Q_{10})}{27K} + \frac{V_{cc} - V_{cesat}(Q_8) - V_{be}(Q_{10})}{1K} \right) \times \beta(Q_8) \beta(Q_{11}) - \frac{V_{bc}(Q_{11})}{5K} \beta(Q_{11}) \geq 70 \text{ mA}$$

最坏情况假定为：

$$\beta(Q_8) = 2$$

$$V_{be}(Q_{10}) = 0.8V = V_{be}(Q_{11})$$

$$V_{cc} = 2.6V$$

$$V_{cesat}(Q_8) = 0.2V$$

于是

$$\frac{0.8}{27K} + \frac{2(2.6 - 0.2 - 0.8)}{1K} \beta(Q_{11}) - \frac{0.2}{5K} \beta(Q_{11}) \geq 70 \text{ mA}$$

得到

$$\beta(Q_{11}) \geq 23 \text{ at } I_c = 70 \text{ mA}$$

这是一个简单的必要条件，并产生了除一个输出 npn 晶体管外，由最小几何图形 pnp 的和 npn 的管组成的一个版图。

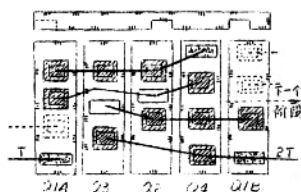


图4 二分频线路图

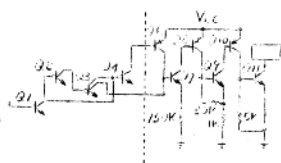


图5 数字驱动电路

V 定时问题

如上所述，定时是表芯片的一个问题。每个基极仅用 $5-10 \mu A$ ，每个门的平均延迟是 0.1 毫秒。用一个 64 赫兹读取脉冲，每一个数字和段有 4 毫秒宽的脉冲。数字纹号的任何重叠会导致“幻象”或者纹号出现在不止一个数字上。为了防止过点，数字应使用消隐纹号；于是，做为例子，产生了一个在纹号之间约有 0.25 毫秒 $3.75 \mu s$ 的纹号。为了更进一步简化匹配，在数字驱动纹号产生的电路中应使用不利用栅电流的二分频。为了确保段和数字驱动纹号匹配，在数字驱动中，可合併一个可变长度延迟线。这需要一个重复掩模来选择适当的延迟。

当需要显示时，上页的问题可由“powering up”电路来减到最少。因为在显示期间平均电流是 $15 \mu A$ ，比如说把准备电流从 $7 \mu A$ 增加到 $49 \mu A$ 是不被人注意的，而每门的延迟减少到原来的七分之一。

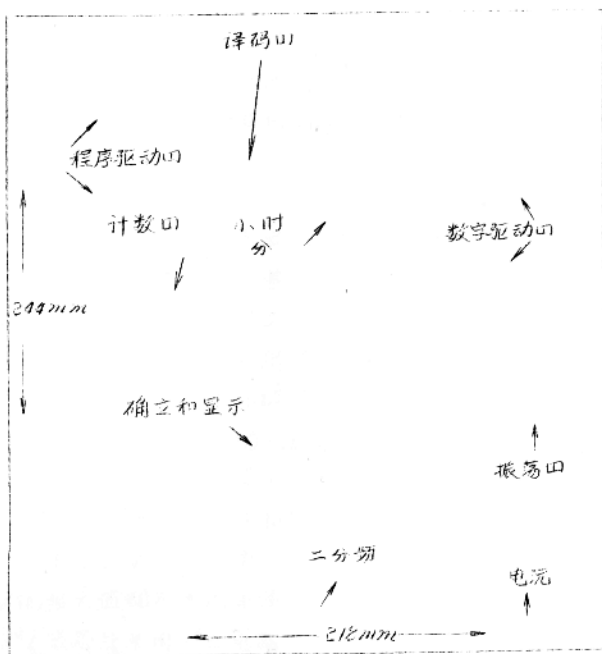


图6 三种功能发光二极管表芯片照片

VI 版图

图6示出了芯片的一个显微照相。全片使用单层金属。底下高密度的结构是分频链，在分频链上可起开关作用控制显示口的逻辑。这下方也包括了防跳电路。在片子中心是秒和分计数口，在顶片中心是译码口，右片是时计数口。段驱动口成对排在左边而数字驱动口则在右上边，振荡口在右边的中间电流分配电路又在它下边。运转需要18个压焊脚，而在电路快速测试中则使用余

下的4个。这里我们看到了发光二极管电路的重要优点，而这点液晶显示电路至今仍没有解决显示口可以多路使用，因此，仅需要七个段压点和4个数字压点，而对液晶显示输出至少需要23个压点（带有23个驱动口或插口）需要相当数目的附加硅面积。

VII 工作特性

表2示出了电路的基本工作条件。驱动发光二极管显示口需要二个 $1\frac{1}{2}$ V微型电池，这些电池新的时候输出3.2V并很快降至3.0V，在电池寿命的95%以上的时间里电动势稳定在这点，电动势降低至2.3V以前电路保持准确。然而，2.6V以下发光二极管显示非常暗淡，为保证压焊最少的要求，芯片仅有一个电流压点，因为3V是可用的，把它用于芯片上振荡口电路中，以使在整个温度范围内更稳定。标准的发光二极管的正向电压加上数字驱动口的 $V_{CE\text{ sat}}$ 电压和段驱动口的 V_{BE} 在整个温度范围内也要求采用3.0V电流。由于这些理由，虽然全 1^2L 电路仅需0.7V的最大值却不采用单独的1.5V输入。具有多功能的较复杂的 1^2L 表芯片采用 1^2L 电路之迭式（“stacking”）分布能从3V电流进一步得到好处，因此在相连接的越来越低的电压下相同的电流被反复使用，电流一些层深可以达到4。

表1/ 发光二极管的表片的操作条件

推荐操作条件

参 数	范 围			单 位
	最 小	典 型	最 大	
V_{CC} 供电电压	2.6	3.0	3.2	V
I_{SS} 注入电流	5.0	7.0	10.0	μA
晶 体 频 率		32768		Hz
T_A 操作温度	-35		+70	$^{\circ}C$

显示间断时，电路需要7微安平均值，并且，在温度范围内能正确工作至小于5 μ A注入电流主要由外门电阻控制。用典型电流和每天平均30次显示，正常电池可持续使用一年以上。

VIII 工 艺

利用工业上广泛采用的处理工艺——肖特基T²L加工表芯片。在此工艺上要加上两个较小的变化：高掺杂埋层 n^+ ，以提供较好的 $n-p-n$ 发射极注入效率，一个浅的深入到基极里的 n 扩散，用来增加基极传输效率。这二变化的结果是正向电流增益达200到250，并且，在10 μ A到100 μ A的集电极电流范围之内对4个集电极之一的反向电流增益大于4。基极宽度测量表明0.2微米的典型宽度和 BV_{CE0} 大于5.0V。

选择如肖特基那样的工艺，因为薄的外延（3微米）和浅的扩散剖面允许更为密集的表面拓补。确实，全门使用标准肖特基T²L版图的规则。选择此项工艺的第二个原因是可用来立即进行工厂生产。把一个新工艺用到生产中的问题是很多的。

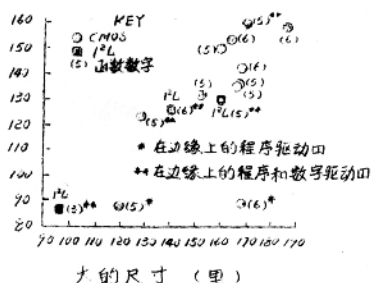


图7 T²L和CMOS表片尺寸的比较

IX 结 论

已经证实对于驱动发光二极管显示的表电路 1°L 可以相当于或者超过 CMOS 的性能, 1°L 能够达到同样低的电耗, 较小的管芯尺寸, 并可在一个现存的高产易双极线上加工结果是芯片成本费很有竞争力。图 7 示出了这个芯片和两个其它 1°L 表芯片与带有或不带有发光二极管驱动性能的各种 CMOS 芯片的尺寸比较。

参考文献 (从略)

去除光刻胶的氧化等离子体方法

摘 要

氧化等离子体方法采用较低的压力、无电极式产生，较低温度的氧气等离子体和光刻胶进行反应，使光刻胶变成挥发的成分。方法随着光刻胶牌号、加工过程、衬底不同的变化以及等离子体对不同型号工件的影响都将被讨论。本文还描述了这一方法最佳使用的流程图。

正 文

作者在1967年末和1968年初首次描述了半导体衬底上去除光刻胶的氧化等离子体技术。从那时以来，这一技术被广泛地采用，但是每一个新的使用者都提出了关于这一技术的两个相同的问题，即：

1、为了从固体工件去除光刻胶，怎样才能把这一技术变成一种可行的方法？

2、这一技术对于固体工件的电特性有什么影响？

每一个使用者在能够用这一技术代替化学去胶方法之前必须回答这些问题。

技术不同于方法、方法和外界环境有关，而技术可以有关，也可以无关。固体工件的制造过程是由互相适应的一定顺序的工艺方法所构成，例如掩模、腐蚀、扩散等。更仔细地看其中任一工艺方法，例如掩模工艺，我们可以看到这一工艺是由使用光刻胶、曝光、显形、烘干、腐蚀、清洗和去胶等步骤所组成。如果烘干技术不适当，光刻胶就可能浮起，在这种情况下这一技术是不能接受的，因为烘干和随后的各步骤有关。去胶步骤是独立的，

因为它已是这一过程的最后一步，但是也必须考虑随后的扩散工序所要求的限制。本文要讨论这一方法，并讨论工件的限制，这些限制在氧化等离子体成为一种可行的方法之前必须给予满足的。这里所介绍的是去胶的一种最佳方法，这一方法肯定是氧化等离子体技术的程度和作用范围。我们将看到，氧化等离子体方法最佳运用不是简单地代替酸浴去胶，而且改变了现存的工艺流程。

光刻胶是一些普通的品种，这里所描述的是几种有机薄膜的不同形式，经过紫外线曝光后成为聚合物。早期的文章(3)讨论了许多商业上实用的光刻胶的性质，这些光刻胶用于固体工件制造中。在制造集成电路时，这些光刻胶的施加、使用和去除可能多达六次或八次。对于一个典型的采用外延层的双极工件来讲，通常要采下述的掩膜步骤：埋层掩膜，隔离掩膜、基板掩膜、发射极掩膜，引线掩膜和金属掩膜。在双层水平金属化的情况下，其它引线和金属掩膜是必须的。

光刻胶用刻蚀结束以后，必须去除，以给随后的工艺操作留下一个洁净的，无污染的表面。残留在暴露的硅片或钝化的氧化物上的污染会产生无数的问题。例如，(1)氧化物结晶能产生钝化性质击穿的结果并导致多余扩散；(2)污染能够引起在不扩散的硅片上沉淀，这将对掺杂原子起一种吸收的作用，并将导致表面电阻率的无法控制；(3)氧化物中的感应电荷能够引起电性能的不稳定，如结漏电，电场倒置，无法控制的漂移以及MOS器件阈电压的改变。氧化等离子体技术用于掩膜以后去除光刻胶这一步骤，这一技术与使用溶剂的各种化学去胶法展开了竞争。最普通的一种溶剂是铬——硫酸混合物。所有的溶剂都必须适当的保存和使用，并且在使用一定次数以后必须扔掉。此外，这些溶剂还有许多其它的缺点，如不清洁、需要保存、对所有人都有危险，最后还表现为连续的花费。

除了这些一般的缺点，某些去膜溶剂和衬底结合是不允许的。
铬—硫酸混合物不能用于去除铝—金属上的光刻胶，因为这种溶剂将和铝发生反应。已知铬硫酸混合物包含有相当浓度的碱离子（如钠离子），这些碱离子对MOS器件的电特性是有害的。然而，溶剂去膜法是晶片制造方法中的一个组成部分，从工艺的开始到结束，生产设备布置好，操作者要记住它们的使用。为了用于腐蚀氧化物，每一个小舟和小缸在设计上是相似的。最后，要求操作者和检查者都必须熟悉化学去膜方法。

氧化等离子技术是利用电产生辉光放电。典型的系统是由射频高压电流，阻抗匹配网络，反应室、真空泵和测氧气体流量、真空度、功率的相应测试设备所组成。在反应室里产生的等离子体（辉光放电）是由激发态和稳态的原子、分子所组成的复杂的混合体。这里也集中了自由电子和大量的离子。这种放电一般地称做“冷等离子体”，因为电子的温度要比这种气体的温度高得多，结果整个系统的温度是很低的。氧原子是存在于这种冷等离子体中的主要激发的一种，有机物质的氧化反应在较低的温度，大约 $50 \sim 100^\circ\text{C}$ 下进行的十分迅速。通过比较，通常气氛的马福炉，在温度升到 800°C 以前，不能很好地进行氧化反应。对于半导体工业，氧化等离子技术还有二个重要的好处，即：

1. 光刻胶的快速去除与光刻胶原来的工艺处理情况无关（例如，烘干的温度和时间）。

2. 反应发生在低真空和仅使用氧气的情况下，所以从这一系统排除污染比暴露于空气当中的热溶剂系统简便。

当涂有光刻胶的基片放到氧化等离子体中时，光刻胶被氧化产生 CO 、 CO_2 和 H_2O ，并被真空泵系统抽走，象 *Bersin* 所指出的，光刻胶去除的速度取决于系统的几个参量，如功率压力以及气流的特点。

表1 去除光刻胶的化学方法和氧化等离子体方法比较

化学去胶法	氧化等离子体法
氧化腐蚀操作包括腐蚀、清洗、干燥。	
晶片置于去胶舟	检查和保存
去胶	置于扩散舟
清洗	等离子体装置中去胶
干燥	置于炉中
检查和保存	
置于腐蚀舟	
予扩散腐蚀	
清洗	
干燥	
置于扩散舟	
置于炉中	

表一表示了使用氧化等离子体技术的每一步过程并与通常采用的溶剂去胶法的工艺流程做了比较。在化学去胶法里总共必须十一次手续才能完成去胶，相反，当使用氧化等离子体技术时仅用四次。实际上化学去胶法的工艺流程大概比表中所列的还要复杂一些，因为清洗过程要能包括几次清洗和喷射。读者将注意到，氧化等离子体的最佳方法要求晶片及笛在上面的光刻胶保存到扩散炉准备好之前。这就要求清洗过程完全去除氧化腐蚀的最后痕迹，并且晶片必须小心地保存在防尘的庶光罩里。如果空气中的某种特殊物质是聚集的，从光刻胶的表面吸走又比氧化物的表面容易得多，作者曾保存了几个月没有去胶的电子，在随后的工序中没有观察到有害的影响。

上面所介绍的氧化等离子体方法与化学去胶法明显不同，在

这里完全省去了通常的高频予扩散。这种予扩散被用于去除氧化物或硅片表面的污染。这种污染可能 几个来源,例如,残留的光刻胶,随机污染如灰尘,接触窗口的氧化物以及残留的去胶溶剂。光刻胶残留物和随机污染可以通过适当的处理和有经验的保存来控制。一旦暴露在空气中,接触窗口的氧化物就会立刻产生,但是这种氧化物的厚度仅 $\approx$ 大约 $30\text{\AA}$ 。然而,去胶溶剂可以剩下残留物,特别是经氧化物,如铬——硫酸混合物。已知这些经济能够氧化裸露的硅片表面并且在接触窗口留下铬——硅氧化物的混合物的薄膜,这种薄膜的厚度取决于溶剂的温度、度和反应的时间。总之,这种薄膜的厚度和成分都是无法预言的,为了应用所介绍的氧化物等离子技术,不能有光刻胶的残留物,并且在接触窗口上没有形成明显的氧化物。这两点下面还要详细讨论。

以前的文章⁴已经指出,残留物的种类和分布取决于光刻胶的使用。最常用的柯达的产品代表了残留物含量极端情况。这种残留物是光刻胶的一种无机成分。*KMER* (柯达金属抗蚀剂),甚至在较高地纯度下,也有着不能接受的高度残留含量(图1),而经过过滤的*KTFR* (柯达薄膜抗蚀剂)几乎没有残留物(图2)。

通过电子衍射和微探针分析,可以鉴别*KMER*的残留物是铬氧化物。*Shipley*的所有产品(*AL 111, 340, 1350*)都有特殊的残留物。这些残留物的成分和结构至今尚不能鉴别。*Waycoat* (*Hunt* 化学)的光刻胶表现得十分清洁。图3是一个使用这种光刻胶而又未经稀释,未经过滤的样品发现残留物的典型例子,但在使用前经过过滤消除了随机微粒。显然,如有残留的光刻胶,例如使用*KMER*时,所提出的氧化等离子体方法就不能在没有予扩散的情况下使用。然而,这种残留物可以通过稀释的氢氟酸长时间浸泡而去除(图4)。