

脉冲数字电路

下 册

丁康源 主编

南京工学院

脉冲数字电路

下 册

丁康源 主编

南 京 工 学 院

自 动 控 制 系

电路与电子技术教研组

目 录

第六章 基本数字部件	1
6—1 寄存器.....	1
6—2 移位寄存器.....	2
6—3 二进制计数器.....	5
6—4 十进制计数器.....	13
6—5 任意进制计数器.....	17
6—6 移位寄存器型计数器.....	27
6—7 数字显示器.....	30
6—8 译码器.....	35
6—9 节拍脉冲发生器.....	45
6—10 编码器.....	49
6—11 多路选择器和多路分配器.....	50
6—12 半加器和全加器.....	52
6—13 组合逻辑和时序逻辑的概念.....	57
习题和思考题.....	59
第七章 MOS集成电路	63
7—1 MOS管.....	63
7—2 静态PMOS电路.....	79
7—3 动态PMOS电路.....	97
7—4 CMOS电路.....	105
* 7—5 随机存取存储器(RAM).....	114
* 7—6 只读存储器(ROM).....	121
习题和思考题.....	127
第八章 脉冲的产生与整形	131
* 8—1 分立元件的脉冲产生整形电路.....	131
一、概述.....	131
二、集基耦合单稳态触发器.....	133
三、集基耦合多谐振荡器.....	142
四、施密特电路.....	147

8—2	用集成门电路构成的脉冲产生整形电路	154
一、	TTL 与非门的输入特性和输出特性	154
二、	微分型单稳态触发器	160
三、	具有 RC 电路的环形多谐振荡器	167
四、	电容正反馈的多谐振荡器	172
五、	晶体振荡器	176
六、	施密特电路	177
	习题和思考题	180
* 第九章	数模 (D/A) 和模数 (A/D) 转换	185
9—1	概 述	185
9—2	D/A 转换器	185
一、	权电阻 D/A 转换器	186
二、	$R-2R$ 梯形 D/A 转换器	187
三、	解码网络中的电子开关	190
9—3	A/D 转换器	191
一、	并行 A/D 转换器	191
二、	双积分 A/D 转换器	194
	习题和思考题	197
* 第十章	信号的传输	198
10—1	信号沿传输线运动的基本规律	198
10—2	反射及其抑制	211
10—3	串 扰	220
10—4	结 论	222
	习题和思考题	223
	下册参考文献	225
	后 记	226

第六章 基本数字部件

本章讨论一些数字部件。首先讨论寄存器、移位寄存器、计数器，其中以各种计数器的分析和设计方法为重点。接着讨论显示器件、译码器、节拍脉冲发生器、编码器、多路选择器、多路分配器、半加器和全加器。最后引出组合逻辑和时序逻辑的概念。

§ 6-1 寄 存 器

在数字装置或数字系统中，经常要用到能够存放数码的部件，这种部件称为寄存器。例如，数据信号由输入设备送来，先经过输入寄存器暂时把它们贮存起来，然后根据需要取出去进行处理或进行运算。

现在我们通过几个实例，来说明寄存器的结构和工作原理。

我们知道，触发器是一种具有记忆功能的单元电路，它能存贮一位二进制数，如果要存放多位二进制数，可以用多个触发器组合起来。但是，要构成数码寄存器，仅有触发器还不够，还必须具有具有控制作用的门电路相配合，以保证只有当收到寄存指令时，才把输入的数码信号存入。

图 6-1-1 是一个四位寄存器的逻辑图，它是由四个基本触发器和四个与非门组成的。其工作过程如下：

在接收数码信号之前，先加入一置 0 脉冲，使四个触发器都处于 0 态，等到寄存指令（正脉冲）来时，哪一位的输入为高电平（1），所对应的那个与非门的输出就产生一个负脉冲，使相应的触发器置 1。例如，有一个二进制数码 1101 ($I_3=1, I_2=1, I_1=0, I_0=1$)，当寄存指令到来时，与非门 G_0, G_2, G_3 就有负脉冲输出，根据基本触发器的真值表可知，

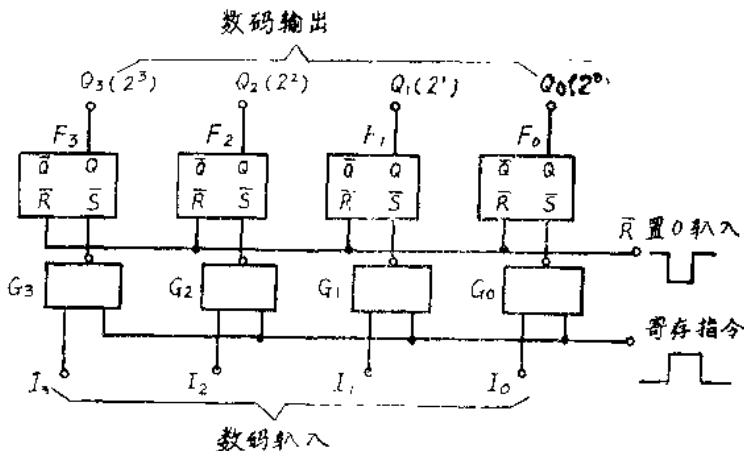


图 6-1-1 单端输入的寄存器

触发器 F_0 、 F_2 、 F_3 被置 1, F_1 保持原来的 0 态, 这样, 寄存器就把输入数码寄存起来了。

上述寄存器在存入数码时, 各位是同时进入寄存器的, 各位输出也是同时取出的, 因而是并行输入、并行输出寄存器。同时, 由于数码是由单端进入触发器的, 故又称为单端输入寄存器。

由所述的存数过程可知, 这种寄存器在输入数码之前, 必须预先将各触发器置 0, 否则便会引起差错。例如, 假设原来的数码为 1010, 现在要换存数码 1101, 如果事先未置 0, 则当寄存指令到来后, 寄存器中新存的数码将是 1111, 而不是 1101, 即 F_1 的状态出错。这是因为 F_1 原来处于 1 态, 本应更换为数码 0, 但触发器 F_1 却保持原来的 1 态不变。所以对于图 6-1-1 所示的寄存器来说, 预先置 0 是必要的。

如果采用双端输入的基本触发器来构成寄存器, 如图 6-1-2 所示, 则不论输入的数码 I 是 0 还是 1, 寄存指令到来后, 触发器 F 的状态就将反映输入数码 I 的状态, 例如, $I=1$ ($\bar{I}=0$), 当寄存指令一到, G_1 输出一负脉冲, 使 F 置 1; 反之, 若 $I=0$ ($\bar{I}=1$), 则 F 将置 0。由此可知, 采用双端输入的寄存器, 在存数过程中, 可以省去置 0 的程序, 在数字系统中有利于提高寄存速度。

除此之外, 还可采用维持阻塞 D 型触发器或主从 JK 触发器来组成寄存器, 其控制电路将变得更简单, 读者可自行拟定逻辑图进行分析。

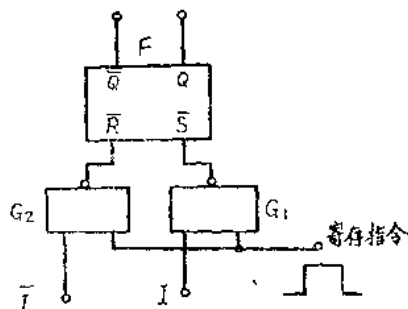


图 6-1-2 双端输入寄存器的一位

§ 6-2 移位寄存器

上面讨论的寄存器只具有寄存功能, 而没有移位的功能。所谓移位, 就是在移位命令作用下, 寄存器中各位的内容挨次向左 (或右) 移动一位。这种移位 (左移或右移) 操作, 是数字系统中经常需要的。能执行移位操作的寄存器称为移位寄存器。

下面先讨论单向移位寄存器, 再讨论双向移位寄存器。

一、单向移位寄存器

在二进制乘法运算过程中, 被乘数是作向左移位, 即左移。在二进制除法运算中, 则会遇到向右移位, 即右移。只能左移或只能右移的移位寄存器, 都称为单向移位寄存器。

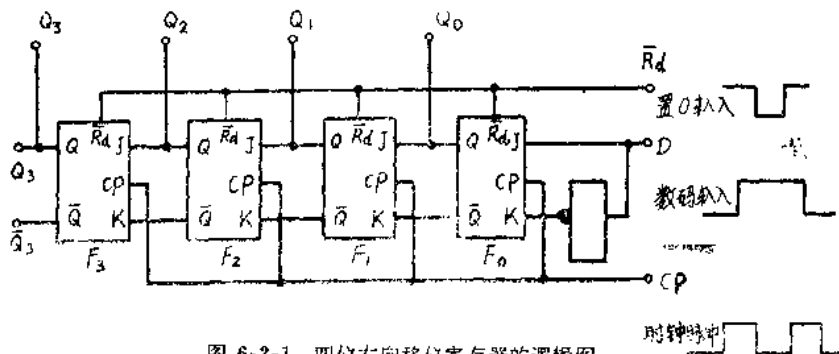


图 6-2-1 四位左向移位寄存器的逻辑图

图 6-2-1 是一个用主从 JK 触发器组成的四位左向移位寄存器的逻辑图。图中 F_0 已接成 D 型触发器，数码从 D 端（数据输入端）输入。根据 JK 触发器的真值表可知，每经过一个时钟脉冲 CP 后，触发器的状态与 CP 作用前的 J 端状态相同。现将数码 $D_3D_2D_1D_0$ 通过四次左移存入移位寄存器的过程说明如下。先将数码 D_3 送到 D 端，经过第一个时钟脉冲后，使 $Q_0 = D_3$ 。若跟随数码 D_3 后面的数码是 D_2 ，则经过第二个时钟脉冲后，触发器 F_0 的状态移入触发器 F_1 ，而 F_0 变为新的状态，即 $Q_1 = D_3$ 及 $Q_0 = D_2$ 。依此类推，可得四位左向移位寄存器的状态如表 6-2-1 所示。由表可以看出，输入数据依次地由一个触发器移到左邻的触

四位左向移位寄存器的状态表 表 6-2-1

Q_3	Q_2	Q_1	Q_0	CP
—	—	—	D_3	1
—	—	D_3	D_2	2
—	D_3	D_2	D_1	3
D_3	D_2	D_1	D_0	4

发器，作左向移动。经过四个时钟脉冲后，四个触发器的输出状态 $Q_3Q_2Q_1Q_0$ 与输入数码 $D_3D_2D_1D_0$ 相对应。为了清楚起见，在图 6-2-2 中绘出了数码 1101（相当于 $D_3=1, D_2=1, D_1=0, D_0=1$ ）从图 6-2-1 的 D 端输入，在寄存器中移位的情形。经过四个时钟脉冲后，1101（ $Q_3Q_2Q_1Q_0$ ）出现在触发器的输出端。这样，就可以将串行输入（从 D 端输入）的数码转换为并行输出（从 $Q_3、Q_2、Q_1、Q_0$ 输出）的数码。这种转换方式特别适用于将遥测串行输入信号转换为并行输出信号，以便于打印或计算机处理。如有需要，可用更多的触发器组成更多位的移位寄存器。

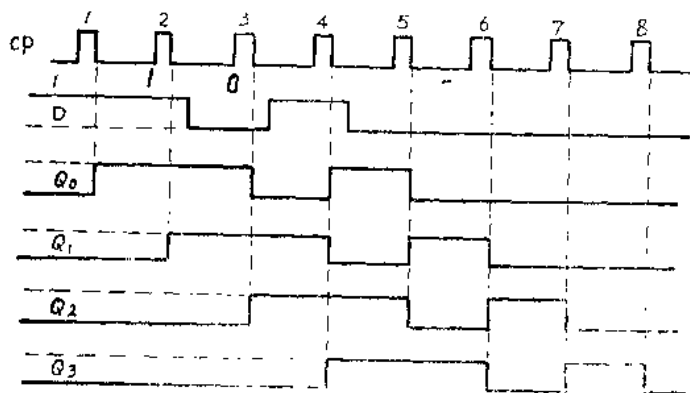


图 6-2-2 用主从 JK 触发器组成的左向移位寄存器的工作波形

这里需要着重指出的是：移位寄存器不能用同步式触发器构成，这是因为在使用同步式触发器的情况下，一个时钟脉冲可能使数据左移几位，而不是一位——这就是空翻！而采用主从触发器、维持阻塞触发器和边沿触发器则不存在这个问题。

图 6-2-1 是串行输入的移位寄存器，在某些场合也采用并行输入的移位寄存器，其逻辑图如图 6-2-3 所示。置数的方法是利用主从 JK 触发器的直接置位（ $\bar{S}_d$ ）复位（ R_d ）端，与图

6-1-2 所示的双端输入的寄存器相似。这种移位寄存器具有置数和移位两种功能。当输入控制端 $X=1$ 时, 进行置数; 当 $X=0$ 时, 置入寄存器中的数可进行移位 (这时应使 $D=0$, 以保证移空归零)。置数的原理可以这样来解释: 当 $X=1$ 时, 以 F_0 位为例来说, 有 $\bar{R}_{d0}=I_0$ (输入数码) 及 $\bar{S}_{d0}=\bar{I}_0$, 根据触发器的逻辑功能, F_0 的状态与 I_0 相同, 即 $Q_0=I_0$ 。依此类推, 可得 $Q_1=I_1, Q_2=I_2, Q_3=I_3$ 。若令 $X=0$, 则在时钟脉冲 CP 作用下, 存入的数码即进行左向移位。图中的 D 端也允许数码作串行输入。这个电路可用来在二进制数的加、减运算中进行对位, 或用在二进制乘法运算中, 对被乘数进行移位。

图 6-2-3 电路的另一用途是将并行输入的数码, 转换为串行输出的数码。某些数控装置的输入寄存器, 往往采用这样的结构形式。

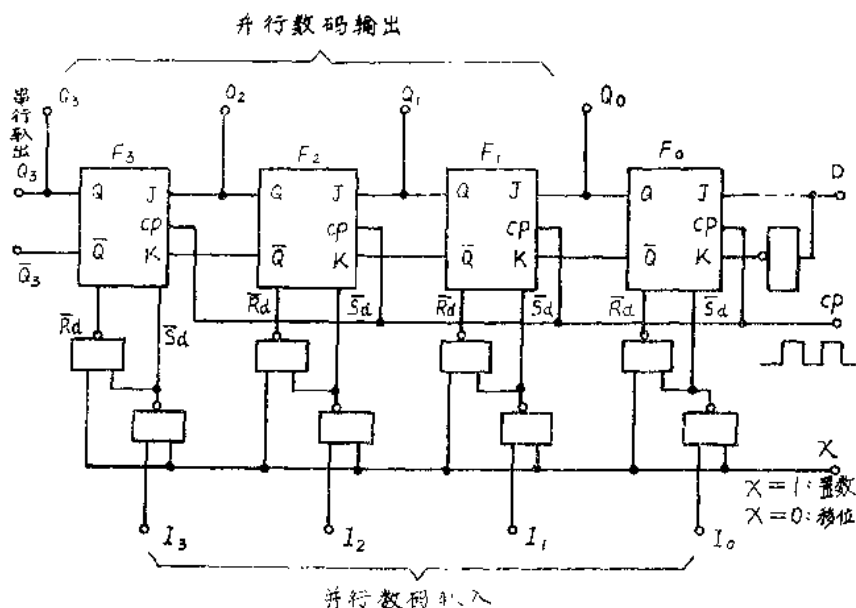


图 6-2-3 并行输入移位寄存器的逻辑图

二、双向移位寄存器

上面我们所讨论的是左向移位寄存器 (图 6-2-1 及图 6-2-3)。若将各触发器连接的顺序调换一下, 让输入信号从左端 (即从最高位触发器) 输入, 则可构成右向移位寄存器。若再增添一些控制门, 则可构成双向移位寄存器。图 6-2-4 是双向移位寄存器的一种方案, 它是利用维持阻塞 D 型触发器组成的, 每个触发器的 D 端可用“与或”门作为转换开关, 或者连接到低位触发器 (右边的触发器) 的 Q 端——左移, 或者连接到高位触发器 (左边的触发器) 的 Q 端——右移。移位方向取决于控制端 X 电平的高低。由于实际上只有标准的“与或非”门, 它具有倒相的关系, 因此左右两侧与门的输入端不是连到 Q 端, 而是连到 $\bar{Q}$ 端。由于这个缘故, 左移数码输入端 D_L 及右移数码输入端 D_R 都经过反相器后才接到转换控制门, 以第一级 F_0 为例, 其数码输入端 D 的逻辑函数式为

$$D_0 = X\bar{D}_L + \bar{X}\bar{Q}_1$$

由上式可知, 当 $X=1$ 时, $D_0 = D_L$, 相当于 F_0 的 D 端与左移数码输入端 D_L 连通, 在时钟脉冲 CP 作用下, 输入数码 D_L 作左向移位; 反之, 当 $X=0$ 时, $D_0 = Q_1$, 相当于 D_0 与 Q_1 端连通, 在时钟脉冲 CP 作用下, Q_1 状态将作右向移位, 使 $Q_{0(a+1)} = Q_{1(a)}$ 。同理, 可以分析其它任意两位之间的移位情况。

综上所述可知, 当 $X=1$ 时, 信号作左向移位; 而当 $X=0$ 时, 信号作右向移位。如用更多的触发器, 则可构成任意位的双向移位寄存器。有时也可将图 6-2-3 所示的直接置数电路与图 6-2-4 相结合, 以获得更为全面的功能: 串并行输入输出以及双向移位。

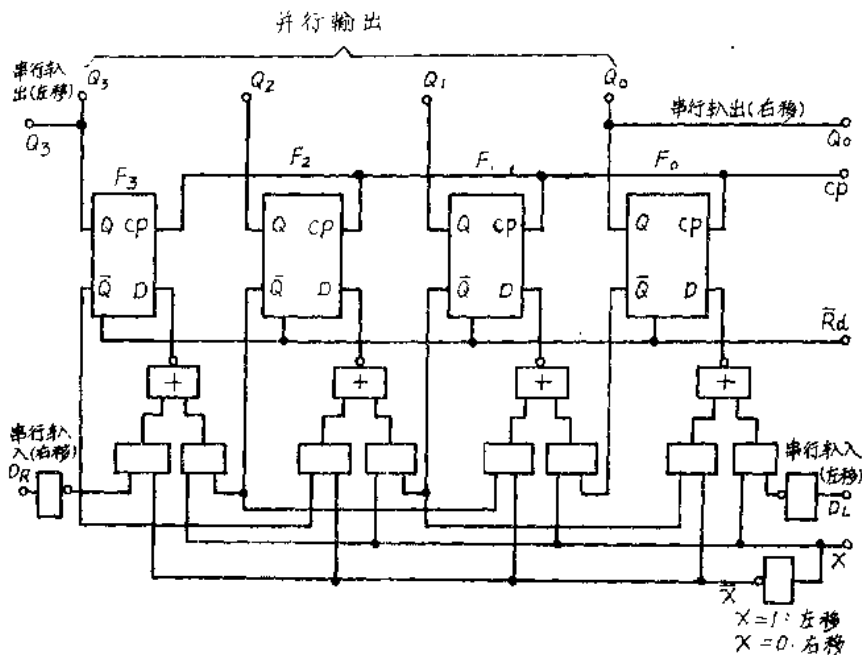


图 6-2-4 双向移位寄存器的逻辑图

§ 6-3 二进制计数器

“计数”，就是统计脉冲的个数。计数器，就是实现计数的部件。几乎在每一种数字设备中都可以看到用触发器构成的计数器。它们不仅可以用来计数，而且也可以用来作为数字系统的操作定时、分频和执行数字运算。

根据计数体制的不同，计数器可分成二进制计数器和非二进制计数器（十进制、任意进制和其他）两类。

根据计数的增减趋势，计数器可分成加法计数器、减法计数器和可逆计数器（加减计数器）三类。随着计数脉冲的输入，进行递增计数的是加法计数器，递减计数的是减法计数器，可递增也可递减计数的是可逆计数器。

根据计数脉冲引入方式的不同，计数器可分成同步计数器和异步计数器。计数脉冲引入其中所有触发器的时钟脉冲输入端的计数器是同步计数器，计数脉冲并不引入其中所有触发器的时钟脉冲输入端的计数器是异步计数器。

本节讨论二进制计数器。

一、异步二进制计数器

(一) 异步二进制加法计数器

前已述及，二进制的加法法则是：0+1得1，1+1得0并向高位进1（即逢二进一）。因此，二进制加法计数器必须满足上述法则。

我们如果将第五章所讨论的各种集成触发器作适当的连接，便可构成计数型触发器，如图6-3-1所示。图6-3-1a表示T型触发器用作计数型触发器，图6-3-1b表示JK触发器用作计数型触发器，图6-3-1c表示D型触发器用作计数型触发器。这些触发器每接受一个触发脉冲就翻转一次。

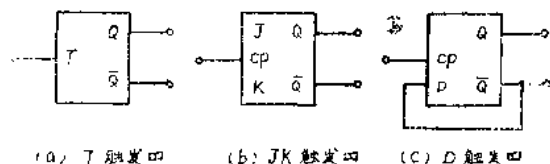


图 6-3-1 各种触发器连成计数型触发器

(注：当JK触发器的JK端按照逻辑要求为1时，应接高电平，下同。)

现以主从JK触发器为例说明实现二进制加法计数的原理：

- (1) 每输入一个计数脉冲，最低位触发器就翻转一次；
- (2) 当触发器由1态变为0态时，Q端产生一个负阶跃电压正好作为进位信号；
- (3) 最低位以外的其他位触发器，每当接受进位信号时就翻转一次。

若将进位信号同高位触发器的计数输入端连接，就能完成多位二进制的加法计数了。

图6-3-2表示一用主从JK触发器组成的四位二进制加法计数器的逻辑图。图中表明：

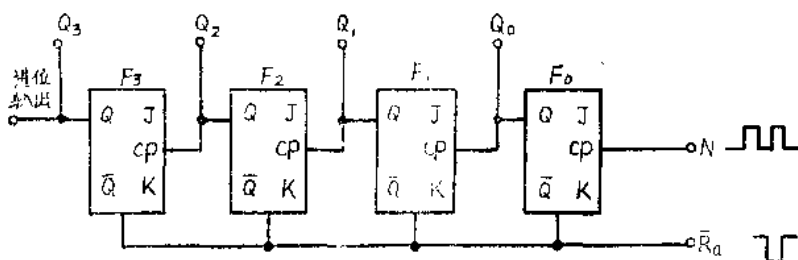


图 6-3-2 异步二进制加法计数器的逻辑图
(由主从JK触发器构成)

前一触发器的Q端接至下一触发器的CP端（时钟输入端），因此当前一触发器由1态变为0态时，Q端就输出一负阶跃电压，使下一触发器翻转。在计数之前，在各触发器的置0端 $\bar{R}_d$ 加一置0负脉冲，使所有触发器 $F_0 \sim F_3$ 全部处于0态，即 $Q_0 = Q_1 = Q_2 = Q_3 = 0$ 。当计数脉冲输入后，各触发器状态的转换及计数情况示于表6-3-1中。由表可知，当第一个脉冲输入后， F_0 翻转，由0态变为1态，即 Q_0 由0变为1；当第二个脉冲输入后， F_0 由1态变为0态，即 Q_0 由1变为0，并产生一进位信号使 F_1 翻转，导致 Q_1 由0变为1，其余依此类推，当第十六个脉冲到来后，四个触发器又复位到0态。从表中还可以看出，计数器所计的输入脉冲数可以用下式来表示：

$$N = Q_3 \cdot 2^3 + Q_2 \cdot 2^2 + Q_1 \cdot 2^1 + Q_0 \cdot 2^0 \quad (6-3-1)$$

图6-3-3表示计数器各级触发器的工作波形，它与表6-3-1所示各触发器的状态是一一对应的。

二进制加法计数器状态表 表 6-3-1

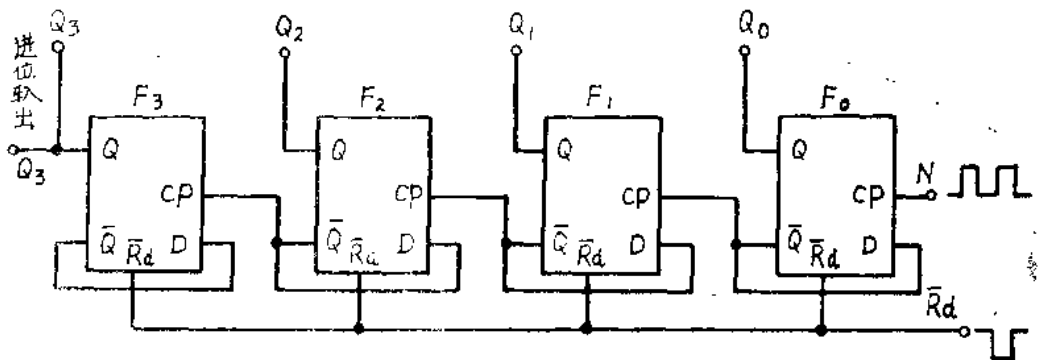
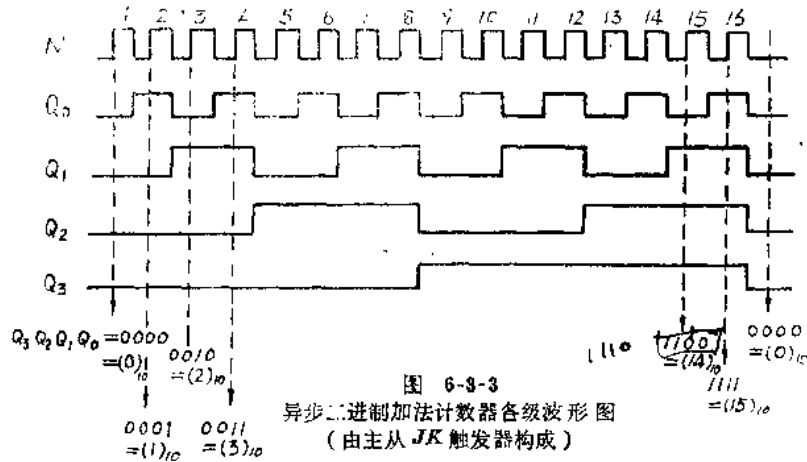
脉冲输入 序 号	Q_3 2^3	Q_2 2^2	Q_1 2^1	Q_0 2^0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

如果采用维持阻塞D型触发器来组成二进制加法计数器,其逻辑图如图 6-3-4 所示。其计数原理与图 6-3-2 所示的计数器相似,根据D型触发器的逻辑功能,读者可自行分析。应当指出,它的波形图与图 6-3-3 有所不同。这是由于:主从JK 触发器是主从触发方式,而维持阻塞D触发器是正跳变触发方式。

综上所述,对异步二进制加法计数器可归纳几点如下:

(1) 计数器是由几个计数型触发器组成的阵列,各触发器之间的连接方式视触发器的类型而定,如用主从JK 触发器组成,进位信号从Q端引出,如用维持阻塞D型触发器组成,进位信号则从 $\bar{Q}$ 端引出。

(2) n 个触发器具有 2^n 个状态,称为以 2^n 为模的计数器(或模 2^n 计数器),其计数容量为 $2^n - 1$,因此,如果我们要累计某一



确定的数，可以根据 2 的乘幂（见表 6-3-2）来得出需要多少个触发器。

2 的 乘 幂 数

表 6-3-2

n	2^n	n	2^n	n	2^n	n	2^n
0	1	6	64	11	2048	16	65536
1	2	7	128	12	4096	17	131072
2	4	8	256	13	8192	18	262144
3	8	9	512	14	16384	19	524288
4	16	10	1024	15	32768	20	1048576
5	32						

（3）图 6-3-2 及图 6-3-4 所示二进制计数器都属于异步计数器的类型，这是因为计数脉冲不是引到所有触发器的 CP 端。在这种情况下，假定四个触发器都处于 1 态，即 $Q_3=Q_2=Q_1=Q_0=1$ ，当再输入一个脉冲时，首先 F_0 翻转，使 Q_0 由 1 变 0，由此产生进位信号，又使 F_1 翻转，使 Q_1 由 1 变 0，其余依此类推， F_2 、 F_3 都将先后由 1 态变为 0 态，最后达到 $Q_3=Q_2=Q_1=Q_0=0$ 。由于进位信号象波浪一样推进，因此，上述异步二进制计数器也称为“纹波计数器”，这一名词形象地描述了它们的工作情况。由此可以看出异步计数器的一个重要特点：它的各位触发器并不是同时翻转的，而是低位先翻转，高位后翻转。

（二）异步二进制减法计数器

在生产科学实验中，不仅要用加法计数器，有时也要用减法计数器。

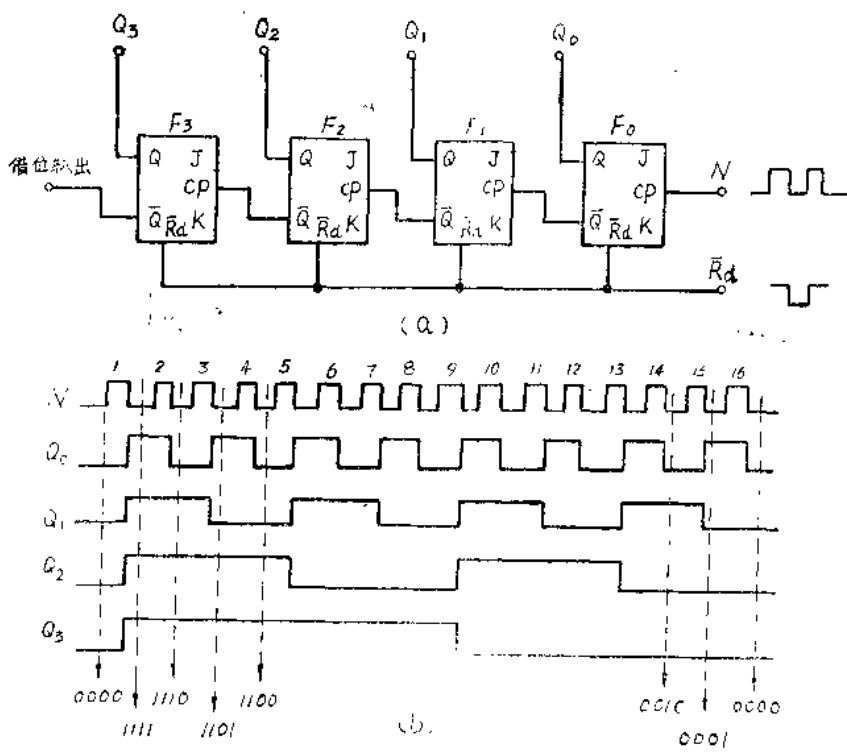


图 6-3-5 由主从 JK 触发器构成的异步二进制减法计数器

二进制减法的法则是：1-1得0，0-1得1并向高位借1。因此我们要求减法计数器满足下列条件：

- (1) 每接受一个计数脉冲，最低位的触发器翻转一次；
- (2) 触发器由0态变为1态时，要产生一个阶跃脉冲输出作为借位信号，送向高位。

图6-3-5a表示一用主从JK触发器组成的异步二进制减法计数器。显然这个计数器对于上述第一个条件是能满足的。此外，当触发器由0态变为1态时，它的 $\bar{Q}$ 端由1变0，得一负阶跃电压，刚好可以作为借位信号，因而第二个条件也是满足的。与图6-3-2所示的加法计数器相比，唯一的差别在于低位触发器是由 $\bar{Q}$ 端（而不是由Q端）引到高位CP端。

图6-3-5b是该二进制减法计数器的工作波形图，它形象地反映了减法计数的过程。

假设计数输入信号为零时，各触发器均处于0态，即 $Q_3Q_2Q_1Q_0=0000$ ，当第一个计数脉冲过后， F_0 最先翻转，由0态变为1态，由于它是由 $\bar{Q}$ 端输出，这个输出端产生一负阶跃电压（借位信号）使 F_1 翻转，依此类推， F_2 和 F_3 相继翻转，并且 $\bar{Q}_3$ 端产生一借位信号，这时计数器里所存的数为 $Q_3Q_2Q_1Q_0=1111$ （见图6-3-5b）。这个过程可以这样理解：原来计数器里没有数，减去一个数（一个脉冲）后，计数器里存满了数 $[(1111)_2=(15)_{10}]$ ，如前所述，这里发生了向高位（ $2^4=16$ 位）的借位，

设高位触发器 F_4 （图中未画出）的 $Q_4=1$ ，在 $\bar{Q}_3$ 端所输出的借位信号的作用下，使 Q_4 由1变0，即借得了16， $16-1=15$ 。

当计数脉冲继续输入时，计数器里所存的数依次减少，直至第十六个脉冲输入后，计数器里的数全部减空为止。计数器的位数，视需要而定。二进制减法计数器当计数脉冲输入后，各触发器状态的转换及计数情况示于表6-3-3。

异步二进制减法计数器也可用其它类型的触发器来组成，读者可自行分析和设计。但是应当着重指出，不论是异步二进制加法计数器，还是减法计数器，都不能用同步式触发器构成，而只能用无空翻的触发器——主从触发器、维持阻塞触发器或边沿触发器组成。

（三）异步二进制可逆计数器

在有些场合下，要求计数器既具有加法计数的功能，又具有减法计数的功能，这就是我们所要讨论的可逆计数器。图6-3-2、图6-3-5分别所示的加、减法计数器的唯一差别在于输出信号是从Q端或从 $\bar{Q}$ 端引出，因此，可以仿照双向移位寄存器（图6-2-6）的组成方案，利用“与或非”门作为转换开关，并通过加减控制端X将高位触发器的CP端连接到低位触发器的Q端（加法计数）或 $\bar{Q}$ 端（减法计数）。这样，便可得到异步二进制可逆计数器的逻辑图如图6-3-6所示。现以 F_0 与 F_1 之间的连接转换为例来说明可逆控制的原理。由图可

二进制减法计数器状态表 表 6-3-3

脉冲输入	Q_3	Q_2	Q_1	Q_0
序 号	2^3	2^2	2^1	2^0
0	0	0	0	0
1	1	1	1	1
2	1	1	1	0
3	1	1	0	1
4	1	1	0	0
5	1	0	1	1
6	1	0	1	0
7	1	0	0	1
8	1	0	0	0
9	0	1	1	1
10	0	1	1	0
11	0	1	0	1
12	0	1	0	0
13	0	0	1	1
14	0	0	1	0
15	0	0	0	1
16	0	0	0	0

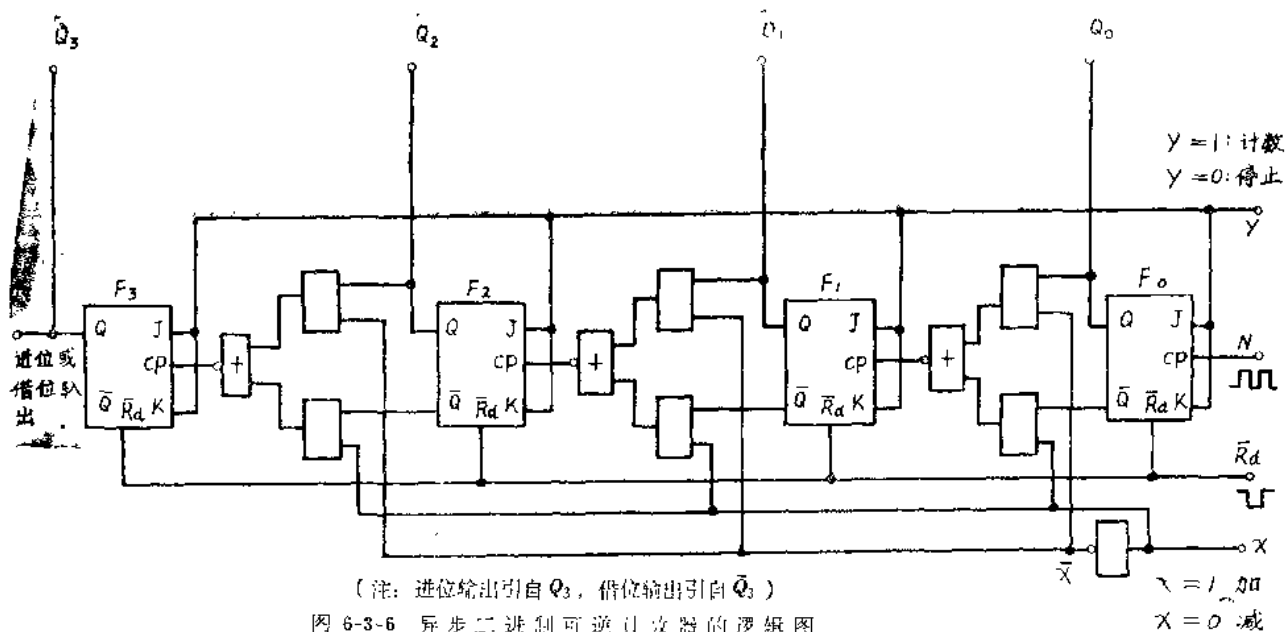


图 6-3-6 异步二进制可逆计数器的逻辑图

知, F_1 的 CP 端的逻辑函数式为

$$CP_1 = Q_0 \bar{X} + \bar{Q}_0 X$$

在上式中, 当加减控制端 $X=1$ 时, $CP_1 = Q_0$; 而当 $X=0$ 时, $CP_1 = \bar{Q}_0$ 。这就是说, 当 $X=1$ (或 0) 时, 等效于 CP_1 端与 Q_0 (或 $\bar{Q}_0$) 连通, 即可使计数器实现加法 (或减法) 计数。

应当注意的是, 当 X 端的状态发生变化时, 在“与或非”门的输出端可能产生误触发信号, 这与 Q 端的状态有关。例如, 当 $Q_0=1, \bar{Q}_0=0$ 时, X 由 1 变 0, 则 CP_1 端将由 1 变 0, 产生一负阶跃电压, 使 F_1 翻转。为了克服这个缺点, 图中用一计数控制端 Y 来控制 J, K 端的状态, 当 $Y=0$ 时, 各触发器始终保持原态, 这时可以改变 X 的状态, 然后使 Y 回到 1 态, 于是计数器可在新的方向上进行计数。顺便指出, 图 6-3-6 中的 JK 触发器以采用下降沿触发的边沿 JK 触发器为宜。

二、同步二进制计数器

异步计数器由于进位触发信号是逐级传送的, 使得它的计数速度受到了限制。例如在图 6-3-2 和图 6-3-4 所示的异步二进制加法计数器中, 当计数器的状态由 $Q_3Q_2Q_1Q_0=1111$ 变为 $Q_3Q_2Q_1Q_0=0000$ 时, 输入脉冲要经过四个触发器的传输延迟时间 $4t_F$, 才能达到新的稳定状态。若 $t_F=50ns$, 则完成状态转换所需要的总时间为 $4 \times 50 = 200ns$ 。在这种情况下, 如果两个输入脉冲之间的时间间隔小于 $200ns$, 那么, 在最后一个触发器变为 1 态 ($Q_3=0$) 之前, 第一个触发器又已开始由 0 态变为 1 态。这样, 就无法分辨计数器中所累计的数。

为了提高计数速度 (即提高最高输入脉冲频率), 我们利用输入脉冲同时去触发计数器中的所有触发器, 使各触发器的状态变换与输入脉冲同步, 按照这种方式组成的计数器称为同步计数器。同步计数器状态转换所需的时间, 等于任一触发器的延迟时间加上若干控制门的传输时间, 因此, 它的最高输入脉冲频率比异步计数器要高得多。下面讨论两种同步二进制计数器。

(一) 同步二进制加法计数器

同步计数器可以方便地用主从 JK 触发器组成, 由 JK 触发器的逻辑关系可知, 当 $J=K=0$ 时, 触发器的输出状态不变; 而当 $J=K=1$ 时, 每输入一个脉冲, 输入状态即改变一次。因此, 为了获得与图 6-3-3 (异步二进制加法计数器) 基本一致的工作波形, 四位同步二进制加法计数器可按表 6-3-4 所列的逻辑关系进行级间连接。

四位同步二进制加法计数器级间的逻辑关系 表 6-3-4

	当输入一个计数脉冲时触发器翻转的条件	J, K 端的逻辑函数式
F_0	每输入一个计数脉冲就翻转	$J_0=K_0=1$
F_1	$Q_0=1$	$J_1=K_1=Q_0$
F_2	$Q_0=Q_1=1$	$J_2=K_2=Q_0Q_1$
F_3	$Q_0=Q_1=Q_2=1$	$J_3=K_3=Q_0Q_1Q_2$

根据表 6-3-4 所列 J, K 逻辑函数, 可有两种电路方案, 图 6-3-7 是利用主从 JK 触发器和二输入端与门组成的同步二进制加法计数器。由图可知, 计数脉冲是同时加到各触发器的 CP 端 (时钟脉冲输入端) 的; 在计数过程中, 进位控制信号要串行地通过所有的控制门, 因而称为串行进位同步计数器。

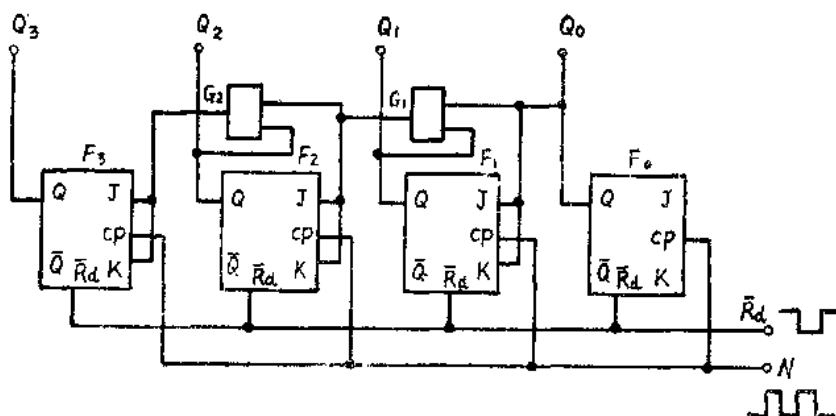


图 6-3-7 串行进位的同步二进制加法计数器的逻辑图

由图 6-3-7 可知, 为了使每对 JK 端达到稳定状态, 输入脉冲之间的最小时间间隔为

$$T_{\min} = t_F + (n-2)t_G \quad (6-3-1)$$

式中, n 是触发器的个数, t_F 是一个触发器的传输延迟时间, t_G 是一个与门 (实际上是用一个与非门和一个反相器串联) 的传输延迟时间。因此, 输入脉冲的最高频率为 $f = 1/T_{\min}$ 。

图 6-3-7 所示计数器的最高输入频率受到限制的原因在于采用了较多的串联的与门。如果按照表 6-3-4 所示的逻辑关系, 各触发器的 J, K 端用独立的多输入端的与门来控制, 那么各 J, K 端的控制信号将同时达到稳定状态, 这称为并行进位方式。图 6-3-8 是并行进位的同步二进制加法计数器的逻辑图, 图中利用多对 J, K 输入端以实现“与”逻辑的关系。若 J, K 触发器只有两对 J, K 端, 则当需要多于两对以上的 J, K 端时, 可利用附加的与门

制端 X 来改变计数方向,但不象异步二进制可逆计数器(见图 6-3-6)那样,需要一个计数-停止控制端 Y 。因为触发器的翻转是依靠同步计数脉冲来触发的。

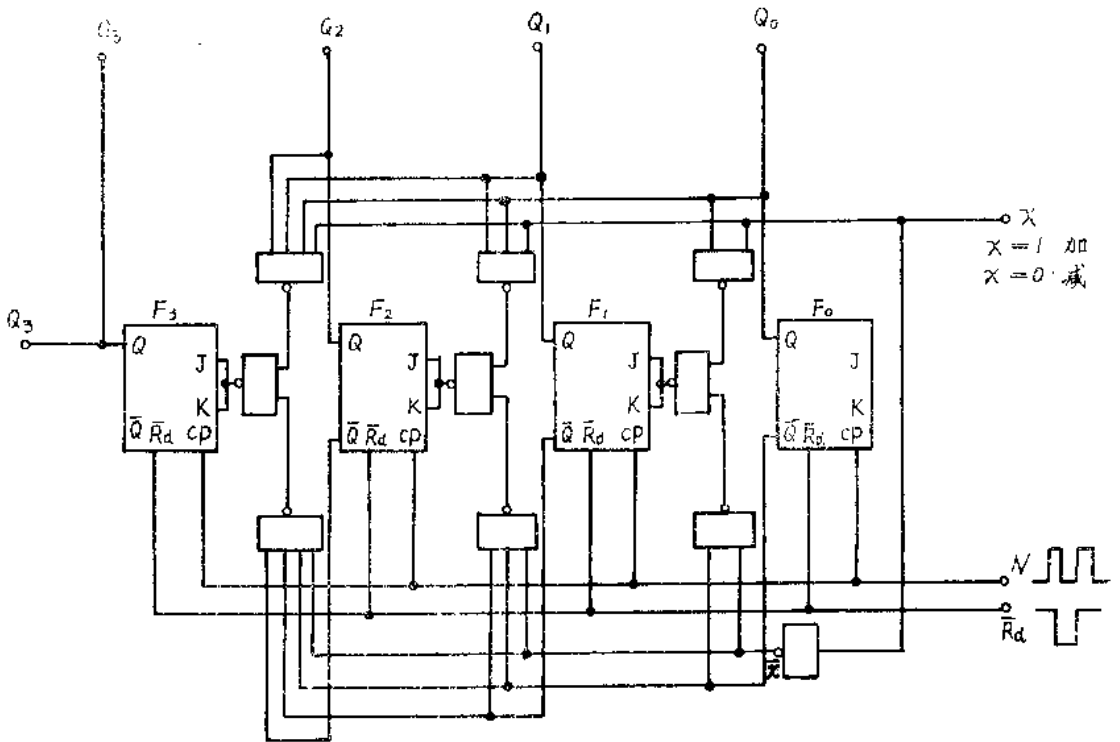


图 6-3-10 并行进位的同步二进制可逆计数器

§ 6-4 十 进 制 计 数 器

虽然二进制计数器有电路简单、运算方便等优点,但人们对二进制数不如十进制数那样熟悉,特别是当二进制数的位数较多时,要很快地读出数来就比较困难,因此在有些场合常使用十进制计数器。

下面我们首先介绍一下十进制的编码,然后讨论十进制计数器的具体电路。

一、十进制数的编码方式

十进制数可以用二进制数表示。人们把十进制数的各种表示方法称为十进制的编码方式。常用的编码方式有“8421”码,“2421”码,余 3 码等。

(一) “8421” 码

在十进制数的编码方式中最常见的是“8421”码,它也称为二——十进制码或 BCD 码。它是将十进制数每个数字符号用四位二进制数表示。每位都有固定的权。因此这种代码被称为有权码或加权码。按照从左到右的顺序,各位的权分别是 2^3 、 2^2 、 2^1 和 2^0 ,即 8、4、2 和