

EDA 实验指导书

焦作工学院电气系

2000 年 12 月

目录

第一章	数字电路与数字系统设计实验.....	1
实验一	七人表决器.....	1
实验二	格雷码变换电路.....	1
实验三	BCD 码加法器.....	3
实验四	四位全加器.....	5
实验五	英语字母显示电路.....	6
实验六	四位并行乘法器.....	7
实验七	设计基本触发器.....	9
实验八	设计 74LS160 计数器功能模块.....	10
实验九	步长可变的加减计数器.....	11
实验十	可控脉冲发生器.....	12
实验十一	正负脉宽数控调制信号发生器.....	13
实验十二	序列检测器.....	15
实验十三	四位移位乘法器.....	16
第二章	数字系统设计.....	17
设计一	出租车计费.....	17
设计二	多功能数字钟.....	21
设计三	数字秒表.....	23
设计四	频率计.....	24
设计五	交通灯控制器.....	26
设计六	数码锁.....	28
设计七	乒乓球游戏机.....	31
设计八	四人抢答器.....	32

第一章 数字电路与数字系统设计实验

实验一 七人表决器

一、实验目的

1. 初步了解 VHDL 语言。
2. 学会用行为描述方式来设计电路。

二、实验原理

用七个开关作为表决器的 7 个输入变量，输入变量为逻辑“1”时表示表决者“赞同”；输入变量为“0”时，表示表决者“不赞同”。输出逻辑“1”时，表示表决“通过”；输出逻辑“0”时，表示表决“不通过”。当表决器的七个输入变量中有 4 个以上（含 4 个）为“1”时，则表决器输出为“1”；否则为“0”。

七人表决器设计方案很多，比如用多个全加器采用组合电路实现。用 VHDL 语言设计七人表决器时，也有多种选择。常见的 VHDL 语言描述方式有行为描述、寄存器传输（RTL）描述、结构描述以及这几种描述在一起的混合描述。我们可以用结构描述的方式用多个全加器来实现电路，也可以用行为描述。

采用行为描述时，可用一变量来表示选举通过的总人数。当选举人大于或等于 4 时为通过，绿灯亮；反之不通过时，黄灯亮。描述时，只须检查每一个输入的状态（通过为“1”不通过为“0”）并将这些状态值相加，判断状态值后即可选择输出。

三、实验内容

1. 用 VHDL 语言设计上述电路。
2. 下载并验证结果。

四、设计提示

1. 初次接触 VHDL 语言应注意语言程序的基本结构，数据类型及运算操作符。
2. 了解变量和信号的区别。
3. 了解进程内部顺序执行语句及进程外部并行执行语句的区别。

五、实验报告要求

1. 写出七人表决器的 VHDL 语言设计源程序。
2. 书写实验报告时要结构合理，层次分明，在分析叙述时注意语言的流畅。

实验二 格雷码变换电路

一、实验目的

1. 用组合电路设计 4 位格雷码/二进制变换电路。
2. 了解进程内部 CASE 语句的使用及用 VHDL 语言设计门级电路的方法。

二、实验原理

用 VHDL 语言描述 4 位格雷码/二进制码变换电路有两种设计方法，即方程输入、状态选择方程。

1) 方程输入法

4 位格雷码/二进制码的转换表如下表所示。由此转换表（真值表）可以求得每个输出方程为：

$$B3=G3;$$

$$B2=!G3G2+G3!G2;$$

$$B1=!G3!G2G1+!G3G2!G1+G3!G2!G1;$$

$$B0=!G3!G2!G1G0+!G3!G2G1!G0+!G3G2G1G0+!G3G2!G1!G0$$

$$+G3G2!G1G0+G3G2G1!G0+G3!G2G1G0+G3!G2!G1!G0;$$

考虑实验时观察方便，每个输出均受一个 EN 信号控制；EN=0 时，4 个输出为 0；EN=1 时，4 个输出由上式决定。

4 位格雷码/二进制码转换表

G3	G2	G1	G0	B3	B2	B1	B0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	0	0	0
1	1	1	0	1	0	0	0
1	0	1	0	1	1	0	0

1	0	1	1	1	1	0	0
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1

2) 状态方程输入法

利用 case 语句、if 的多选择控制语句、条件信号代入语句或选择信号代入语句都可以实现，只要条件和结果状态相一致即可得到逻辑综合的结果。

三 实验内容

1. 用 VHDL 语言设计采用输入方程的方法设计 4 位格雷码/二进制码变换器，并下载验证之。
2. 用 VHDL 语言设计采用状态方程的方法设计 4 位格雷码/二进制码变换器，并下载验证之。

四 设计提示

1. CASE 语句只能在进程内部采用；
2. 比较一下两种描述方式的难易程度，体会 VHDL 语言行为级描述的优点；

五 实验报告要求

1. 写出两种设计方法的源文件；
2. 写出心得体会；

实验三 BCD 码加法器

一、实验目的

1. 熟练掌握用 VHDL 语言的行为描述及构造体描述设计组合电路。
2. 初步掌握真值表的设计。

二、实验原理

BCD 码是一种二进制代码表达的十进制数。BCD 码与四位二进制代码关系如下表所示，从表中可以看到从 0-9 时，BCD 码与四位二进制码相同。从 10-15 后，BCD 码等于四位二进制码加“0110”。这个关系构成了四位二进制码与 BCD 码的转换关系，同时也是用四位二进制加法器实现 BCD 码加法的算法基础。

设计 BCD 码加法器首先要将两个 BCD 码输入到二进制加法器相加，得到的和数是一个二进制数，然后通过下表将四位二进制码转换成 BCD 码。

BCD 码与四位二进制代码关系

十进制数	BCD 码	四位二进制码	16 进制数
0	00000	00000	0
1	00001	00001	1
2	00010	00010	2
3	00011	00011	3
4	00100	00100	4
5	00101	00101	5
6	00110	00110	6
7	00111	00111	7
8	01000	01000	8
9	01001	01001	9
10	10000	01010	A
11	10001	01011	B
12	10010	01100	C
13	10011	01101	D
14	10100	01110	E
15	10101	01111	F
16	10110	10000	10
17	10111	10001	11
18	11000	10010	12
19	11001	10011	13
20	00000	10100	14

三、实验内容

1. 用 VHDL 语言的行为描述方式设计 BCD 码加法器, 并用仿真文件验证设计正确性。
2. 选做题(提高部分)当两数相加大于 19 时, 输出将显示 00, 并且会闪动(用 64Hz 频率控制闪动), 另外扬声器会报警。

四、设计提示

1. 用 VHDL 语言的构造体描述方式设计时, 加“6”校正电路实现真值表的设计。
2. 用 VHDL 语言的行为描述方式设计时, 要用条件语言判断两个 BCD 码数相加后是否大于 9, 当大于 9 时, 采取加“6”校正。

五、实验报告要求

1. 叙述所设计的 BCD 码加法器电路工作原理。
2. 写出用 VHDL 语言的构造体描述方式设计 BCD 码加法器的各模块源文件。
3. 写出用 VHDL 语言的行为描述方式设计 BCD 码加法器的源文件。
4. 心得体会。

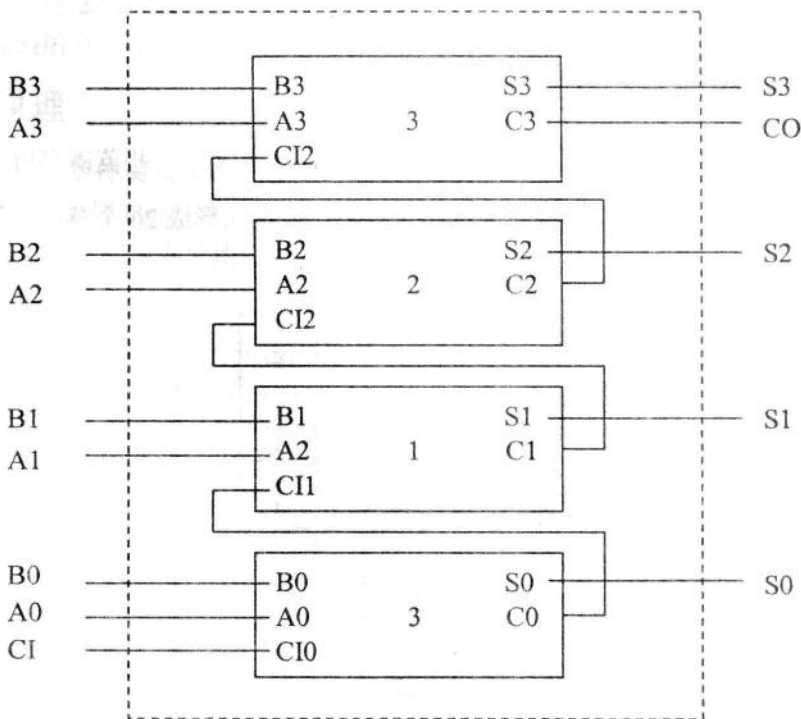
实验四 四位全加器

一、实验目的

1. 用组合电路设计 4 位全加器。
2. 了解 VHDL 语言的行为描述的优点。
3. 初步掌握系统内部 STD_LOGIC_UNSIGNED 包的调用。

二、实验原理

4 位全加器可看作 4 个 1 位全加器串行构成，具体连接方法如下图所示：



由 1 位全加器构成 4 位全加器连接示意图

采用 VHDL 语言设计时调用其附带的程序包，其系统内部会自行生成此结构。

三、实验内容

1. 用 VHDL 语言设计 4 位全加器。
2. 锁定引脚,并下载验证之。
3. 不调用包,用户自行按示意图进行设计, 体会调用系统包的便利性。

四、设计提示

1. 调用 STD_LOGIC_UNSIGNED 包, 可以使用户在更高层次上进行设计。

五、实验报告要求

1. 叙述所设计的 4 位全加器工作原理。
2. 写出 1 位全加器的 VHDL 语言源程序。
3. 写出心得体会。

实验五 英语字母显示电路

一、 实验目的

1. 实现十六进制计数显示。
2. 实现常见英语字母显示。

二、 实验原理

用数码管除了可以显示 0~9 的阿拉伯数字外, 还可以显示一些英语字母。

数码管由 7 段显示输出, 利用 7 个位的组合输出, 就可以形成 26 个英语字母的对应显示。表 1-1 显示常见的字母与 7 段显示关系。

字母 \ 段	A	b	c	d	e	f	g
A	1	1	1	0	1	1	1
B	0	0	1	1	1	1	1
C	1	0	0	1	1	1	0
D	1	1	1	1	1	0	1
E	1	0	0	1	1	1	1
F	1	0	0	1	1	1	1
H	0	1	1	0	1	1	1
P	1	1	0	0	1	1	1
L	0	0	0	1	1	1	0

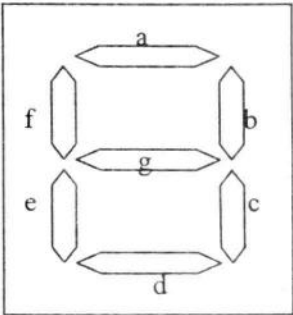


表 1-1 常见的字母与 7 段显示关系

三、 实验内容

1. 编写一个简单的 0~F 轮换显示的十六进制计数器电路。
2. 编写一个显示上述字母的轮换显示电路。
3. 通过仿真或观察波形验证设计电路的正确性。
4. 锁定引脚并下载验证结果。

四、设计提示

1. 字母轮换显示电路可以采用状态图的方式设计,对于每一个时钟脉冲,将改变一种态。

五、实验报告要求

1. 叙述电路工作原理;
2. 心得体会。

实验六 四位并行乘法器

一、实验目的

1. 用组合电路设计四位并行乘法器。
2. 了解并行法设计乘法器的原理。
3. 掌握调用自己设计的实体的方法。

二、实验原理

四位乘法器有多种实现方案,根据乘法器的运算原理,使部分乘积项对齐相加的方法(通常称并行法)是最典型的算法之一。这种算法可用组合电路实现。其特点是设计思路简单直观、电路运算速度快,缺点是使用器件较多。

1. 并行乘法的算法

下面将从乘法例题来分析这种算法,题中 $M_4M_3M_2M_1$ 是被乘数,也可以用 M 表示。 $N_4N_3N_2N_1$ 是乘数,也可以用 N 表示。

$$\begin{array}{r}
 \begin{array}{r} \times \\ + \end{array} \begin{array}{r} 1101 \\ 1011 \\ 1011 \\ 1011 \\ 1011 \end{array} \\
 \hline
 \begin{array}{r} 1101 \\ 0000 \\ 0101 \\ 1011 \\ 1101 \end{array} \\
 \hline
 \begin{array}{r} 10001111 \end{array}
 \end{array}$$

$1011 \text{ ---} M \times N_1$
 $0000 \text{ ----} M \times N_2$
 0101 ---- 部分乘积之和
 $1011 \text{ ----} M \times N_3$
 1101 ---- 部分乘积之和
 $1011 \text{ ----} M \times N_4$

从以上乘法实例中可以看到,乘数 N 中的每一位都要与被乘数 M 相乘,获得不同的积,如 $M \times N_1, M \times N_2, \dots$ 。位积之间以及位积与部分乘法之和相加时需按高低位对齐,并行相加,才能得到正确结果。

2. 并行乘法电路原理

并行乘法电路完全是根据以上算法而设计。其电路框图如图 1-1 所示。图中 XB0 XB1 XB2 XB3 是乘数 B 的第 12 位与被乘数 A 相乘的 $1 \times 4\text{bit}$ 乘法器。三个加法器是将 $1 \times 4\text{bit}$ 乘法器的积作为被加数 A,前一级加法器的和作为加数 B,相加后得到新的部分积,通过三级加法器的累加最终得到乘积 $P(P_7P_6P_5P_4P_3P_2P_1P_0)$ 。

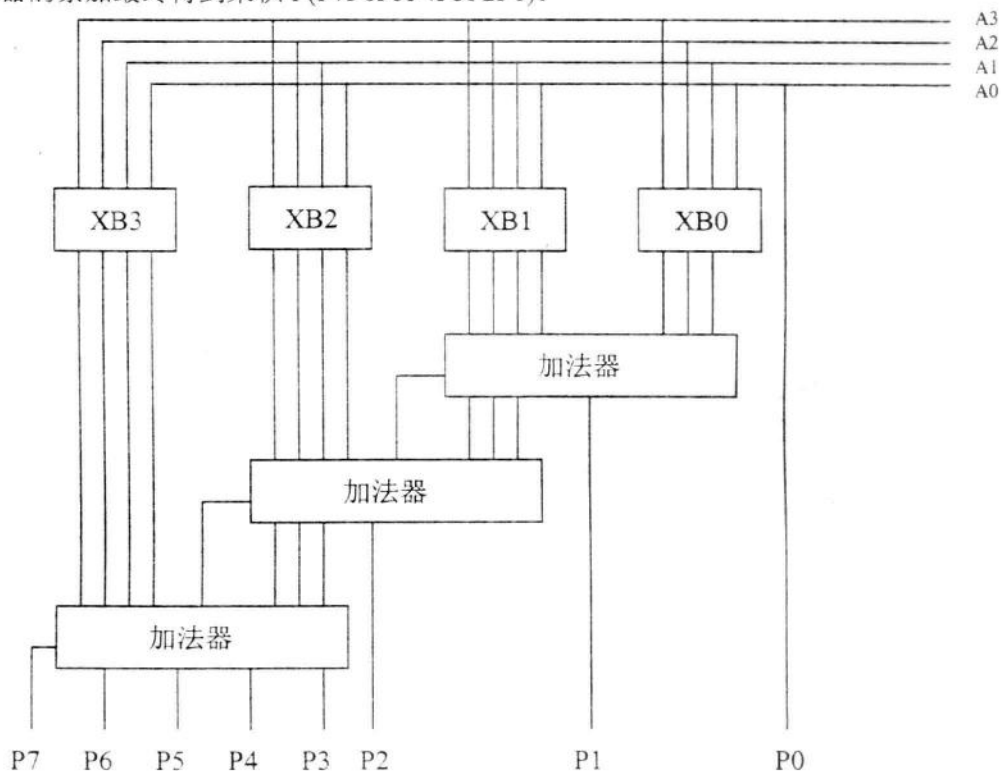


图 1-1 四位并行乘法器框图

三、实验内容

1. 用 VHDL 语言或原理图输入法设计四位乘法器;
2. 设计 乘法器功能模块及四位加法器功能模块;
3. 锁定引脚,并下载。

四、设计提示

1. 先读懂并行乘法器的算法和电路原理;
2. 使用模块化设计方法。

五、实验报告要求

- 1. 叙述所设计的四位乘法器电路工作原理;
- 2. 写出各模块源文件;
- 3. 心得体会。

实验七 设计基本触发器

一、实验目的

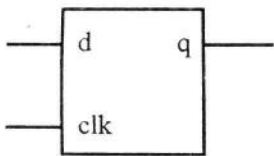
- 1. 设计 D 锁存器。
- 2. 设计 JK 触发器。
- 3. 掌握时序电路的设计。

二、实验原理

1. 锁存器

正沿触发的 D 触发器的电路符号如下图所示。它是一个正边沿触发的 D 触发器，有一个数据输入端 d，一个时钟输入端 clk 和一个数据输出端 q。D 锁存器的真值表如下表所示。从表中可以看到，D 锁存器的输出端只有在正沿脉冲过后，输入端 d 的数据才可以传递到输出端 q。

D 锁存器真值表



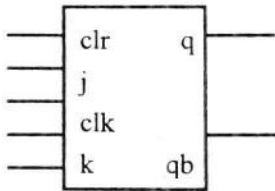
D 锁存器

数据输入端	时钟输入端	数据输出端
D	Clk	q
X	0	不 变
X	1	不 变
0	↑	0
1	↑	1

2. JK 触发器

带有复位/置位功能的 JK 触发器电路符号如下图所示。JK 触发器的输入端有置位输入 pset，复位输入 clr，控制输入 j 和 k，时钟信号 clk；输出端 q 和反向输出端 qb。JK 触发器的真值表如下表所示。

JK 触发器真值表



JK 触发器

输 入 端					输 出 端	
pset	clr	Clk	j	k	q	qb
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	X	X

输 入 端					输 出 端	
pest	clr	clk	j	k	q	qb
1	1	↑	0	1	0	1
1	1	↑	1	1	翻	转
1	1	↑	0	0	q0	!q0
1	1	↑	1	0	1	0
1	1	0	X	X	q0	!q0

四、实验内容

- 1 通过模拟和仿真分析和验证两种触发器的逻辑功能及触发方式。
- 2 扩展任务：设计其它触发器如 RS 触发器，并研究其相互转化的方法。

五、实验报告要求

- 1 写出 D 锁存器和 JK 触发器的源程序。
- 2 写出心得体会。

实验八 设计 74LS160 计数器功能模块

一、实验目的

1. 学会用 VHDL 语言设计时序电路。
2. 用 VHDL 语言设计 74LS160 计数器功能模块。

二、实验原理

计数器是最常用的寄存器逻辑电路，从微处理器的地址发生器到频率计都需要用到计数器。一般计数器可以分为两类：加法计数器和减法计数器。加法计数器每来一个脉冲计数值加 1；减法计数器每来一个脉冲计数值减 1。

下面将通过模仿中规模集成电路 74LS160 的功能，用 VHDL 语言设计一个十进制可预置计数器。74LS160 共有一个时钟输入端 CLK，一个清除输入端 CLR，两个计数允许信号 P 和 T，4 个可预置数据输入端 D3-D0，一个置位允许端 LD，4 个计数输出端 Q3-Q0，一个进位输出端 TC，其工作模式见下表所示。

74LS160 功能表

功能	输 入						输 出	
操作	CLR	CLK	P	T	LD	Dn	Qn	TC
复位	L	X	X	X	X	X	X	L
预置	H	C	X	X	L	L	L	L

计数	H	C	H	H	H	X	+1	D
保持	H	X	L	X	H	X	Qn	D
保持	H	X	X	L	H	X	Qn	L

注: $D=Q3\&!Q2\&!Q1\&!Q0$

三、实验内容

1. 分析上述程序的流程, 搞清其逻辑功能。
2. 用 VHDL 语言设计一个具有 74LS160 功能的电路。
3. 通过仿真和下载验证设计电路的正确性。

四、实验报告要求

1. 写出 74LS160 的 VHDL 语言源文件。
2. 写出 74LS160 的仿真文件。
3. 写出设计心得体会。

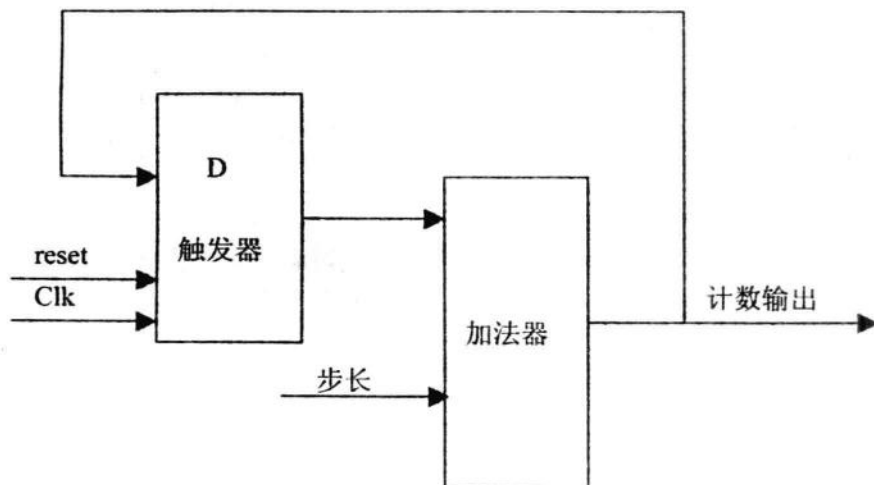
实验九 步长可变的加减计数器

一、实验目的

1. 掌握加减法计数器以及特殊功能计数器的的设计原理。
2. 用 VHDL 语言设计多功能计数器。

二、实验原理

计数分同步计数器和异步计数器, 如果按工作原理和使用情况来分那就更多了。



1. 加减工作原理

加减计数也称为可逆计数，就是根据计数控制信号的不同，在时钟脉冲的作用下，计数器可以进行加 1 计数操作或者减 1 计数操作。

2. 变步长工作原理

如步长为 3 的加法计数器，计数状态变化为 0、3、6、9、12……，步长值由输入端控制。在加法计数时，当计数值达到或超过 99 时，在计数器下一个时钟脉冲过后，计数器清零；在减法计数时，当计数值达到或小于 0 时，在计数器下一个时钟脉冲过后，计数器也清零。

三、 实验内容

- 1 设计的计数步长可在 0~79 之间变化
- 2 通过仿真或观察波形图验证设计的正确性。
- 3 编译下载验证结果。

四、 设计提示

1. 注意 IF 语句的嵌套。
2. 注意加减计数状态的变化，计数值由 9 变 0（加法）及由 0 变 9（减法）各位的变化。由于计数器为十进制计数器，还应考虑进位或借位后进行加 6 及减 6 校正。

五、 实验报告要求

1. 写出多模加减计数器的 VHDL 源程序。
2. 叙述多模加减计数器的工作原理。
3. 画出计数器工作波形图。

实验十 可控脉冲发生器

一、 实验目的

1. 掌握脉冲发生器的设计原理。
3. 掌握脉冲接受和发送的方法。

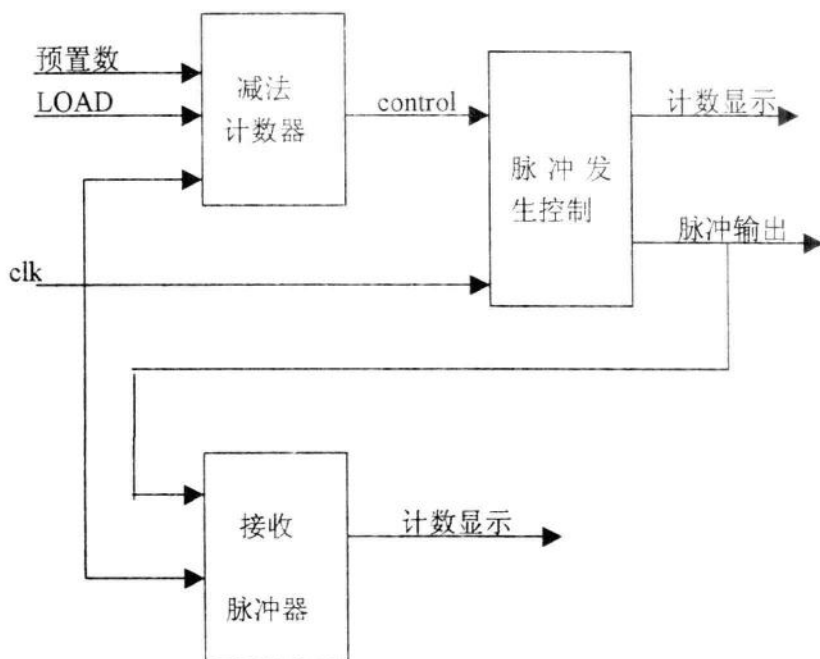
二、 实验原理

本次设计由发送脉冲模块和接收脉冲模块组成，发送脉冲模块可由用户设置一次发送过程中脉冲的个数，发送过程中由二极管显示输出脉冲并用数码管记录脉冲个数，接收脉冲模块接收脉冲并输出到数码管显示，接受脉冲模块和发送脉冲模块采用同一个时钟工作。

三、 实验内容

- 1 用 VHDL 语言设计可控脉冲发生器。

- 2 通过仿真或观察波形图验证设计的正确性。
- 3 编译下载验证结果。



四、设计提示

- 1 注意 IF 语句的嵌套。
- 2 注意脉冲的消抖问题和接受脉冲模块的采样方式。

五、实验报告要求

- 1 写出可控脉冲发生器的 VHDL 源程序。
- 2 叙述模块间通讯的工作原理。
- 4 画出模块通讯的工作波形图。

实验十一 正负脉宽数控调制信号发生器

一、实验目的

1. 熟练掌握预置计数器的描述方法。
2. 掌握 VHDL 语言反馈信号的处理。
3. 设计正负脉冲宽度可调的数控调制信号发生器。

二、实验原理

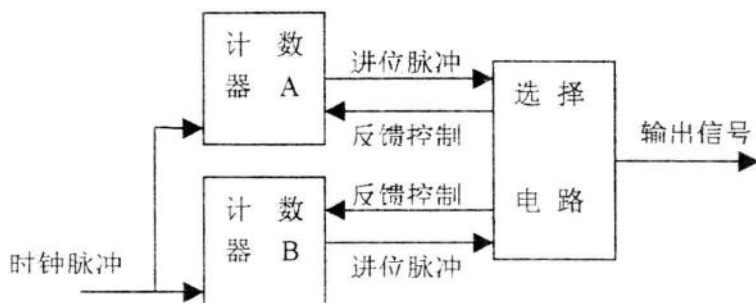


图 1-2 正负脉宽数控调制信号发生器框图

预置计数器比普通计数器多了一个预置端 LD 和预置数据端 DATA。当 LD=1(或 0) 时, 在下一个时钟脉冲过后, 计数器输出端输出预置数 DATA。图 1-2 是正负脉宽数控调制信号发生器电路的框图。

从图 1-2 可以看到输出脉宽调制信号由计数器 A、B 的进位脉冲信号控制。计数器 A 的进位脉冲使输出信号输出正脉冲, 计数器 B 的进位脉冲使输出信号输出负脉冲, 同时反馈信号使计数器 A、B 分别重新置数, 从而达到控制正负脉冲宽度的目的。

三、实验内容

1. 用 VHDL 语言设计各功能模块。
2. 通过仿真或观察波形文件验证设计课题的正确性。
3. 编译下载并通过示波器验证结果。

四、设计提示

1. 选择电路可用一带清零端的 D 触发器构成, 也可以用 VHDL 语言的进程语句进行描述。
2. 注意到反馈信号的地方, 输出信号线应定义成 Buffer 类型。

五、实验报告要求

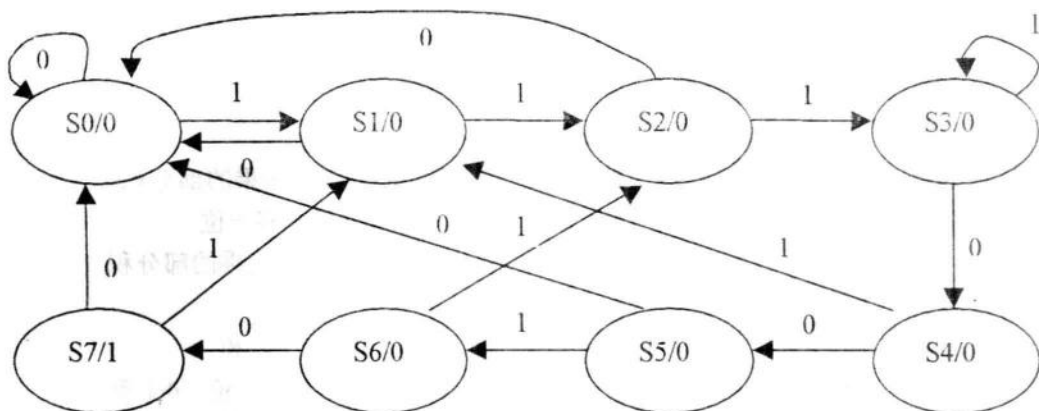
1. 写出各模块的源程序。
2. 画出详细电路图并分析电路的工作原理。
3. 画出电路工作时序波形图。
4. 书写心得体会。

实验十二 序列检测器

一、实验目的

1. 了解状态机的设计。
2. 设计一个序列检测器。

二、实验原理



1-3 序列检测器状态变化图

序列检测器在数据通讯、雷达和遥测等领域中用于检测同步识别标志。它是一种图,用来检测一组或多组序列信号的电路。例如检测器受到一组串行码{1110010}后,输出标志 1, 否则, 输出 0。

考查这个例子, 每受到一个符合要求的串行码就需要用一个状态机进行记忆。串行码长度为 7 位, 需要 7 个状态; 另外, 还需要增加一个“未收到一个有效位”的状态, 共 8 个状态: S0~S7, 状态标志符的下标表示有几个有效位被读出。

画出状态转移图, 如图所示, 很显然这是一个莫尔状态机。八个状态机根据编码原则可以用 3 位二进制数来表示。

三、实验内容

1. 用 VHDL 语言编写出源程序。
2. 设计两个脉冲发生器, 一个包含“1110010”序列, 另一个不包含此序列, 用于检测程序的正确。
3. 将脉冲序列发生器和脉冲序列检测器结合生成一个文件, 并编译下载并验证结果。

四、实验报告要求

1. 写出序列检测器 VHDL 语言设计源文件。
2. 详述序列检测器的工作原理。