

电 荷 耦 合 器 件

译 文 专 集

南京集成电路研究所
上海技术物理研究所
华 中 工 学 院
南 京 大 学 物 理 系

联合编译

电荷耦合器件

译文专集

南京集成电路研究所
上海技术物理研究所
华中工学院
南京大学物理系
联合编译

C C D 器 件 译 文 集 目 录

1.	电荷耦合器件的概念	1
2.	固体成像器件能代替摄像管吗	28
3.	用电荷耦合器件作信号处理	46
4.	CCD 滤波器的概况	92
5.	电荷耦合器件的应用如何开展	106
6.	半导体列阵探测光电子象用于多通道光子计数	115
7.	电荷耦合器件延迟线及其应用	124
8.	电荷耦合器件的动作及应用	140
9.	电荷耦合器件中置位电荷的表面势平衡法	158
10.	铝栅 CCD 移位寄存器的最佳工作条件	170
11.	电荷耦合器件的噪声测量	190
12.	采用氧化锡栅极工艺的时间延迟积分电荷耦合器件	206
13.	声表面波驱动电荷耦合器件	214
14.	CCD 的应用实例固体彩色摄像机	219
15.	评价电荷耦合成像器件的方法	232
16.	电荷耦合器件在红外传感系统中的应用	244
17.	红外电荷转移器件——S1 探讨	256
18.	电荷耦合器件在电视方面的应用	276
19.	改善空间分辨率的光敏阵列	289
20.	光电流对电荷耦合器件的缓冲直流注入	301
21.	电阻栅 CTD 面阵传感器	315
22.	曲折沟道 CCD 线型图像传感器	325
23.	硅摄像器件 SID 5123 Z	334
24.	本征半导体红外焦平面	348

电荷耦合器件的基本概念

W. F. Kosonocky 和 J. E. Carnes

〔摘要〕：用简单的物理术语讨论和叙述了有关电荷耦合器件 (CCD) 的作用和设计的重要概念。其中包括速度和元件尺寸的关系相对于斗键转移模式的全电荷转移的重要概念，埋沟作用的简单讨论；对 CCD 的电荷信号的引入及输出检测方式的有用技术的定性说明。

I 引言

电荷耦合器件 (CCD) 的概念是贝尔电话实验室的 W. S. Boyle 和 G. E. Smith 在 1970 年提出来的。CCD 是以大家所熟悉的 MOS 电容为基础的。它的作用涉及一些新的概念。几年来发表了大量的文章描述这个器件的作用和性能，但是大部份包含较复杂的数学分析。

这里，我们论述 CCD 作用所涉及的一些重要的物理概念。本文的主要对象是那些希望对这些器件的作用，性能限制和设计有定性了解的读者。

II 电荷转移概念

电荷耦合器件 (CCD) 是通过仪表模拟信号的少数电荷包从一个势阱转移到另一个势阱而起作用的。这些势阱是由深耗尽 MOS 电容的线性阵列构成的，该 MOS 电容的阵列或是在均匀掺杂的衬底上 (表面沟道 SCCD)，或是在具有表面相反电导的薄耗尽层的衬底上。在任一种情况下，这些势阱的最小势能是由加在栅电极上的电压决定的，由于电荷总是流向电势最小的地方，所以适当地控制栅电压就可使电荷包沿表线转移，如图 1 所示。

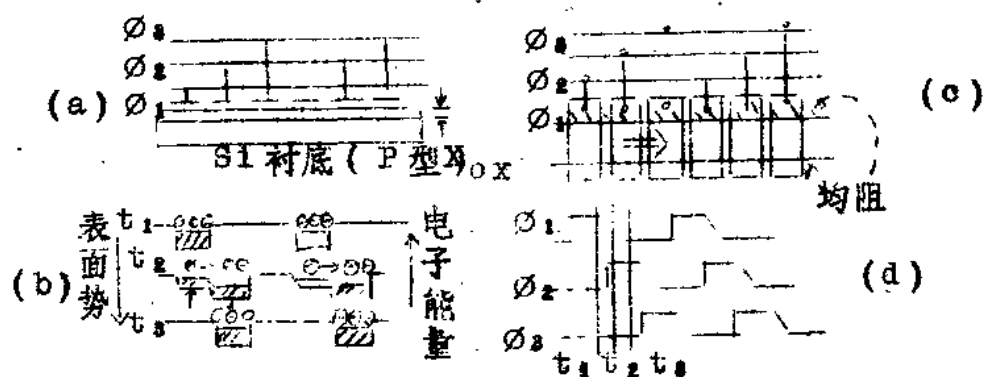


图 1、三相 N 型表面沟道 CCD 的基本电荷转移作用。(a) 横截面图 (b) 三个不同时刻的表面势分布图 (c) 顶视图 (d) 时钟波形

对于表面沟道器件，表面势，即势阱深度，通过下式与栅压及其它器件参数相关

$$V_s = V_G' - B \left[\left(1 + \frac{2V_G'}{B} \right)^{\frac{1}{2}} - 1 \right] \quad (1)$$

$$\text{其中: } V_G' = V_G + \frac{Q_{ss}}{C_{ox}} \quad B = \frac{q N_D E_s X_{ox}^2}{E_{ox}^2}$$

V_G = 栅压

Q_{ss} = 单位面积氧化层电荷

C_{ox} = 单位面积氧化层电容

q = 以库仑为单位的电子电荷

N_D = 衬底掺杂浓度 (cm^{-3})

E_s = 硅介电常数 (F/cm)

E_{ox} = 氧化层介电常数 (F/cm)

X_{ox} = 氧化层厚度 (cm)

当电荷集聚在这个势阱中时，电荷存贮在 Si—SiO₂ 界面，并按下式使势阱深度降低

$$\Delta V_s = \frac{Q_{sig}}{C_{ox} + C_d} \quad (2)$$

其中，C_{ox} 为氧化层电容，C_d 为耗尽层电容，C_d 取决于信号大小，但通常小于 C_{ox}，C_{ox} 与信号无关。因此，利用计算势阱深度的公式 (1)，并假设固定的势阱电容为 C_{ox}，就能够估计信号大小。

评价电荷转移器件的最重要的特性是以 η 表示的电荷转移效率，它表示初始电荷包中能从一存贮位置转移到下一位的部份。未被转移的部分用 ϵ 表示，叫做电荷转移失效率或电荷转移损失。因为势阱通常是存贮和转移少数载流子，而排斥多数载流子的，所以复合可以忽略。因此从原电荷包中损失的载流子只是被留在后面了；也就是电荷或者被转移或者被留下。因此，

$$\eta + \epsilon = 1 \quad (3)$$

不完全转移的结果是使信号包的幅度减小。为此，对于小的 ϵ ，经过 η 级转移后，信号电平 A_n 和原始电平 A_0 之比为

$$A_n / A_0 = \eta^n = (1 - \epsilon)^n \approx \exp(-\epsilon n) \quad (4)$$

因为许多 CCD 的应用要求有 1000 级以上的转移，为防止信号过分衰减， ϵ 必须很小，在 10^{-4} 或 10^{-5} 数量级。

有两个不同的因素阻碍了全转移效率的获得——电荷包中自由电荷从一个位置转移到下一个位置需要时间，以及陷阱效应。首先说我们考虑时钟频率的限制和自由电荷转移过程本身所决定的效率。图 2 表示在电荷转移过程中的某一时刻的情况。原来存贮在中间栅下的电荷流进右边较深的势阱中。两势阱间无势垒存在是很重要的，只有这样，所有的电荷才能被转移。使自由电荷发生转移的驱动机理有几种，其中包括电

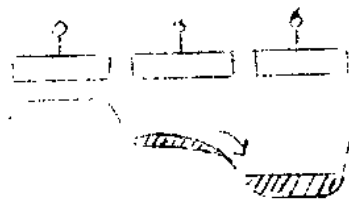


图 2、全电荷转移。没有势垒阻碍电荷流进较深的势阱。

电荷排斥，热扩散以及电场（边缘电场）中的漂移。在大部份电荷（ $\approx 99\%$ ）转移以后，电荷排斥效应是不重要的。因此，器件速度的限制主要由热扩散或边缘电场漂移决定。这两种机理都使得转移栅电极下的电荷指数衰减。其衰减时间常数的数值决定了在任一特定时钟频率下所能达到的效率，因为时钟频率决定了转移的有效时间。

热扩散时间常数可以通过简单的物理论证来估算。因为驱动力是来自加在栅长 L 上的热电压 KT/q ，因此转移时间是

$$\tau_{th} \approx \frac{L}{\mu E} = \frac{L}{\mu KT/qL} = \frac{L^2}{D} \quad (5)$$

较严格的处理指出这时间是 $L^2/2.5D$ 。要达到 99.99% 的效率（ $\epsilon = 10^{-4}$ ）需要大约 10 倍于时间常数的转移时间（ $10^{-4} \approx e^{-10}$ ）。因此对于典型的数值（ $L = 10 \mu m$ ， $D = 10 cm^2/sec$ ），在大约 $1 MHz$ 的时钟频率下可以这到 99.99% 的转移效率。这里假设热扩散是电荷转移的唯一机理。此速度对于许多应用来说是不够的。

载流子在外加栅电压所感生的电场中的漂移增强了电荷的转移。外加电场的方向基本上和电荷运动的方向垂直，但是有一个沿着运动方向的电场分量。这些边缘电场的计算包含一相当复杂的二维静电学问题，通常要求数值介。在把硅衬底看作是没有耗尽层的半无限大介质的简化情况下，最小边缘电场可以有严格的介

$$E_{\min} = 3.2 \frac{V}{L} \frac{X_{ox}}{L} \quad (6)$$

其中 V 是加在栅上的电压, X_{ox} 是氧化层厚度, L 是栅长。此式表示了表面沟道器件所能达到的最高数值, 它适用于低衬底掺杂的极限情况 ($\sim 10^{14} \text{ cm}^{-3}$)。由此, 边缘电场漂移的转移时间 (或衰减时间常数) 由下式给出

$$\tau_f = \frac{L}{\mu E_{\min}} = \frac{L^2}{3.2 \mu V X_{ox}} \quad (7)$$

对于 $10 \mu\text{m}$ 的栅, 热扩散时间常数应是 10^{-7} 秒。设 $\mu = 400$, $X_{ox} = 1000 \text{ \AA}$, $V = 10 \text{ v}$, 则边缘电场时间常数是 7.8×10^{-6} 秒, 或者说比前者高 13 倍。因此, 对于 $10 \mu\text{m}$ 的栅长和低的掺杂浓度, 边缘电场的漂移使得器件可以在大约 $10 - 15 \text{ MHz}$ 下工作。此外, 因为边缘电荷时间常数随 L 而变化, 所以随着栅长的减小, 其速度的增加超过热扩散边度的增加, 并且, 在埋沟器件中, 相对而言, 边缘电场漂移更为重要, 这是因为沟速离极较远, 等效于增加了公式 (6) 中的 X_{ox}/L 因子。

这些概念只适用于两势阱间无势垒以至所有的电荷都能被转移的情况, 即只适用于全电荷转移的情况。当有势垒存在时, 便有残留的电荷留在转移势阱里面。在低的时钟频率下, 转移一电荷量由势垒高度决定如图 3 所示。势垒高度部份地由接受阱中的电荷决定。如果其中有大信号, 电荷的排斥将形成一个高的势垒。因此, 大电荷包将比小电荷包转移得少。该势垒高度调节效应使得在栅长为 $10 \mu\text{m}$ 时转移损失约为 10^{-4} 与频率无关。栅长减小, 转移损失增加。因此在任何一种转移的电荷量依赖于势垒高度的器件中, 转移效率将受到严重限制。这和斗键器件中发生的情况相似, 因此被视为斗键模式。高转移效率 ($\approx 99.99\%$) 要

求无势垒的沟道电势分布，以产生全电荷转移。

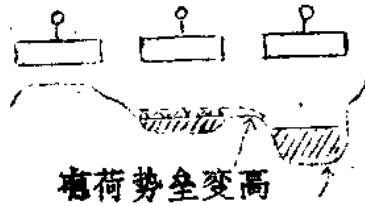


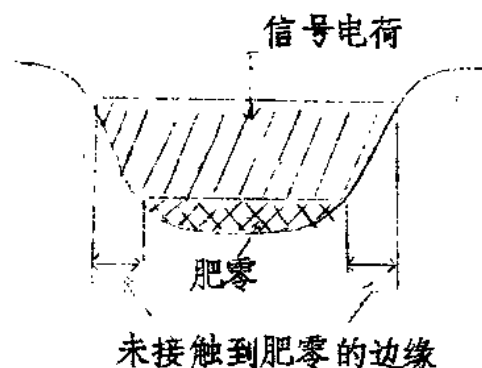
图 3、电荷转移的斗键模式。右边势阱中有电荷存在引起势垒升高使得较多的电荷留在后面。

然而，即使在完全转移的作用模式中，仍有因陷阱效应引起的其它效率限制。在表面沟道器件中，表面态里发生对电荷载流子的陷入以及过后的释放。这些表面态以 10^{10} 态/厘米²/电子伏的密度相当均匀地分布在正个禁带。它们都以同样的速率被填充，此速率仅仅与表面处（在表面大约 $100 \text{ \AA}$ 的范围内）导带中载流子的数目有关。面释放速 导带和陷阱能级之间的能量差——在室温下能量每增加 0.06 eV 速率便降低一个数量级。释放时间从靠近带边的大约 10^{-11} 秒变化到禁带中央的大约 10^{-4} 秒。对于典型的信号水平，填充时间大约是 10^{-10} 秒。因此，许多态的填充比释放快，其结果是信号损失于陷阱中。这个损失机理可以用一个连续循环的小量电荷（满信号的 10%）而被减到最小。这个背景电荷通常被称为“肥零”，它使快态保持填充状态，因而当满阱信号到边时，便没有空态去捕捉电荷。

然而，肥零只在势阱的最深部份是有效的。而为这些阱有倾斜的侧面，所以有永远“见”不到肥零的区域。沿着势阱的每个侧面和边缘，陷阱损失不受肥零影响，如图 4 所示。该边缘陷阱的数值分析表明，对于表面沟道器件可能达到的最低（最好）转移损失是

$$\epsilon_{\text{edge effect}} = 3.9 \times 10^{-4} \left(\frac{1}{W_{\text{mil}}} \right) \left(\frac{N_{\text{SS}}}{10^{10}} \right) \left(\frac{10^{18}}{N_D} \right)^{\frac{1}{2}} \quad (8)$$

在埋沟器件中，陷阱作用发生在单能量的体态中。但这个影响是很小的，因为参与陷阱作用的态的数目很少。单位面积陷阱态数目等于体密度乘沟道中存有信号电荷的距离。这个距离在 $1\ \mu\text{m}$ 的数量级，因此 $10^{12}\ \text{态}/\text{cm}^3$ 将只产生大约 $10^8\ \text{态}/\text{cm}^2$ 的有效陷阱。与表面沟道器件 $10^{10}\ \text{cm}^2$ 有效态相比，大约低两个数量级。通常，埋沟器件不用肥零便可获得很高的效率，可是加少量肥零效率稍有改进，可见仍有一些陷阱损失。



$$\epsilon_{\text{edge}} = 3.9 \times 10^4 \left(\frac{l}{W_{\text{mils}}} \right) \left(\frac{N_{SS}}{10^{10}} \right) \left(\frac{10^{16}}{N_D} \right)^{\frac{1}{2}}$$

图4、表示见不到肥零的倾斜边缘的陷阱截面图（电荷向纸内移动）

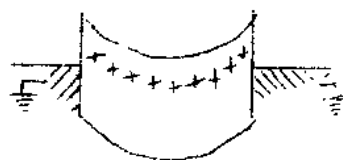


图5、表示金属—绝缘体—金属的抛物线电势分布的能带图，绝缘区具有均匀的正空间电荷，两电极接地。

埋沟 CCD (BCCD) 是为避免与快界面态有关的效率限制的噪声而设计的。目的是把势阱最小值移开 Si—SiO₂ 界面。这是通过在 Si 表面做一薄的反掺杂层来实现的。一个典型的结阱是在 P 型衬底上用离子注入的方法形成一个 1 μm 厚的 10¹⁶ cm⁻³ N 型掺杂层。当源和漏 n⁺ 扩散区加上适当的正偏压时，所有的自由导电电子都被排出离子注入层，留下均匀的施主正空间电荷。由此形成一抛物线电势分布，其最小值在层的中央。这个情况和如图 5 所示的两边具有接地电极的均匀带正电绝缘体的电势分布图相似。由于 BCCD 有氧化层和衬底耗尽层，所以其分布面有所不同，如图 6 所示。最小值和体内（地）之间的电势差被称为 V_{mb}。加正偏压，此值变大；加负偏压，此值变小（对于 n 沟器件）。Si—SiO₂ 界面处导带和沟道最小值之间的电势差被称为 V_{mo}。因为电荷必须离开 Si—SiO₂ 界面以避免与界面态有关的损失和噪声，因此这个值很重要。

当加上正栅压时，V_{mb} 增加，而 V_{mo} 减小，如图 6 b 所示。当加上负偏压时，V_{mb} 减小，而 V_{mo} 增加，如图 6 c 所示。器件中还含有 P⁺ 沟阻 (channel stops)，沟阻和沟道相连并接地电位，这些沟阻是沟道的空穴源。因此，如果没有对来自沟阻的无限空穴源的牵制，沟道的价带就不可能高于地电位。在一定的负栅压下，Si—SiO₂ 界面

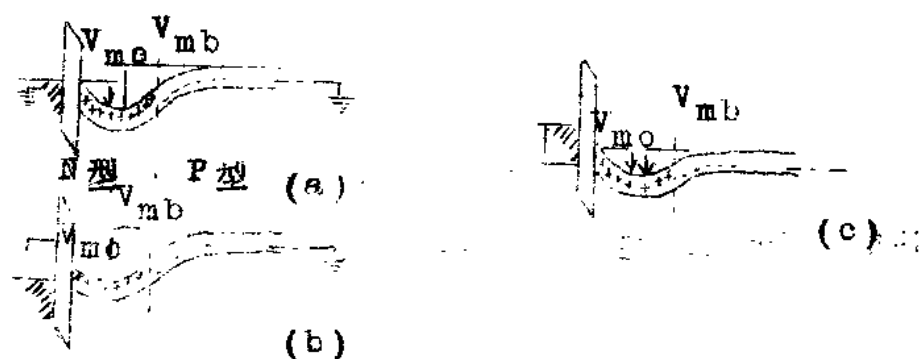


图 6. 埋沟 CCD 的能带图。(a) 栅接地 (V_{mb} 是最小值处的导带和体

内导带之间的电势差， V_{m0} 是最小值和Si—SiO₂介面之间电势差)
 (b) 正栅压开 (V_{mb} 增加， V_{m0} 减小)。 (c) 负栅压 (关) (V_{mb}
 减小， V_{m0} 增加，当发生锁定时，两者相等)。

处的价带和体内价带有相同的电位。这个栅压叫做锁定 (pinning)
 栅压。当栅压更负时，沟阻空穴源将Si—SiO₂介面处的价带锁定在
 地电位， V_{m0} 或 V_{mb} 不再进一步变化。因此，沟道最小值便不可能升
 高到地电位之上，因此，源接地的埋沟器件不能用光加负栅压一方法截
 止。要切断电荷在BCCD中的流动，必须源上加正电位。

在埋沟器件的设计和应用中 V_{mb} 和 V_{m0} 随 V_{gate} 变化的特性曲
 线是最重要的因素之一。图7表示了对于典型结构的 V_{mb} 和 V_{m0} 的计
 算结果，这个典型结构是在掺杂浓度为 4×10^{14} 的衬底上注入 $1.2 \times$
 10^{18} cm^{-2} 的砷，并且氧化层厚度为1000 Å。对于不同的信号电荷水平
 显示出不同的曲线。无电荷时的锁定电压是-0.5V。在 V_{pin} 的左边
 V_{mb} 或 V_{m0} 不变。 V_{pin} 是最负的有用电压。可加的最正电压可以由
 V_{m0} 曲线确定。如果 V_{m0} 太小，载流子就能被快界面态相互作用而发
 生表面沟道器件所具有的全部有害影响。因为快态的填充速度依赖于自
 由载流子的表面密度 (表面100 Å的范围内)，所以表面密度必须足
 够低以便填充时间常数大于时钟周期。如果表面密度是 10^8 cm^{-2} 或更低
 这个条件是满足的。因此，如果沟道层掺杂是 10^{18} cm^{-3} ，那末大约
 $10kT/q$ (0.26V) 的 V_{m0} 将保证表面密度 (表面100 Å范围内)
 低于 10^8 cm^{-2} 。如从图中所见，假如沟道中的电荷是最大电荷的一半 (最
 大电荷由注入剂量决定)，在 V_{m0} 到这0.25V之前，加在栅上的电
 压可以超过10V。在从-5 (关) 到+5 (开) 的范围内变化的10V
 时钟将能满意地进行工作，并能处理电荷量为注入水平的一半的信号，
 而不至于进入表面沟道模式。

在表面沟道器件中，因为薄氧化层下面的势阱较深，所以为了提供

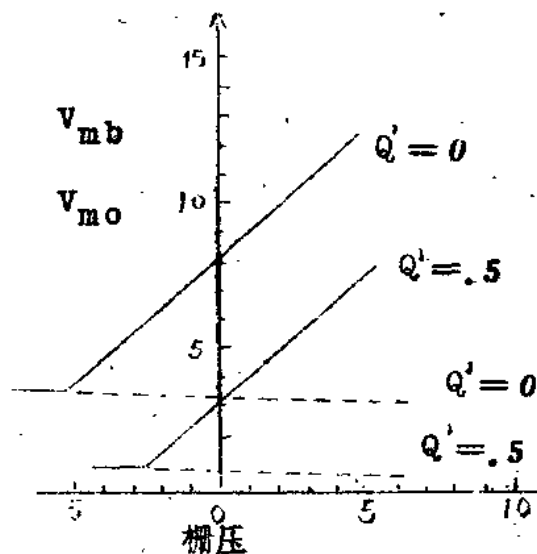


图7、对于典型的BCCD结构， V_{mb} （实线）和 V_{mo} （虚线）随栅压变化的曲线。左边的水平区域对应于锁定。

信号传递的方向性，可以用两种厚度的氧化层制成两相器件。然而，在埋沟器件中，随着氧化层厚度的减小，以 V_{mb} 量度的势阱深度也减小。这是因为随着氧化层厚度的增加，正的埋层电荷被栅金属中和的部份减少，而被衬底耗尽区中和的部份增加。耗尽区的加宽意味着 V_{mb} 加大。这说明在埋沟器件中，厚氧化技术不能用来限制沟道，并且在用氧化层厚度的变化来进行定向转移的两相器件中，电荷将向厚氧化层移动。

估计埋沟器件的信号大小比表面沟道器件困难。后者信号电荷存贮在同一物理位置上，即Si—SiO₂界面上，势阱电容自然是不变的。然而，在埋沟器件中，信号电荷是散开的，势阱电容将随信号的增加而不断增加。当然，单位面积最大信号是由注入剂量（每cm²层掺杂量和层厚的乘积）决定的。如果信号超过此值，沟道将有净的负电荷，势阱将不存在。如图8所示，信号增大，耗尽层宽度（及电容）改变并且信号大小由层掺杂浓度和距离的乘积给定，这个距离就是信号所散开的距离（即势阱平的部份的距离）。

如上所述，埋沟器件有较高的转移效率，不需要肥零，有较高的速度潜在能力及较低的转移噪声。图9给出了一个高转移效率的例子。而另一方面，埋沟器件处理信息的能力较低，制造工艺较多以及通常有较

高的暗电流。因此必须根据既定的应用要求进行仔细考虑，以选择最有利的CCD。

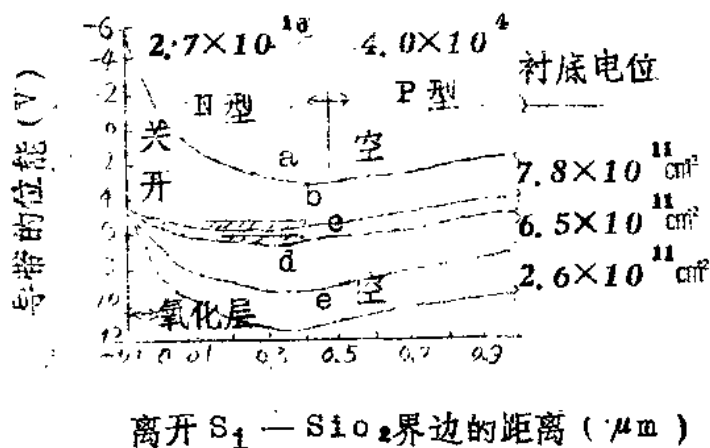


图8、典型的埋沟结构的电势分布。画斜线的地方表示是电荷存留的区域。

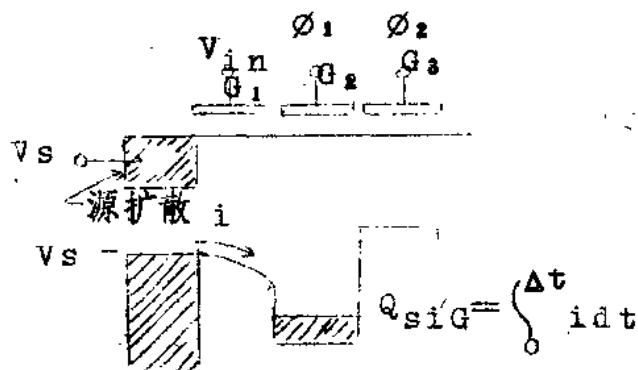


图9、两相埋沟CCD的输出波形。不用肥零，电荷转移损失率是 1.5×10^{-6} 。用10%的肥零，损失率降为 10×10^{-6} 。

VI 输入技术

电流输入和电压输入

将电信号引入 CCD 的一种可能的方式是电流积分法。其例如图 10 所示。电流源是由源扩散 S、输入栅 G_1 组成，而 CCD 的第 1 个势阱作为 MOSFET 的漏。将原置以直流电平，信号加至 G_1 ，则存贮在第一个势阱中的信号电荷是在 ϕ_1 开启时间内对电流的时间积分。这个电流是极其非线性的，对于低阈值电流随栅压呈指数变化，对于高阈值电平呈抛物线变化。

另一个方法是在源上加一时钟，因此仅在一固定的时间内有电流流动，而不是在 ϕ_1 开启的所有时间里都有电流。

在这两种情况下，输入电路都是异常非线性的，是对一个较稳定的电流源提供一个不带附加结构的临界控制。光输入可以作为交流电流源因此，可以被认为是电流积分输入的特殊形式。

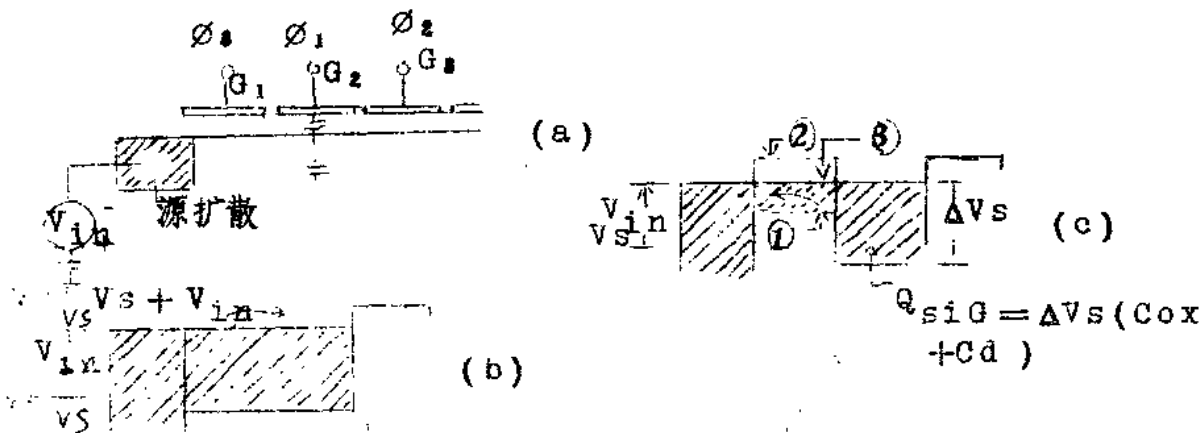


图 10 电流积分输入电路的结构和作用

引进信号电荷的一较低临界的方式是如图 11 所示的电压输入方式。这里信号加至源扩散区、选通脉冲或取样脉冲加至 G_1 。这样实质上是构成一传输栅或开关以至第一个势阱被电荷填满达到和源相同的电势水

平 (见图 11b), 然后当输入栅被关闭时 (见图 11c), 输入栅下的电荷被推回到源。如果加在输入栅的时钟有比较慢的下降时间, 则第一个势阱将退回到和源电势热平衡。否则, 当输入栅下沟道消失时, 沟道中的一些电荷将填入第一势阱。和电流积分输入不同, 这种方式将与时钟频率无失。对于表面沟道 CCD, 输入电荷近似为:

$$Q_{sig} = \Delta V_s + (C_{ox} + C_d) \quad (9)$$

这里, ΔV_s 是源上由于输入信号而引起的表面势变化:

C_{ox} 是栅 G_2 下沟道氧化层电容:

C_d 是直流耗尽电容,

因为耗尽层电容 C_d 是表面势的函数, 所以信号电荷 Q_{sig} 不完全随输入电压线性变化, 且与栅 G_2 的 MOS 阈值电压有关。低掺杂衬底的器件具有较好的电压输入线性。

对于图 10 的电流积分方式, 输入噪声基本上是散粒噪声, 其进入电荷包的截流子数的 V_{ms} 起伏 N_n 为:

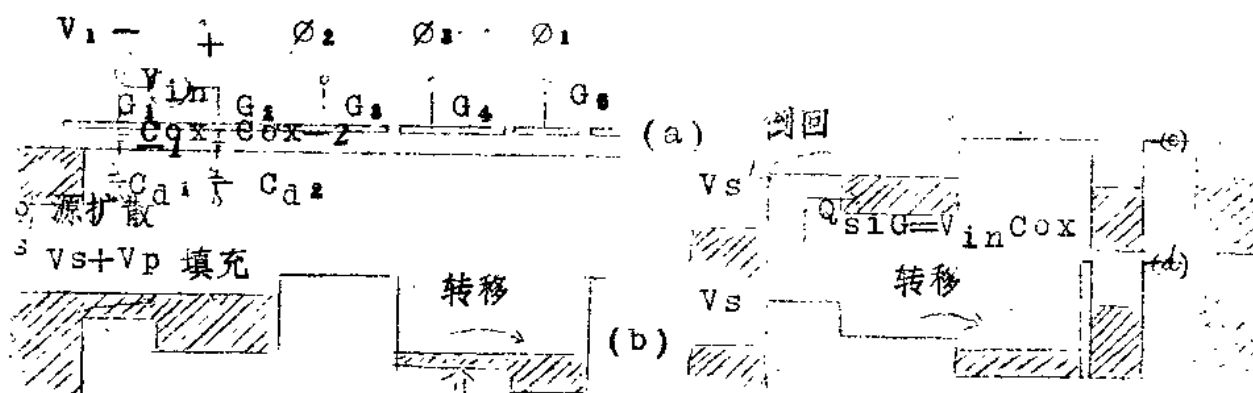


图 11 电压输入: (a) 输入结构、(b) 电势图, 表示输入势阱填充

到源电势 $V_S + V_{in}$, (C) 在 ϕ_s 时钟下降期间, G_1 栅下导电沟道中的电荷回到源扩散区。2. 当 G_1 栅下导电沟道被切断, G_2 栅下的输入势阱被填至源电势 V_S 。3. 时钟 ϕ_s 关掉, 输入势阱中电荷信号准备转移到 CCD 沟道。

$$\overline{Nn} = \sqrt{N_{sig}} \quad (10)$$

其中 N_{sig} 是信号包中的载流子平均数。这适用于光输入或低阈值电流输入, 该电流是越过输入栅 G_1 下的势垒注入的。但电压输入 (图 11) 应有一噪声输入涨落近似。

$$\overline{Nn} = \frac{1}{q} KTC \approx 400 \sqrt{C_{pf}} \quad (11)$$

其中 C_{pf} 以 F_f 为单位。采用这种输入的实验表明输入噪声明显地比 KTC/q 高。这是由与输入栅 G_1 下的沟道的取消有关的电荷配分噪声所引起的。但这有点不可接受的沟道配分噪声, 可用几个低噪声输入技术来避免。

低噪声、电荷予置输入

如图 12 所示的电荷予置输入法的基本概念如下: 输入阱先被电荷填到过满, 然后过量电荷倒回源扩散区。在倒回过程中, 栅 G_2 下输入阱中留下的电荷和栅 G_1 下势垒接近热平衡。所以, 电荷予置方法也被称作电荷平衡、稳定输入、壁绝法、或填满—倒回方式。

输入信号中的载流子数变化等于栅 G_2 下与电容上的电压 KT/q 相对应的平均载流子数。

$$\overline{Nn} = \sqrt{\frac{(KT/q)C}{q}} = \frac{1}{q} \sqrt{KTC} = 400 \sqrt{C_{pf}} \quad (12)$$