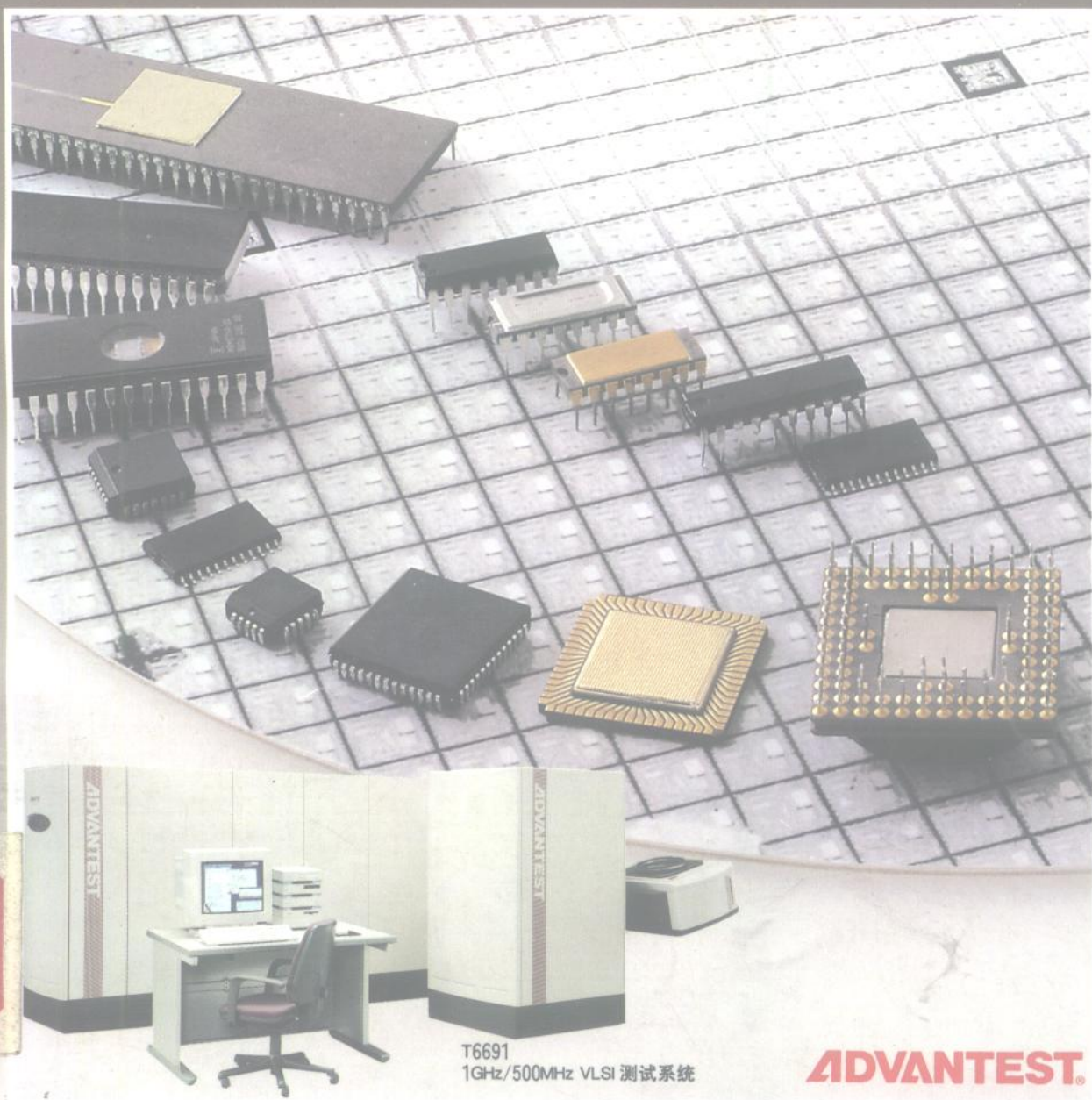


集成电路测试仪器 选购手册

主编：时万春 副主编：何俊山



T6691
1GHz/500MHz VLSI 测试系统

ADVANTEST.

电子工业部科技情报研究所

73.755073
281

集成电路测试仪器 选购手册



电子部科技情报研究所

9410091
9410091

ZF 72 / 04
内容提要

该书全面、系统地介绍了集成电路测试及其测试系统的技术、经济方面的知识。内容有：概论，中小规模集成电路测试仪器，数字 LSI/VLSI 测试系统，存储器测试系统，ASIC 验证系统，模拟与混合信号器件测试系统，老化设备和分选机的原理、结构、市场、技术发展现状与趋势、以及选购方法。选材力求先进性、准确性。以篇、章、节层次编写，循序渐进，图文并茂。

本书可作为从事集成电路测试系统的设计、制造、以及选购系统的工程技术人员阅读，也可供有关领导制定发展规划时参考。

集成电路测试仪器选购手册

电子部科技情报研究所印刷厂印刷

电子部科技情报研究所发行部发行

定价：28.00 元

1981.12

1401100

愿《集成电路例
测试仪选购手册》成为广
大用户的指南：

邢大昇
九四年一月十七日

《集成电路测试仪器选购手册》编委会

顾 问： 邴大升 王国光 郑慰亲
主 编： 时万春
副 主 编： 何俊山
编 委： 邴心湖 崔德勋
责任编辑： 崔德勋

序

微电子技术是当今世界上最活跃的生产力,它在各个领域日益广泛的应用,促进了科学技术和国民经济的腾飞,引发了现代化产业的根本变革。微电子的核心—集成电路是当前国际电子信息产业中发展最迅速的部分,其技术水平和产业规模已成为衡量一个国家经济发展、技术进步和国防实力的重要标志。

伴随着集成电路社会化大生产的发展,集成电路产业内部专业化生产分工越来越细,设计业、芯片加工业、组装测试业相互合作,独立蓬勃发展的局面正在形成。

集成电路产业的发展和专用设备、测试仪器、专用材料的发展密不可分,形成一代产品,一代技术,一代设备、仪器、材料这种相互依存、相互促进、相互发展的格局。

集成电路是技术密集、投资密集、发展迅速、更新换代快的产业。建立一条现代化的规模经济的芯片生产线,投资已由七十年代的不到 2000 万美元增加到近 7 亿美元(指 16M DRAM 生产线)。在芯片制造、组装、测试的总投资中,测试部分投资比重也不断加大,已达到总投资 17~27% (线性电路)。

集成电路技术的高速发展,品种、数量大幅度增长,专业化分工的不断深化,以及应用领域的日益扩大,都对其测试系统提出了越来越高的要求。不同的用户,从自己需要出发,也都各有不同的侧重点。伴随着市场日益增长和多样化的需求,集成电路测试系统的发展也五彩缤纷,各具特色。在此情况下,为了满足用户选购的需求,电子工业部科技情报研究所、中科院计算所、安徽光华无线电仪器厂的一些同志经过半年多的辛勤工作,出版了《集成电路测试仪选购手册》一书。

该书介绍了集成电路的测试原理、各类测试系统的结构、发展现状、发展趋势和市场,并汇集了国内外主要厂商生产的各类集成电路测试仪器、系统以及老化设备和机械手。它将有助于用户按自己的实际需要对各种集成电路测试仪器、系统进行选择和使用,并可供各级领导部门制定发展集成电路测试产业规划时参考。

愿此书为我国集成电路测试产业的发展起到积极的推动作用。



一九九四年一月十六日

编者的话

九十年代,集成电路在我国国民经济各部门的应用日益广泛。无论是集成电路的生产厂家,还是集成电路的用户都需要集成电路测试仪器和测试系统来保障其产品的质量。为了方便用户对集成电路测试仪器和测试系统的选购,1993年5月,电子部科技情报所、中科院计算所和安徽光华无线电仪器厂从事该专业的一些同志向机械电子部微电子基础产品司呈交了编辑“集成电路测试仪器选购手册”一书的报告,很快得到司领导的批复。7月初,三个单位有关同志举行了第一次编委会,并确定了全书的框架,即全书共分为二篇。上篇包括8章,即概论、数字中小规模集成电路测试系统、数字LSI/VLSI测试系统、ASIC检证系统、存储器测试系统、模拟与混合信号集成电路测试系统、分选机(机械手)和老化设备。每一章包括被测器件的测试(老化)原理,测试系统或分选机、老化设备的原理和结构,各类设备的技术发展现状和趋势、市场,国内外各厂家的产品简介以及选购方法,并附录部分厂家提供的相关产品介绍。下篇包括部分厂家提供的厂商介绍、各类设备的国外生产厂家、以及他们的地址、电话和传真号码。经过几个月的撰稿、审稿和修改,预计3月底将正式出版。

该书的特点是采用了循序渐进的方法,从IC的测试原理、IC测试系统的原理和结构、IC测试系统的技术发展现状、发展动向、到国内外厂家生产的测试系统和选购方法,给读者一个系统、完整的概念。该书可供研制和选购集成电路测试系统时使用,也可供有关领导制定发展规划时参考。

为了使读者对书中某些内容不产生误解,现作如下几点说明:

1. 书中所选的国外产品中,部分为生产厂家停产产品,由于这些产品在我国不少单位使用,甚至还在我国销售,因此,我们仍然对这些产品作了介绍。

2. 各类产品的售价,多数是基本售价,即最低配制的售价(不包括选件和软件的售价)。有的产品售价是国外期刊几年前报道的,因而只能作为参考,不能作为订货依据。

3. 一些产品的技术指标,因原始资料未一一列出,所以未能全部列出。如果读者需要,还需向有关厂家索取更详细的资料。

本书的出版得到电子部基础产品司的大力支持,郟司长亲自为本书提词,王国光副司长为书作序,重大装备处处长郑慰亲对此书编写作了具体指导。

主编时万春,副主编何俊山对全书的技术内容进行审核和修改。情报所总工邝心湖对全书的文字进行审校和删改。责任编辑崔德勋具体主持了全书的编写工作,为本书的出版付出了辛勤的劳动。情报所王燕、尹兴涛、衣丰涛、贾战利、万春光和周滨为该书绘图、对外联系、校对作了许多工作。中科院孟红霞对某些章节的修改和校对作了大量工作。光华无线电仪器厂的孙怀安、邹贵立、关道丰对某些章节的修改,清稿作了许多工作。该书的第七章和第八章还约请华晶公司的蒋建安同志和中国科学院半导体所的韩卓人同志撰稿,得到他们的大力支持和合作。

本书在编辑过程中,还得到北京无线电仪器厂、扬中电子仪器厂、Advantest公司、Shulumberger公司、LTX公司中国代理:富通国际有限公司、爱谷公司、中国惠普、MiNT公司、IMS公司中国代理:南京自动化研究所、MCT公司、迪艾电脑有限公司的大力支持。

在此,我们一并表示感谢。

由于我们的水平有限,加之本书编写时间短,占有资料有一定局限性,书中难免有错误和缺点,望予谅解,对不足之处,敬请广大读者批评指正。

目 录

上 篇

第一章 概论	(1)
一、集成电路测试的意义与作用	(1)
二、集成电路的分类	(2)
三、数字集成电路设计和生产中的测试	(2)
四、集成电路测试的基本原理	(5)
五、老化	(14)
六、测试仪选购	(14)
七、市场	(17)
第二章 数字 SSI/MSI 测试系统	(20)
一、SSI/MSI 测试	(20)
二、SSI/MSI 测试系统构成与原理	(32)
三、测试仪的发展现状	(35)
四、数字 SSI/MSI 测试仪的市场和产品	(37)
五、选购指南	(40)
国内外 SSI/MSI 测试仪性能简表	(43)
BJ4130 型中大规模数字集成电路测试系统	(44)
GH3182 型模拟集成电路测试仪	(45)
GH3181 型运算放大器测试仪	(45)
GH4821 型半导体管特性图示仪	(46)
GH2911M1 型数字集成电路测试单元	(46)
GH3123A 型集成电路自动测试仪	(47)
GH3111G 型集成电路测试仪	(47)
YB3111/YB3112 型数字集成电路测试仪	(48)
第三章 数字 LSI/VLSI 测试系统	(49)
一、数字集成电路测试系统原理	(49)
二、数字集成电路测试系统	(61)
三、VLSI 测试系统选购准则	(87)
四、市场和产品	(91)
VLSI 测试系统简表	(100)
S1650 型双管脚多功能 VLSI 测试系统	(104)
ITS9000 型系列测试系统与 ASAP 测试软件开发工具	(106)
S15 型集成电路测试系统	(107)
IDS3000 集成电路诊断验证系统	(108)
HP83000/F660 型数字测试系统	(48)
第四章 ASIC 验证系统	(109)
一、ASIC 的验证和测试	(109)
二、ASIC 验证系统市场和产品	(112)
国外 ASIC 验证系统简表	(120)
HP82000 系列集成电路测试系统	(122)

IMS 测试站	(123)
第五章 半导体存储器测试系统	(124)
一、RAM 的基本组成及结构	(124)
二、RAM 的测试原理	(126)
三、存储器测试系统	(139)
四、市场和产品	(151)
国外存储器测试系统产品简表	(160)
第六章 模拟与混合信号集成电路测试系统	(164)
一、模拟与混合信号集成电路测试原理	(164)
二、模拟与混合信号集成电路测试系统的原理和结构	(187)
三、模拟与混合信号集成电路测试系统的技术发展现状和趋势	(193)
四、市场和产品	(197)
国外模拟与混合信号集成电路测试系统简表	(203)
HP9480 型模拟集成电路测试系统	(206)
HP9490 系列混合信号集成电路测试系统	(207)
第七章 分选机	(208)
一、概述	(208)
二、分选机的结构与一般原理	(208)
三、分选机的技术发展现状和趋势	(210)
四、部分产品简介	(212)
五、分选机的选购方法	(214)
分选机部分产品规格表	(215)
第八章 集成电路老化设备	(218)
一、老化筛选的原理和老化设备的基本结构	(218)
二、老化设备的技术发展现状和发展趋势	(227)
三、老化设备的市场和产品	(230)
四、老化设备的选购方法	(232)
国外集成电路老化设备简表	(233)

下 篇

厂商(公司)介绍

北京无线电仪器厂	(235)
国营光华无线电仪器厂	(236)
爱德万测试股份有限公司	(237)
爱谷公司	(238)
IMS 公司	(239)
LTX 公司	(240)
MCT 公司	(241)
MiNT 系统公司	(242)
席伦伯格公司	(243)
国外各类测试设备的生产厂商	(244)
国外各类测试设备生产厂商地址	(247)

第一章 概 论

时 万 春

一、集成电路测试的意义与作用

集成电路(IC)测试是伴随着集成电路的发展而发展的,它对促进集成电路的进步和应用作出了巨大的贡献。为了确保产品质量和研制开发出符合系统要求的电路,在集成电路研制、生产和应用等各个阶段都要进行反复多次的检验、测试。

在研制开发过程中,为了验证逻辑设计、电路设计、版图设计和工艺设计是否正确,是否达到要求,需要多次改变条件,反复测试。

在生产阶段,管芯制成后和封装后都要进行电性能和参数测试,包括性能鉴定、可靠性试验和失效分析等测试。通过这些测试可对产品进行挑选和分级,剔除失效的芯片,以保证出厂产品的质量和提高厂家的信誉;此外,通过所得到的测试数据,生产厂家可用于控制、修正工艺流程,以提高生产效率、产品质量和成品率。

集成电路的测试,尤其是进厂的检验测试对其应用也是十分必要的。图 1-1 示出发现每故障检出费用与检出阶段之间的关系。从图可以看出,产品进厂检验(器件级测试)每故障检出费用为 0.3 美元,在印制电路板上(板级)测试,则检出费提高 1 个数量级,系统级和维修阶段测试,其每故障检出费用分别提高 2 个和 3 个数量级。可见,集成电路进厂的测试不仅对确保系统可靠性有重要作用,而且对降低系统成本意义也十分重大。

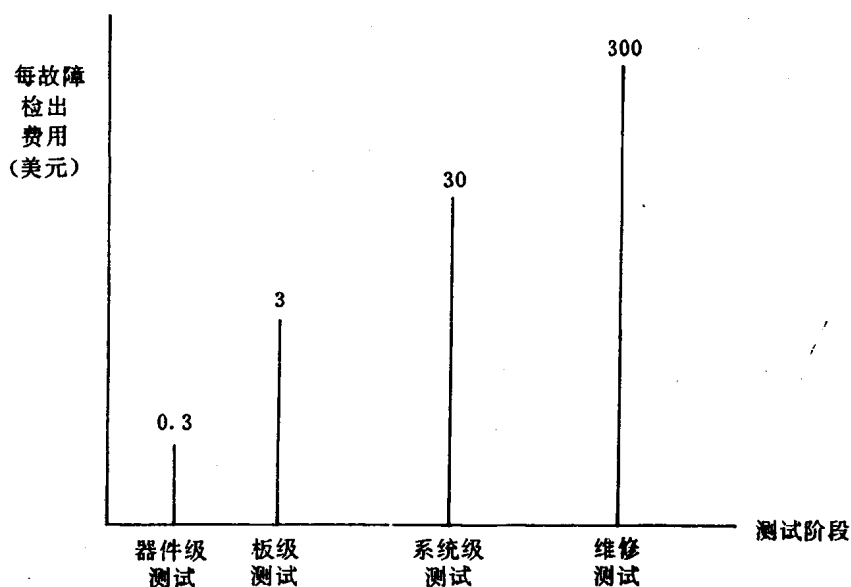


图 1-1 故障检出费随检出阶段的变化

二、集成电路的分类

IC 及其技术以其信息量大、发展快和渗透力强而成为当前最具影响力的产品和技术。它的发展有很强的战略重要性。IC 已经成为我国工、农业发展,科学技术发展,人们物质和精神生活发展的重要因素。IC 的这个特点也决定了它分类的非单一性。一般认为,IC 可按集成规模、按应用领域、按功能、按应用性质、按器件结构、按速度、功率和按工艺材料等分类。从测试的角度,下面给出 IC 按功能、集成规模和器件结构的分类情况,这种分类也是本书各章节及测试技术所密切相关的。

(一)IC 的功能分类

1. 数字电路,含组合逻辑电路和时序逻辑电路
2. 模拟电路、含线性和非线性电路
3. 数模混合电路(混合信号电路)

(二)IC 的集成规模分类

1. 小规模集成电路(SSI)
2. 中规模集成电路(MSI)
3. 大规模集成电路(LSI)
4. 超大规模集成电路(VLSI)
5. 特大规模集成电路(ULSI)
6. 巨大规模集成电路(GLSI)

集成规模的大小通常以集成度或每个芯片所含门数或元件数来划分,如表 1-1 所示。

表 1-1 集成电路规模划分

	SSI	MSI	LSI	VLSI	ULSI	GLSI
芯片所含元件数	$<10^2$	$10^2 \sim 10^3$	$10^3 \sim 10^5$	$10^5 \sim 10^7$	$10^7 \sim 10^9$	$>10^9$
芯片所含门数	<10	$10 \sim 10^2$	$10^2 \sim 10^4$	$10^4 \sim 10^6$	$10^6 \sim 10^8$	$>10^8$

(三)IC 的器件结构分类

1. 单片集成电路(MIC),含硅单片和砷化镓单片,而硅单片中又有双极型、单极型(MOS 型)和 BiMOS 型之分。
2. 混合集成电路(HIC),含薄膜 IC、厚膜 IC 和薄、厚膜 IC 等。

三、数字集成电路设计和生产中的测试

图 1-2 为 IC 设计和生产中典型的测试过程。流程图还特别地标出了生产厂和用户的不同。

同参与项目,这对当前得到特别发展的 LSI、VLSI 更具代表性。

芯片设计阶段,包括制定设计规范、I/O 定时、DC 要求、详细功能描述及划分,进行逻辑设计和可测性设计,利用 CAE 系统提供的模拟器对设计电路进行功能和定时模拟并据此产生测试集。在确认设计已经完成,才可进行大晶片制造。此后利用探针测试和选用合格芯片封装,制成原型 IC(Prototype),然后利用上述测试集进行测试,将合格原型交给用户以施行进一步测试。在前述芯片的探针测试和原型测试中,若出现不好的,则可能是设计或制造过程中的失误,应及时返回相应工序,进行分析和解决。

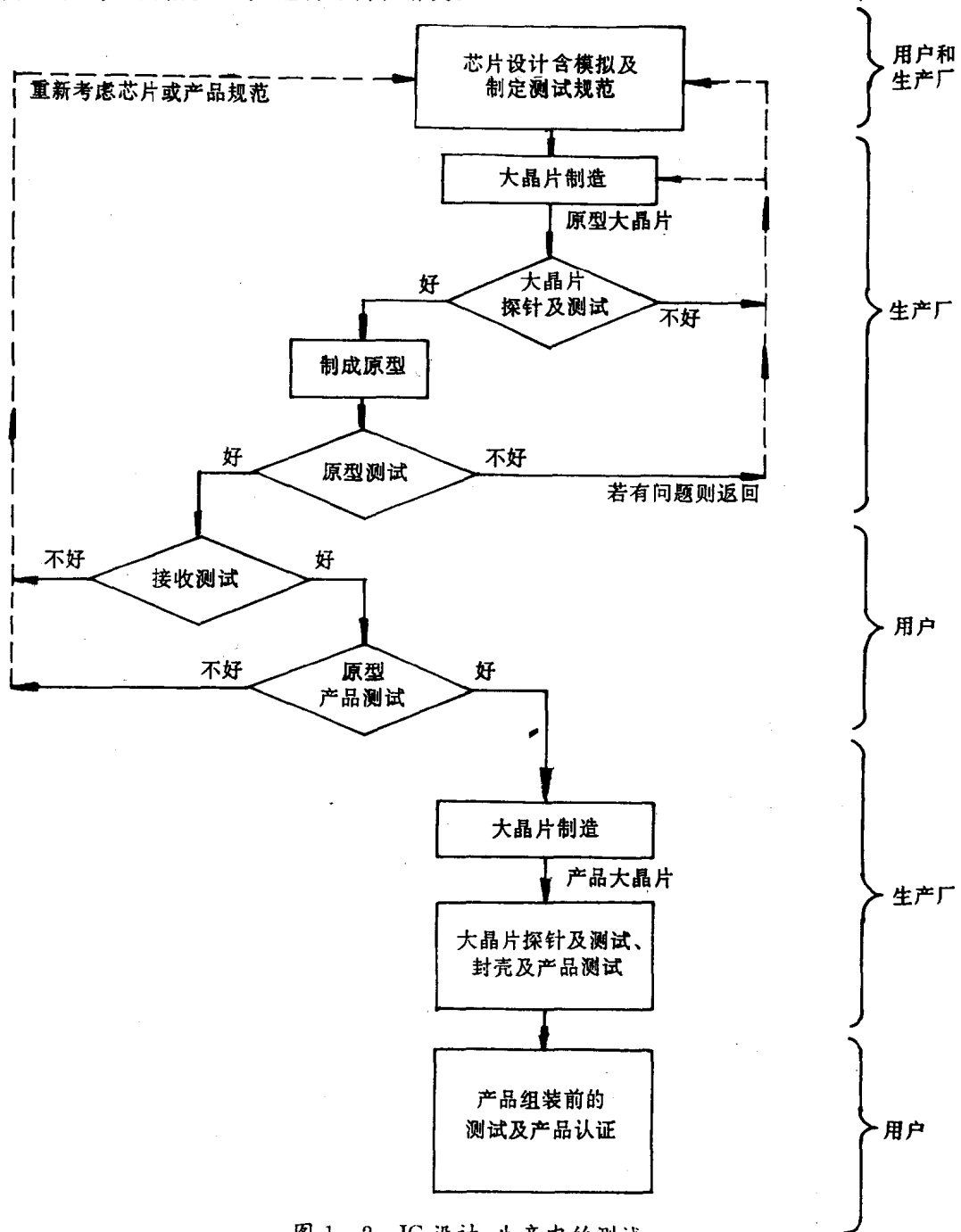


图 1-2 IC 设计、生产中的测试

用户收到原型后要两种类型测试,一是入厂接收测试,看其是否满足用户规范要求;一是产品组装测试,看其是否满足最终产品功能和性能要求。测试中出现的任何不合格现象并非表示该原型有故障,只是说明原型设计和其功能、性能规范与用户最终产品所需要的不一致,心须返回芯片设计工序,对照分析和予以解决。

只有当原型被生产厂和用户同时认可的时候,才能将该设计付诸批量投产。批量制造的大晶片经探针测试、封装、产品测试合格后,提交用户。这个过程的测试是依据芯片设计要求、按规范进行的大量测试,其目的是检测产品内部有没有由于生产工艺原因造成的功能和性能(DC 和 AC 参数)故障。

基于前述流程,测试实际上是在两个不同阶段进行的。在原型测试阶段,测试是基于模拟产生的测试集,测试的目的是确保原型能达到设计的功能和性能要求,通常把这种性质的测试叫设计性测试或称设计验证。在批量生产的产品测试阶段,测试的前提是产品的设计已被认可,着眼点是复杂的生产过程会不会在电路内部造成故障而引起产品失效,测试的目的是经过测试选出合格产品,淘汰失效产品。把这种性质的测试叫生产性测试。

除上述两种测试之外,还有一种叫制造性测试或工艺性测试,用于表征常规芯片制造全部工序都是正确和正常的。比较有代表性的做法是在大晶片预先选定的特定位置,比如在大晶片的中心位置和最外层的四周,插入几个特殊的测试电路,它们与设计生产的电路无关,但具有确定的电阻率或与工艺有关的其他参数,当大晶片制造完成后,先测试这些电路,如果测试结果合格,再对片内大量的设计生产电路进行综合测试,并进行芯片分选。这些插入的小电路常被称为 PED(过程评价器件)、PDM(过程器件监视器)、PMC(过程监视电路)等。

由于复杂的制造工序,生产出的集成电路不能保证是完全没有故障的,这就需要测试。但测试又不可能全部是穷举的,也不可能全部是综合性的,经过测试后的产品仍可能不是完全无故障的。无故障产品合格率越低,穷举测试的比例越小,测试后故障未被检测出的几率就越高。这个关系可以用数学的方法进行分析。若无故障电路产品合格率为 Y (Yield), Y 可取 0(全部电路有故障)和 1(全部电路无故障),及其间的值;测试的故障覆盖率为 FC (Fault Coverage),也称测试效率(Test Efficiency), FC 可取 0(测试不能检测任何故障)和 1(测试可检测全部可能故障)及其间的值;那么,通过测试后仍有故障的电路百分数,即测试后的故障级 DL (Defect Level),以下式表示:

$$DL = \{1 - Y^{(1-FC)}\} \times 100\%$$

按照这个等式,可得出如图 1-3 所示的关系曲线。这个表达式所指出的关系是非常重要的。如果取 $Y = 0.25, FC = 0$,那么当用户使用这批电路时就要考虑到这批电路中的 75% 将可能是有故障的;若提高测试效率,比如取 $FC = 0.9$,那么大约只有 15% 是可能有故障的,即每 7 个 IC 中只有 1 个是可能有故障的。因此,为了确保测试后有很高的无故障比例,就必须提高产品合格率 Y 或故障覆盖率 FC 。

实际情况是,由于集成电路生产工序极其复杂,提高 Y 是困难的,为了保证 DL 能维持在一个可以接受的水平,必须从提高测试效率 FC 入手。另一方面,由于被测集成电路的极其复杂性,使测试效率低(FC 小),有故障的 IC 检测不出来;若要达到 100% 故障覆盖率($FC = 1$),则需进行非常大范围的测试,在通常的情况下,即使想采用这一方法,其测试成本也往往是难以接受的。测试工程师必须从这两难的境地中寻求出路。

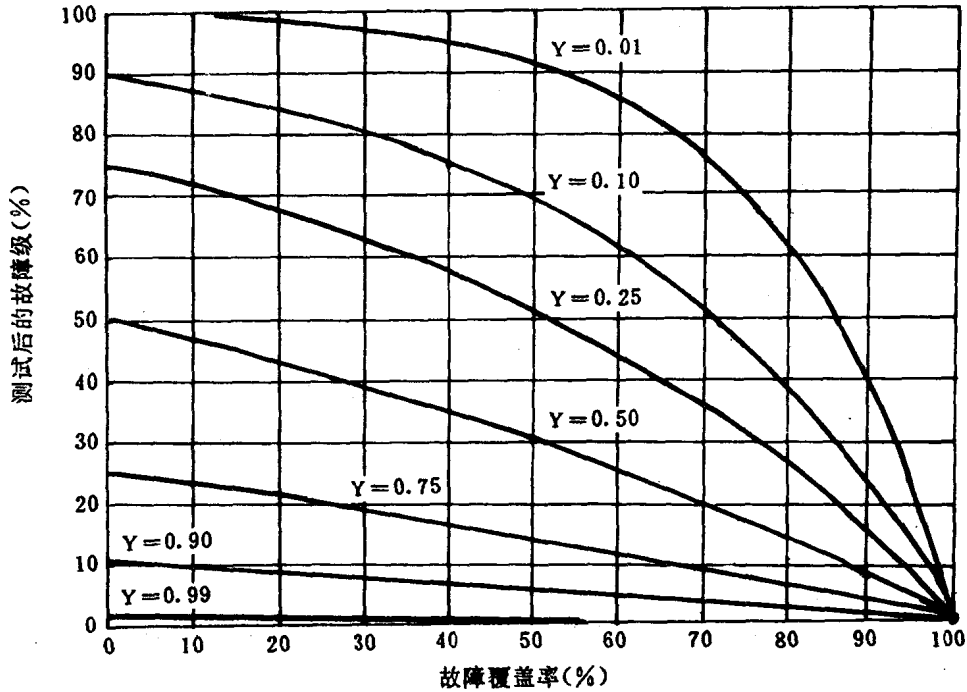


图 1-3 电路测试后的故障级(DL)、不同的生产合格率(Y)和故障覆盖率(FC)的关系曲线

四、集成电路测试的基本原理

(一)测试向量、测试图形和测试集

1. **测试向量(或输入测试向量、输入向量)**: 这是指以并行方式施加于被测器件初始输入端的逻辑 0 和 1 信号的组合。比如有 8 个初始输入, 它的一个测试向量可以是 01101110, 一个测试向量就像一个计算机字一样。

2. **测试图形**: 测试图形与测试向量一样, 只是必须附加上该电路对输入测试向量的无故障输出响应。如果该电路有 4 个初始输出, 与上述输入测试向量相对应的预期输出, 比如可以是 0001, 那么该测试图形为 011011100001。

3. **测试集**: 一个测试集是指一个测试向量的集合。一般地讲, 一个测试集将确定被测电路是否有故障。一个测试集可以是穷举的、小于穷举的, 或者是一个最小数, 这取决于测试图形产生算法。接着上面的举例, 一个测试集可以如表 1-2 所示。

不幸的是上述三个名词, 向量(Vectors)、图形(Patterns)和集(Sets)的含义常被混淆。弄清其确切含义对编写技术报告、撰写论文或阅读不同来源的文件、资料、文章等都是很有帮助的。

表 1-2 8 输入、4 输出组合网络测试集举例

	测 试 向 量								测 试 响 应			
	X1	X2	X3	X4	X5	X6	X7	X8	Y1	Y2	Y3	Y4
第 1 测试图形	0	1	1	0	1	1	1	0	0	0	0	1
第 2 测试图形	0	1	1	0	1	1	1	1	0	0	1	1
第 3 测试图形	1	0	0	1	1	1	1	1	1	0	0	1
.
.
.

(二) 数字电路测试

先考虑如图 1-4 所示测试,它是只包含组合逻辑的简单网络(没有锁存器或其他双稳电路)。n 个二进制输入,穷举测试时需 2^n 个测试向量,即 2^n 个穷举输入测试集,其输出响应必须依这 2^n 个输入向量逐个进行检测。若 $n=20$,则需要大约 100 万个测试向量,并需并行地检测与该测试向量对应的 m 个输出响应。这实际上是一个由 $100 \text{ 万} \times (n+m)$ 个逻辑 0 和 1 组成的巨大真值表,相当于 100 万个字,每字长 $n+m$ 位。 2^n 的说法也有一定的局限性,在 CMOS(互补 MOS)的情况下,每个逻辑门都由 p 沟和 n 沟晶体管对组成,其开路故障是很难检测的,为了进行完全的测试,一般需多于 2^n 个测试向量。

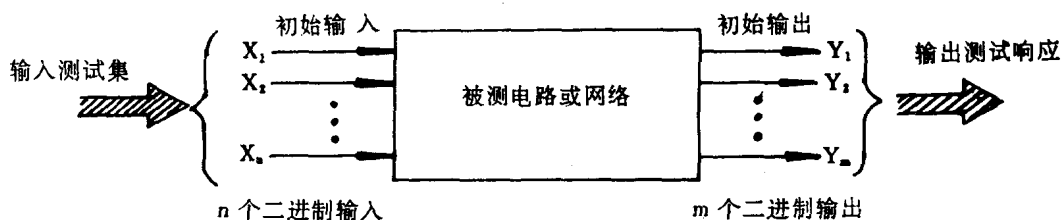


图 1-4 只包含逻辑门的简单组合电路测试

输出响应的检测有两种方法,一是如图 1-5(a)所示,将被测电路与一个已知的好电路进行比较的办法,称比较法,已知的好电路称为“金器件”。这种方法一般适用于比较简单的标准现货 SSI、MSI 等,而对于复杂的电路及专用电路,则采取一种更通用的方法,如图 1-5(b)所示。一般是在计算机的控制下,通过程序生成所需的测试集并存储于测试仪的高速缓冲存储器(称图形发生器)。测试时,随测试主频率逐个读出,将该测试集的测试向量部分施加于输入端,并以测试集的输出图形部分(称预期图形)为标准,逐拍与被测输出的响应进行比较。由于这个方法涉及很大数量测试数据的存储和读出,常称为存储法。实际上存储法也非常适用于时序电路。该方法的优点是可根据测试要求,在确保一定的测试可接受级的前提下,可将一个很长的测试集进行压缩,或者设计一个较小的测试集,这不仅节省了存储容量,且加快了测试速度。

时序电路则包含存储电路和双稳电路,它可以记忆目前的状态,并且能影响网络的下一个状态。包含有 S 个双稳电路的网络,为进行穷举测试需 2^S 个可能的状态组合。当 S 个电路组成

一个单计数器时, 2^S 的算法是很好理解的; 但作为更一般的情况, 若 S 个电路在网络内分散成若干个较小的组或群时, 就不如单计数器那样直观。实际上这时必须考虑逻辑单元之间的桥接故障, 设想它们发生在两个或更多个组或群之间, 显然这时就需要全部可能状态的组合了。

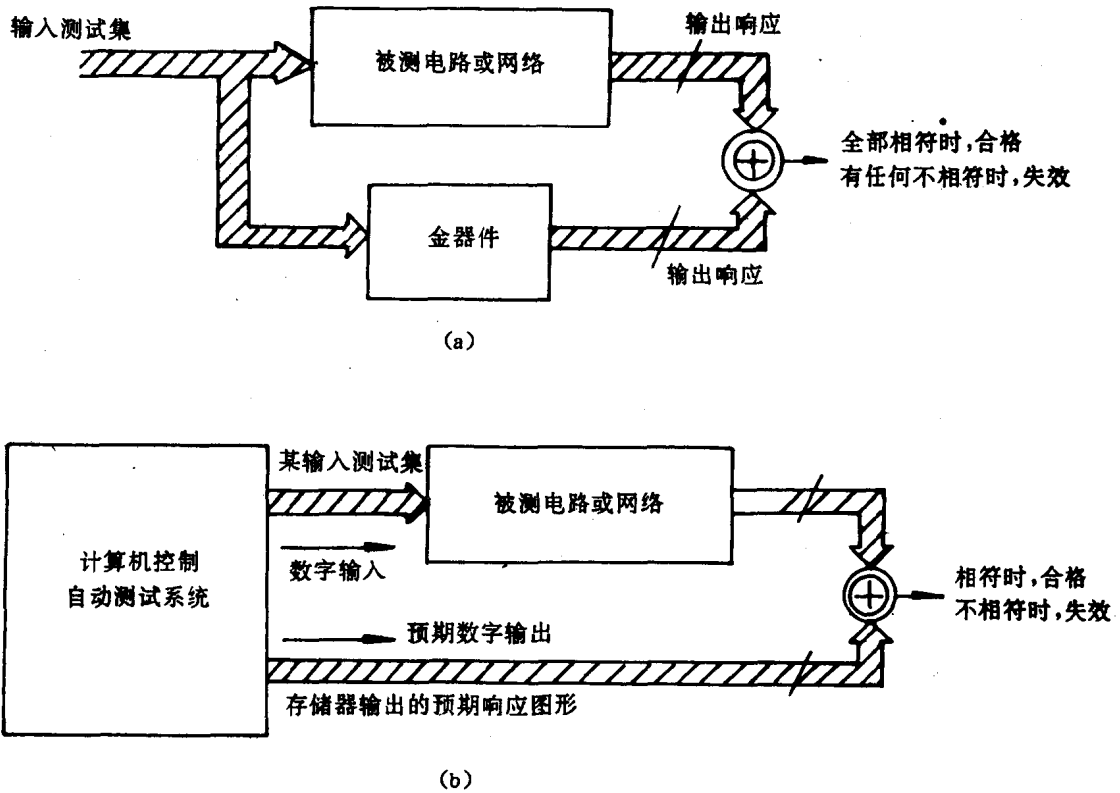


图 1-5 输出响应方法。(a)被测电路与金器件比较,
(b)被测电路与预期输出图形比较。

工程应用电路不可能是纯组合的或纯时序的, 往往如图 1-6 所示, 由组合逻辑和双稳电路等时序逻辑混合构成。这种类型的电路, 除了少数情况, 比如可测性设计的电路, 它们可以在测试状态下将上述两种类型电路分开, 一般必须作为一个整体进行测试。若该电路有 n 个初始输入和 S 个内部锁存器, 考虑到所有输入条件和内部存储的组合, 需 $2^n \times 2^S$ 个输入测试向量, 这是穷举测试所必须的。按照这个算法, 一个简单的 16 位累加器电路, 理论上需要 2^{35} , 即 34 359 738 368 个输入测试向量, 以尽量地列举该电路所有可能输入条件和检测内部存储状态。测试时, 对全部 2^{35} 中的每一个输入测试向量都要并行地检测该电路 16 个输出响应的正确性。对这样一个简单电路来说, 测试图形是太长了, 也太费时。

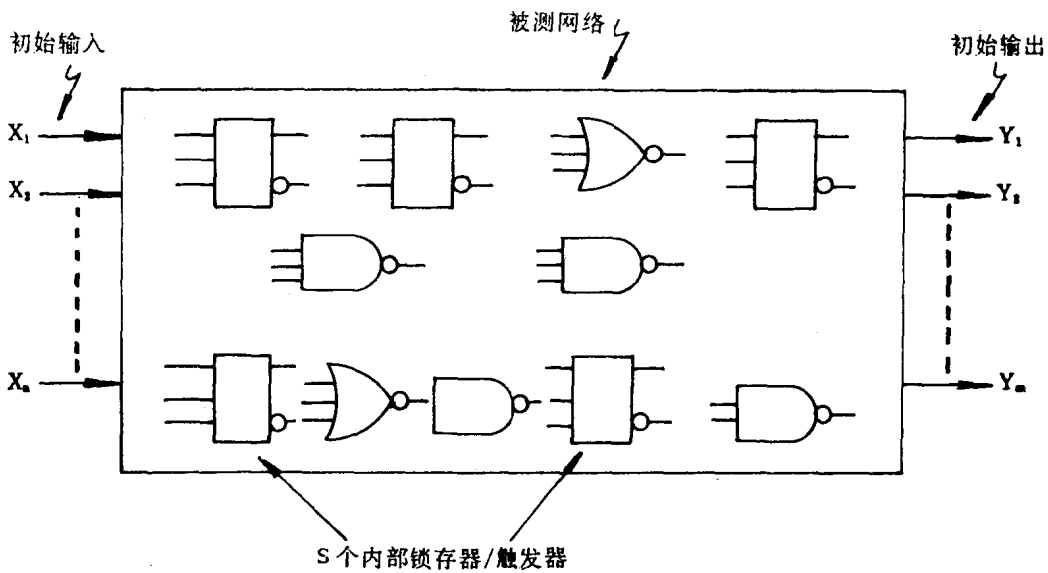


图 1-6 含有组合逻辑和锁存器/触发器的网络
测试时不能直接接触到内部电路的二级端点,只能通过
n 个初始输入和 m 个初始输出来判断。

下面介绍一个常用的时序电路,可以用少于 2^S 个时钟周期(对应 2^S 个状态)就能进行有效测试,这就是移位寄存器电路,如图 1-7 所示。由于该电路在时钟脉冲作用下总是将触发器的状态顺次地传送到邻位,所以只需测试在移位寄存器内逻辑 0 和 1 能不能从头传到尾,以及对每个触发器而言,当其直接邻位总是处于与其相反的逻辑状态时,其逻辑 0 和 1 的状态能否稳定地保持。比如可以选择下面推荐的测试次序:

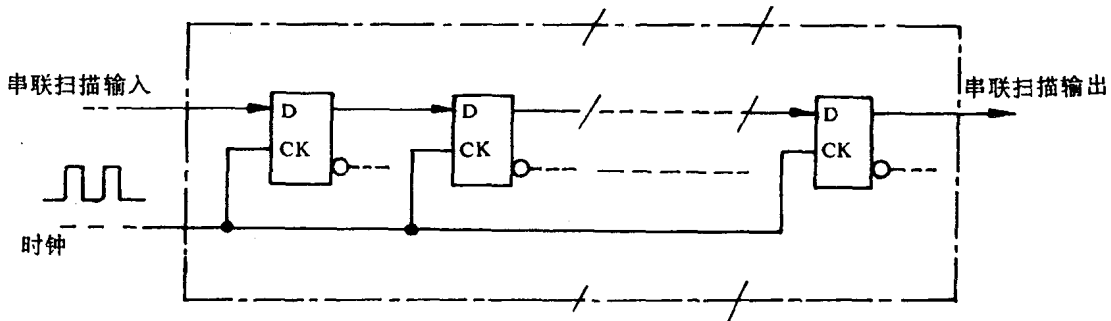


图 1-7 S 级移位寄存器电路
(测试时用一个串联的数据流从左边输入,然后在 S 个时钟脉冲
后在右边输出端处检测,看其与输入数据流是否一样)

- 首先将其清除为全“0”,此后用 $S+1$ 个时钟脉冲移位一个逻辑 1,这就保证了能在“0”域内移位“1”。
- 将其置为全“1”,同上使其正确地移位逻辑 0,这就确保了“1”域内逻辑 0 的移位。
- 移位一个 00110011……图形,以试验每一级移位自己状态和直接邻位状态剩余组合能力。

可以用比 2^S 少得多的时钟脉冲测试移位寄存器,它的这个特性被广泛用于易测和可测性设计的集成电路设计中。