

计算与存贮

专利文摘

上海科学技术文献出版社

2

目 录

R 27、数字计算机	1
R 28、模拟计算机	110
R 34、外存贮器	136
R 35、内存贮器	196

R27、数字计算机

美 国

US4037094 G06f-07/48 0338

单片集成电路数据处理器——包括平行运算部件和几个随机存取寄存器，共用一根总线

计算系统包含有关进行运算处理数据的存贮装置。算术运算可用计算系统实施，系由指令字中预先组合的二进制位分别定义。算术逻辑部件包括逻辑控制装置，用以接收指令，产生响应，所产生的离散信号对应于指令所规定的算术运算。

连接算术逻辑装置来接收输出信号。算术逻辑装置使用几个逻辑门有选择地接至用以存取存贮的数据的存贮装置。算术运算装置用来实施算术运算，它响应输出信号对取自存贮装置中的数据进行有选择的算术运算。算术运算装置集成在单片半导体上，邻接存贮器和逻辑控制器，并通过一根并行总线与之选择地相连接。

71.8.31

77.7.19

US4037202 G06f-11/04 0339

空中发射导弹的数字制导系统——提供运行的适应性、元件偏差的不敏感性和位置测试能力

数字处理机贮存了事先规定的宏程序和用各种元件产生的处理信号，导弹按照上述贮存的程序为其飞行控制机构产生控制信号。存贮器贮存了微指令组，每组对应于组成宏程序的一条宏指令。一个寄存器用来有选择地转接以寄存一条编址的微指令或数字测试字，后者用源串行地外接到导弹。上述装置的导弹数字处理机可通过其内部相当简单

的接口机构方便地得到检验。

75.4.21

77.7.19

US4037204 G06f-09/18 0340

采用大规模集成电路的微处理器——可实施增量计数器与程序寄存器之间传输，不受数据和地址总线的制约

这里所述的中断电路可用于单片 MOS 电路微处理器中。微处理器的输入接收外部中断信号，以中断数字数据处理系统内单片微处理器的操作。

输入接至禁止电路，这电路按加于中断请求输入的中断请求信号拒绝执行下一个写入指令。这也强令代码输入指令寄存器以响应中断请求信号。这代码类似软件等待指令或中断指令的代码。

75.9.17

77.7.19

US4037205 G06f-01 0341

计算机的动态循环存贮器——采用串联环路，接收处理数据的平行指令

数字存贮器由若干连续循环串联的数据存贮回路和若干处理器件组成。每对邻接回路接至一处理器件。这样使每个回路经两个用环路一半长度取代的处理器件连接起来。

每个处理器件都有一个串联比较器和一个回路控制电路。这个电路可用来隔离或交换在两个入射回路上的数据。每一处理器件都有附加电路。处理器件与比较器和控制回路共同构成一个存贮器，具有增减其存贮种类的能力，一种存贮结构重新动态组合能力等等。

75.5.19

77.7.19

US4037209 G06f-07/04 0342
带有逻辑器件的数据处理部件——具有逻辑地址，通过程序转换将逻辑地址变成存储器真地址

将程序逻辑地址转换成存储器真地址的地址转换器有一个第一地址转换器，它的一些入口与 1:1 为编址的程序逻辑地址相对应。第一地址转换器存储与逻辑地址相对应的真地址。第一地址转换器的入口都有数据，它指示着对应于存储在这些入口里的真地址的存储器件的存储区域是否常用于申请。第二地址转换器有唯一的入口，对应于常用存储器件存储区域的任一逻辑地址为一般选中的入口。

75.11.24 77.7.19

US4037211 G11c-08 0343
数据处理机的控制器——有带预置值地址寄存器内容的比较器

地址扩充控制线路用于比地址寄存器内容规定存储器容量还要大的存储器。此存储器的存储区域分成通用部件和容量可变的若干段部件。通用部件和任意一个段部件可以成对使用，以得到扩充地址。为此一个由附加地址寄存器提供的扩充地址寄存器的地址可以事先选择存储器的段部件。

75.12.18 77.7.19

US4037212 G11c-07 0344
启动电源接通期间的寄存器和存储器——用存储器优先启动并用键盘复位

为了存储微程序和控制信息处理系统，信息处理系统有一个存储装置，用来处理信息和可变程序逻辑阵列。用地址寄存器指定可变程序逻辑阵列的程序步地址。控制部件至少有效地使地址寄存器的数字确定为与启动信号的初始值相对应的一个常数值。为了启动存储装置的初始地址，可变程序逻辑阵列包含微程序。启动微程序初始值程序步的

每一个地址由与启动信号初始值相对应的地址寄存器指定。

76.1.20 77.7.19

US4037214 G06f-13 0345
数据处理机存储器取数系统——有地址开关寄存器控制对计算机系统主存储器进行取数的各种方式

在数据处理机内的几段开关寄存器对应于计算机系统主存储器进行取数的各种机器读出型式。处理机地址开关寄存器 (AKR) 包括如下几段：(1) 一段用于指令流出类型的取数，(2) 一段用于源操作数流出类型的取数，(3) 一段同吸收操作数的存入/流出类型的取数相联系。

其他开关寄存器段可以同各自的子通道存入/流出类型的取数相联系。为了选择和控制在对应开关寄存器段内的一个开关，提供了各种取数型式的线路。

76.4.30 77.7.19

US4037215 G06f-09/20 0346
键控制的地址再定位转换系统——有若干键寄存器段并有为指定的块读出标志位的段寄存器

活动的地址键 (AAK) 可转换为在机械主存中的各自的可寻址单元。每一可寻址单元包含一个或几个机械块，散布在主存中。每一地址键代表支持逻辑地址空间的主存储器中的指定的可寻址单元。键寄存器段的各个寄存器可装入相同或不相同的地址键。

对于每一个来自处理机或输入/出通道的存储访问请求，AAK 选择到转换器的电路输出门以及当前的存储访问请求相对应的键寄存器段中的键来决定对该访问请求适用的可寻址单元。每一地址键指定一个或多个段寄存器的特定的栈。每一段寄存器可以被赋予一个任意段 (即位于主存任一地方的

连续的实际地址组成的块)的地址。

76.4.30

77.7.19

US4037210 G06f-15/16 0347

计算机外围接口控制器——允许两个或两个以上处理机同时访问等量的存贮器

该处理机系统采用一个接口控制部件,用瞬时多路方式引导处理机部件与存贮器部件之间的交换信息。任何一台处理机对一台存贮器的访问可以与完全无关的另一台处理机对另一台处理机的访问同时进行。本系统至少包括两个可独立操作的处理机,以及至少包括两个可独立寻址并可独立操作的存贮器。处理机通过接口控制器与存贮器相连。

76.1.29

77.7.19

US4037225 G08c-01 0348

转换单位字段编码——把电滞作用用于数据键盘,使用了最少集成电路

利用电滞作用的键盘编码系统避免了不希望有的键盘冲击输出,如果开关矩阵的某一个开关在上一周期闭合,则电容开关矩阵的这一输出送到已增加其放大倍数的一个读出放大器。上一周期的开关矩阵的开关状态由移位寄存器提供,此移位寄存器具有与矩阵开关相同的级数。读出放大器包含一个比较器,比较器接收两个输入信号,其一表示当前周期开关矩阵状态,其次从移位寄存器接收前一个扫描周期期间开关矩阵的状态。如果从移位寄存器的输入高,则增加读出放大器放大倍数。

75.11.25

77.7.19

US4037782 G06c-03 0349

发动机工作状态计算装置——标刻有每分钟转速,发动机气体温度和外界温度

该计算装置根据发动机特性参数 N_1 , EGT 和 OAT, 这里 N_1 表示发动机气体发生器部件的每分钟转速,用单位 rpm 表示;

EGT 是发动机温度; OAT 是外界空气温度。计算装置包含一个基盘,上面有按预定方向线性增加的 OAT 刻度,用摄氏温度定标。按同一方向线性增加的 N_1 刻度,以及也用摄氏温度定标的第一和第二 EGT 二档刻度,以单位增加并行置放。OAT, N_1 和 EGT 可彼此对照查找,根据彼此对准的 N_1 和 EGT 值查得的每一 OAT 值,出现在基盘的开窗口。

76.7.12

77.7.26

US4038533 G06f-15/46 0350

工业控制处理系统——拥有其输入连到程序指令寄存器的位指示器线路

工业控制处理器的组成成分是:一个用于存贮包含 1/0 映象表和程序指令的多位字读写存贮器。一个连接到读写存贮器的多路数据处理器总线,这样可以传送从读写存贮器读出的字或写入读写存贮器的字。指令寄存器连到处理器的数据总线,它接受和存贮从读写存贮器读出的程序指令,并可以对其进行操作。运算器的第一组输入连到数据处理器总线的各个头。L 寄存器有一组输入连到数据处理器总线的各个头,并且一组相应的输出头连到运算器的第二组输入头。位指示器线路有一组输入连到指令寄存器可以接受在被选到的程序指令中的位指示器代码。

76.9.29

77.7.26

US4038535 G06f-15/02 0351

有选配输出打印机的袖珍计算器——用热敏纸和针型矩阵打印技术

计算器装在一框架里,框架内有些连线连接到里面的打印机械,从而提高了计算器的多用性。计算器和打印机模块之间通信,响应计算器来的指令和数据流去打印选择的计算信息。框架内提供一套多端插头以适应计算器底部的多电路装置。

76.1.5

77.7.26

US4038636 G06f-11/02 0352

数码奇偶译码器——用于同步译码器操作的串行数据输入移位寄存器和计时器

奇偶译码器用来对由数据和奇偶校验位组成的编码数据进行译码。译码器由接受编码数据的串行数据输入移位寄存器和用时钟输入和计时信号输入并与译码器操作同步的计时器所组成。数量移位寄存器接受与编码数据有关的数量数据。计时器接到数据输入移位寄存器和数量移位寄存器。经过计时器的时钟信号引起从数据输入移位寄存器的输入端朝输出端方向将数据输入移位寄存器内的数据传送。

75.6.18

77.7.26

US4038651 G06f-03/14 0353

显示字母数字的小型通信机——在有噪声等环境中接收数字编码的传输

这个小型数字通信机以二进制的形式接收信息，同时通过显示器以字母、数字符号的变动来显示出信息。接收二进制数字信息的装置，利用接收信息脉冲和对通信机产生启动信号的方法发射出一系列信息脉冲，这些脉冲用以表示某一字母、数字符号。启动装置提供一系列的时序脉冲，同时向与其连接的部件发出一复位脉冲。时序脉冲与信息脉冲相关。一个存贮器与二进制数字信息转换为字母数字符号的装置相连，当存贮器接收到复位信号，相关装置就产生一系列的脉冲给存贮器。而显示字母数字信息的装置则与转换装置连接。

75.7.9

77.7.26

US4038652 G06f-03 0354

适用于数字通信的具有密集器和扩展器的线路站——从减少再转换的位数增加最常出现的字

本文研究从发送点联用的信息处理机传送到通信线终端所接收到的固定级字符格

式，例如字长为从高位到低位 $2^7 \sim 2^0$ 的8位字符。取决于较高位“0”的数目产生一个“简短”位 2^8 ，并且无论剩余的1的位数是奇数或是偶数产生一个新的可变的或多级符号。

它与关联的“简短”位在通信线上一道传送。在通信线的接收端采用相反的过程恢复固定级字符格式。

74.5.13

77.7.26

US4039783 G06f-15/20 0355

固态分级发送器——产生传布距离的高电频非对称三相电压信号

固态分级发送器把表示传播距离的两个单相数字数据脉冲串改变成两个三相数字电信号，这些信号适用于外部装置如推算定位追踪程序(DRT)。

SSST分成两个分开的、独立的但又相同的通道——一个表示南北传播距离，另一个表示东西传播距离。SSST与115VDC及28VDC输入一起，接受一个南北速度信号一个南北方位控制信号，一个东西速度信号和一个东西方位控制信号。利用这些输入，SSST产生一个南北分级输出和一个东西分级输出。每个分级输出是三个115V的峰值到峰值的方波信号，它们彼此间相隔 120° 。每个方波信号都有一个变化的频率，它在750次/湮波动处被加权。

76.4.29

77.8.2

US4040028 G06f-09/18 0356

带有输入输出处理机的数据处理系统——有指令处理装置和程序优先性选择系统

数据处理系统包括一个中央装置、一些外围装置以及一些输入输出处理机，它们被平行地接在公共总线上。处理机对一些外围装置和存贮器之间的传输进行集中化处理。

数据交换可以在“程序总线”这一方式下被实现，其中中央装置是系统的主体。或者用“多重总线”的办法，这里交换是由输入输

出处理机按字组的形式控制的。中断系统使用独立于第一条总线的第二条总线，这就使中断向量和数据的同时传输成为可能。

75.5.28

77.8.2

US4040088 G06f-03/14 0357
连接盒式磁带记录器和电视接收器的衔接器——使用组合二进制编码的视频信息和作为单个信号的模拟声音信息

一个标准的声频盒式磁带被用于提供不同类型的二进制编码的视频信息，例如字母数字符号，并显示在标准接收器上，还提供作为单个组合信号的模拟声频信息。

盒式磁带记录器在它的衔接器中有一个耦合器，它用于响应同时来的二进的和声音的传输。这防止在串行传输的模拟声音信息和二进制编码的视频信息转换时咔嚓一声的出现，并且还转换二进制编码的字母数字视频信息，它用于补偿一些标准的电视接收器的有限的视频带宽。

76.2.9

77.8.2

US4041297 G06f-07/52 0358
数字实时乘法器——级数等于操作数的最大位数

实时乘法器能够提供任何期望有效积的位数。乘数和被乘数象串行数一样可同时送入乘法器。积的最低有效位和串行数积的第一位一样提供。希望积的低的有效位禁止送入乘法器并不作为积位出现。这样就允许连续的操作数提供给乘法器，因而在操作数之间不需要等待周期，否则就要允许上一次乘法的全部积从乘法器读出。

73.7.19

77.8.9

US4042807 G06k-13 0359
容许有两个算子的数据卡片阅读位置——卡片可由反向驱动的转移装置的两端送入

文件处理装置容许同时应用两个算子，

它有两个位置，位在一普通文件阅读器的两端。不论在哪个位置文件都可以用传送带送入阅读器，但是只有当文件由第一位置向第二位置运动时才能阅读。

当一待阅读的文件在第一位置加入该装置时，文件通过传送带送至阅读器，然后又回到第一位置。另一方面，当待阅读的文件在第二位置加入装置时，文件不通过阅读器传送到第一位置，然后又回到第二位置。

75.11.14

77.8.16

US4042810 G06f-15/20 0360
铁道火车控制方法——确定机车速度和牵引力，并在驾驶室中随即显示

此设备包括轨道截面和车辆组成的存贮单元和一确定机车组速度的装置。通用电子计算机用来接收车辆组成信息，轨道截面信息，机车速度和机车牵引力，可动态地确定火车的存在，并计算贯穿火车全长的车辆牵引力，而火车沿着轨道行进。

火车的出现和贯穿火车的牵引力都在机车驾驶室中的电子显示屏上显示给司机，帮助司机可以更可靠地和有效地操作机车。

75.7.25

77.8.16

US4042911 G06f-13 0361
外部和异步存贮扩展系统——具有附物理可寻址的组件和可分配给地址键的操作数

可扩展的主存贮器具有物理上可寻址的组件，任何程序和它们的操作数可分配给一个以上的地址键，当此程序利用逻辑组件寻址时，每个键识别一个寻址能力，分配给主存，利用相当全范围寻址的任何程序可用每个地址中的位数来确定，在不超过寻址能力下分配主存贮器。

可扩展的主存贮器包括一内存单元，它是主存贮器的一个必需部分，而另一内存设有一个不大于全范围寻址的规模，内存单元由一个程序提供一些逻辑寻址或物理寻址以

便于使用, 还有一译码器单元, 一主存贮器和一些接口电路。

76.4.30

77.8.16

US4042912 G06f-09/10 0362
缩微胶片数据处理系统——应用具有交互参照的索引的分段记忆装置

为了将一个通用的数字计算机转变为一个基本数据的机器, 可使用一系列硬件/固件原部件, 这里只介绍其中两件。经机器指令增补的两个硬件/固件构成了一组记录器, 这组记录器与基本寄存器 BR 一道, 可以对资料记录进行存取。

在作试件空接运行时, 存取的记录是固有记录, 这时应作一校试, 决定该试件是否有若干记录与固有记录有关联。在作试件接入运行时, 存取记录应加校试, 以决定该记录是否已接入作为特定装置的一部分。

75.6.19

77.8.16

US4042920 G06f-03/04 0363
液晶显示用的多路传输电路——具有由液晶层组成的光阀, 液晶层夹在涂有透明导电薄膜的一对相互平行的平板之间

光阀器件或液晶单元设置在一对电极之间。提供的电压加在字符、数字或其他象段以及它们相对的在特定位置上的薄膜之间, 使光被通过或切断。之所以采用多路传输的概念, 是由于在一给定位置上开关一选择部分的时间周期非常短, 而字符、数字或其他象段信号及表示位置的信号不需重复。开关动作是由一个二极管或单向导电的器件来完成。

76.8.12

77.8.16

US4044237 G06f-15/50 0364
应用俯仰和横滚指令的导弹控制系统——具有决定接至自动导航仪的信号极性的指令逻辑装置

UPSTAGE 控制系统包含三个自动导航仪(4,5,6), 分别控制三个导弹轴, 俯仰、横滚或偏航, 并备有充分的指令和控制逻辑装置, 足以有效地控制一个上升体。本系统的设计特别是为了克服控制轴间强大的空气动力耦合和几何耦合。

这种耦合直接阻碍了导弹情况的改变, 并且/或者在控制一个轴的过程中(当其余一个轴或两个轴的状态有改变时), 感生一个扰动。指令和控制逻辑装置(2)引入一飞行动作, 使得所产生的空气动力耦合的力矩有助于这个所希望的飞行动作。

76.3.16

77.8.23

US4044241 G06f-15/34 0365
自适应匹配滤波器——用计算机计算滤波系数, 连续监视混有噪声的输入信号

滤波器接收电噪声加上信息波形, 在周期性间隔内对波形进行抽样, 每个波形样品的幅值用二进制码表示。数字滤波器接收二进制波形输入样本, 并在输出端形成一个经过滤波的二进制信息。

滤波器有一传递函数, 并用许多二进制常数对它进行控制。输入二进制样本被接收来自动产生传递函数, 控制滤波器的二进制常数。此常数连续地与噪声加信号波形相一致。

72.1.12

77.8.23

US4044331 G06f-11 0366
用于控制数据的数据输入单元——具有关于识别缺陷编码组合的数据记录的悬挂装置

适用于进入/引出记录的数据登记系统包括一个具有特性卡片读出器的终端装置。该系统通过一扩展线接至中心装置, 例如一具有数据处理能力的计算机控制的电话线路开关系统。

终端装置包括一个缓冲存贮器, 用以贮存在线路开关系统在要求服务以前由特性卡

片读出的数据,它又包括一个本地产生的信号,表明特性卡片已阅读无误,还有一个响应由中心系统发出的信号,表示数据已被收到的装置。特性卡片构成了系统的一部分,它是用这样的方式来编码,使它运用的样态表示是否有进入信息或引出信息被记录。

73.7.16 77.8.23

US4044337 G06f-11 0367
数据处理系统的指令重试机构——对于每一个局部存贮地址,备有两个独立可选的多位拷贝存贮单元

这是一种数字处理系统的指令重试机构。在多数情况下,可使带有主存、缓存和局部存贮器的处理系统成为一种因发生了和缓存和局部存贮器有关的硬件出错,而能重复启动,并加以克服的机构。第一拷贝存贮机构用来暂存写入局部存贮器的数据拷贝。对于每一个局部存贮地址,均备有两个可独立选址的多位拷贝存贮单元。其中一个能保存最近一个机器指令周期内,写入该局部存贮地址最新数据的拷贝,另一个能保存包含该地址的最近机器指令周期的前某一周期,写入该局部存贮地址的数据的拷贝。

75.12.23 77.8.23

US4044398 G06f-01 0368
具有电气数据信号的插口键盘系统装置——包括与键控计算器开关并联的开关以及按数据信号而运行的电路

将被计算器(10)处理的电气数据信号由线(20a, 20b 和 20c)收得并贮存在数据缓冲存贮器中。缓冲存贮器贮存数据信号的方式如下:当线(24)上有信号时,数字信号内容分别以整数和小数部分释放至线(22)上。

转移电路(26)接收线(22)提供的数据信号,当线(28)上有控制信号时,它将指示数字的十位值的那些数据信号转移至输出线(30)。通过运行线(12)与计算器开关(操作

法为按下计算器的九个电键)并联的开关电路,电路(16)响应线(30)的信号。

76.1.9 77.8.23

US4045622 H04m-03/26 0369
外围设备网络的监视过程——在监视器线路中采用脉冲变压器消除寄生的直流电压

本文描述的一种方法,可避免外围元件网络的操纵电压的波动去干扰中心电子控制部件的逻辑部分,例如电话转换系统作为外围。该方法是使用沿着双线线路发出再生测试脉冲的信号发生器,并通过变压器耦合到放大器,由放大器传递时间与幅度交错变化的脉冲到一个外围元件网络。

由这些元件的状态来决定脉冲需要再发送或不需再发送到一双极型晶体管的基极,晶体管则打开或闭合一组双线线路,这组线路用变压器耦合到中心控制部件的接收机。

76.4.2 77.8.30

US4047003 G06f-15/46 0370
在机器群控中的通信控制系统——在程序控制器和机器中均有一发送器-接收器对

由发送器-接收器对控制机器群控。其中一对在程序控制器中,另一对在机器内。在控制器一端,发送器发送一系列串行命令信号,而其接收器从机器接收相应的串行回答信号,用这些回答信号修改控制的工作。在机器一端,其发送器和控制器的接收器相连,而接收器和控制器的发送器相连,发送器连接多路转接矩阵的输入端,接收器通过分散矩阵输出它的信号。每一发送器-接收器对,有自己独立的时钟控制,但机器一端的发-接器从属于控制器的发送器。

75.4.22 77.9.6

US4047008 G06l-07 0371
伪随机数列发生器——随机存贮器(RAM)的每一单元贮有位模式或号码

函数发生器访问并读出第一个数。取出第二个数,对第一个数和第二个数进行运算,如“模2”加法,得出一结果。再取出后面的数或与后面的另一数或与上面运算结果进行逻辑组合运算,这些运算可以是相同的也可以是各式各样的,例如可以是“异或”和“与”运算。

这结果形成一个输出数字,写到第二存储单元,更新第二个数,或者把中间结果写到这个单元。在以后各次循环时,把刚刚更新的存储单元作为第一个单元,其下一个单元作为第二存储单元。

76.2.23

77.9.6

US4047009 G06f-15/34 0372

无线电发射机数字音量发生器电路——有附控制输入的数字加法器,受控于发射机键控,并插在数字计数器和发生器之间

数字加法器插在数字计算器和数字音量函数发生器之间。数字加法器有一控制输入,它受控于无线电发射机的微音器的操作或键控。当微音器被键控时,数字计数器信号以基本的数字关系供给函数发生器。

当微音器不受键控时,数字计数器信号以辅助的数字关系提供给函数发生器,以导致函数发生器将它们的输入移位一选定的数字总量,描述期望的角相位移。此函数发生器保持移位条件,并产生数字输出,以产生相位移音量,只要微音器保持非键控。

76.4.19

77.9.6

US4047011 G06f-07/52 0373

用于二进制运算的标准化装置——由同一微型组件的三个阵列用逐次近似法构成二进制商或二进制积

同一微型组件的三个标准化阵列连接在一起用逐次近似法构成二进制商或二进制积。三个标准化阵列中的任何一个都可以用来做两个二进制数字的加法或减法。

为了做除法,一个阵列用来产生一个移位,并加上代表除数的倒数的序列,自最高的一位二进制数开始。正当构成这个加法和移位序列的同时,它又被用来处理被除数,然后构成商数,也是自最高的一位二进制数开始。按照由应用乘法器确定的加法和移位序列处理被乘数(自最高的一位二进制数开始),便构成两个数的二进制积。

75.12.15

77.9.6

US4047013 G06f-15/34 0374

同步数据传输系统的横向补偿电路——采用被传输的有序的序列,让补偿电路系数得以调整至最佳的初值

一个有序的序列被传输,让补偿电路系数得以调整至最佳初值。一个L元件 v_i 的序列 (v_i) ,有一个周期性的自校正函数,只有其中第一个系数不为零,它是从L二进制元件 u_i 的周期性二进制伪随机序列 (u_i) 导出来的。二进制元件 (u_i) 有一个周期性自校正函数,它的第一个系数等于L,而其他各个系数都等于-1。然后序列 (v_i) 通过传输线进行传输,并从所接收的序列导出补偿系数的初值。

76.7.1

77.9.6

US4047159 G06f-03/04 0375

耦合数据源和计算机的传输系统——具有本地和遥控接口单元

数据传输系统用来让计算机与许多成组的数据源进行接口,在一个个别的地址上的每组包含计算机的本地接口设备和每个遥控地址的遥控接口设备。在本地设备中的个别传输设备和接收设备的装置是为了用一双线通道接到遥控装置。

本地设备为每一通道设一缓冲器,以接收输入数据字,在其各个通道内,以位串行形式,每次一个。每个缓冲器依次转态,直至当转态停止时,具有输入数据字的缓冲器

被定位为止。

75.7.8

77.9.6

US4047161 G06f-09/19 0376

数据处理机控制的组织系统——应用译码电路由记忆和转移组件选择状态电平程序块送入寄存器并执行任务

每一种任务，就有一个电平情况程序块；电平情况程序块贮存在主存贮装置中，每一个程序块具有地址和在受控环境中执行任务所需要的情況数据。当执行一个负载电平情况程序块的指示将选定的一项任务的电平情况程序块由存贮装置转移到选定的寄存器组时，受到控制的是一个电流电平寄存器、一个选择电平寄存器、一个不定电平的寄存器和一个正在动作的二进制单位的闭锁。

选定任务的分程序的正在动作的二进制单位的情况以及电流和选定任务的相对优先电平也决定了。一个随动装置处理任务调度、优先权、编队、散队等功能。执行存贮电平情况分程序指示将选定任务的电平情况分程序由寄存器组抄送至存贮装置。硬件预备的各寄存器保留了电流寄存器的某些修正了的情况。

76.4.30

77.9.6

US4047201 G06f-03/04 0377

数据处理装置的输入输出系统——采用并、串行转换和在双向收发装置之间进行数据传送

输入输出系统用于具有中央处理机的数据处理系统中。中央处理机包括一个与输入输出总线相接的输入输出移位寄存器装置。该输入输出装置包括一个中央处理收发装置和外围设备收发装置。设备收发装置与一个控制器相接。中央处理机、中央处理收发装置、设备收发装置和设备控制器主要采用MOS电路，而每个部件分别做在各自的晶片上。该系统具有设置多个设备收发装置

与控制器的能力，这些装置与控制器所对应的外围设备位于离中央处理机不同的距离上，依靠一个时钟和数据传输装置，可以不管传输延迟、失真和数据歪斜而保持精确的数据处理。

76.2.27

77.9.6

US4047243 G11c-09/06 0378

改变程序开口大小的段替换机构——是带有虚拟存贮器的数据处理系统的一个部件，包括处理机、主存、辅助存贮和传输通道

每一种处理机总有各种办法来测量处理机的处理时间，以及使通道按页面差错情况从辅助存贮器向主存传送可变字段或固定字长页面的通道数据传送时间。在处理机中提供一程序表，保存供现行程序使用的位于主存的页名。再附加一页面替换机构，向主存传送供现行程序使用的新的页面，替换最近最少使用的页面，每一程序表单元用一计算器或寄存器，记录虚存失效之间的平均时间间隔。

75.5.27

77.9.6

US4047245 G06f-13 0379

存贮程序式数字处理机的间接存贮选址部件——在CPU的地址输出寄存器和存贮器的地址输入之间加一转接器

在中央处理机的存贮器地址输出寄存器和存贮器的地址输入之间，加入一转接器。若干个存贮单元专用于间接选址功能。当选到一个这种单元时，译码器停止CPU，而存贮器取出这一单元的内容，该内容为所需数据的地址。从存贮器读出此地址，并存入寄存器。转接器将此寄存器的输出端送到存贮器的地址输入端。于是此存贮器就选择所需数据的实际单元，CPU就从存贮器中读得所需数据。

76.7.12

77.9.6

US4047248 G06f-03/14 0380

联结表数据编码方法——应用存取数据(数据贮存在16个字符的字组中)的控制系统以作影象显示

数据排布为8个二进制位的控制字符和8个二进制位的数据字符,并以一联结表结构贮存在一随机存取的记忆装置中。控制装置存取以16字符组的形式贮存在记忆装置中的数据,并鉴定存取的信息,究竟是代表待显示的数字、视频放大数字,还是程序执行路径改变。

每一2字符的联接对下一个16字符组的数据和控制信息提供一个地址指示器。可显示数字一行中第一个字符组与上一个可显示的行以及下一行待显示的字符有关连。控制装置将内部硬件的功能和经程序逻辑增补的联结表编码结构结合起来,用以提供显示和控制字符的识别,数据存取的地址修正,影象显示放大和其他字符组的选择。

76.3.11

77.9.6

US4048477 G06c-03 0381

手动的重量控制计算器——有可相对转动的圆盘,用来指示规定初始重量和重量损失情况下所需的食物的卡数

手动重量控制计算器使个人能迅速而精确地确定每日最大的食物卡数,并考虑到是保持体重,或是每周减少规定的磅数。计算器包含一个主盘,它有径向排列的行,显示出安排在它的表面上的每日卡数。

一个小直径的副盘加接在大盘的中间,使得它们相互间可作相对转动。小盘包含一个观察窗,它可有选择地与安排在大盘上的特定径向行对齐。小盘包含一个行标题,它包含一个有关个人活动水平的特征,例如“非常有活动能力的”,“有活动能力的”或者“固定不动的”。

75.12.19

77.9.13

US4048480 G06f-15/34 0382

具有高光谱纯度的数字信号发生器——略去不需要的谐波并应用基本的重复二进制信号

非调谐二进制序列的发生器具有 N 比特(二进制数位),又根据模式 $p_1, p_2, \dots, p_m$,阶数为 $k_1, k_2, \dots, k_m$ 的谐波都等于零。该模式系由一个具有 N' 比特的起始非调谐二进制序列导出,而根据模式 $p_1, p_2, \dots, p_{m-1}$,阶数为 $k_1, k_2, \dots, k_{m-1}$ 的谐波都等于零。

发生器包含一个计算等于数字 N' 和乘积 $k_m p_m$ 的最小公倍数的数字 N 的单元。一个单元由具有 N' 比特的起始非调谐二进制序列导出一个中间二进制序列,所用方法是用一个后面跟有 $(N/N') - 1$ 零比特的一比特来替代起始序列的每个一比特,而又用 N/N' 零比特来替代起始序列的每一零比特。

76.4.30

77.9.13

US4048481 G06f-11/04 0383

数据处理系统的诊断测试——用带有外围线路的可编程序只读存贮器的微程序部件来检测错误

本设备采用只读存贮器,存放微指令和数量有限的基本位组态信息。此种仪器受外部控制信号控制,确定从控制器内的数据回收设备应该接收的同步数组,并确定从控制存贮器中取出的基本位组态信息生成及以预定格式安排的数据图案。同时,禁止与磁性介质的正常信息传送。对通过回收设备送来的每个位组态数组的处理过程中,开动数据回收设备中的出错指示记录线路。

74.12.17

77.9.13

US4043633 G06f-03/14 0384

高温环境的液晶驱动装置——使用特殊的矩形脉冲电压

本装置能够把液晶提高到较高的环境温度工作,同时使能驱动液晶工作的矩形脉冲的重复频率提高。电压加在用液晶隔开的电

极间。矩形脉冲电压具有 b_3/b_1 的绝对值, 其中 b_3 表示三次谐波成分的幅度, b_1 表示基波成分的幅度, b_3/b_1 小于 $1/3$ 。

75.3.12

77.9.13

US4048672 G06f-03 0385
用于数据处理机外围选择的开关矩阵——采用开关连接把数据处理机和外围设备联接起来, 并用显示矩阵指示联接情况

一块指示面板具有按行列排列成矩阵图形的指示元件去模拟开关矩阵, 每一列表示一种类型的设备、CPU、或外围设备, 而每一行表示各种类型的具体设备。与每一行和列联系的是一个人工操纵的开关元件, 在开关元件与座标驱动器之间, 每一个座标驱动器有一两个输入端的门, 其中一个输入来自行, 另一输入来自列。当对应于行与列上的开关由人工操纵而同时动作时, 在门上的符合信号使该座标驱动器连往所表示的设备上。

76.1.5

77.9.13

US4050058 G06f-03 0386
并行运行的微处理机——采用三级逻辑门电路, 使得微处理机元件在单次的时钟周期内可以接入或解列

高度并行的微处理机采用逻辑选通结构和微指令构造, 它容许由每个微处理机元件直接向三母线系统存取信息。由一单相时钟决定操作, 在此期间全部微指令均付之执行。

此系统进一步允许微处理指令重迭操作, 当执行即时指令时, 允许取出下一道指令。还打算应用通用的非专用寄存器, 以省略多相计时。

75.10.24

77.9.20

US4050060 G06f-09/20 0387
等运算数地址空间控制系统——在数据处理系统的主存贮器中对可选择的处理器寻址能力进行控制

等运算数空间 (EOS) 系统藉助于在处理器地址键控制寄存器 (AKR) 中的不同的地址键, 对寻址能力进行控制。执行指令, 和它们的发型和收型操作数可在 AKR 中有不同地址键, 从而有不同的寻址能力。

当启动时, EOS 控制器迫使每个源操作数取出发生在 AKR 中特定的接收操作数寻址能力之内, 即使 AKR 显然对源操作数包括一个不同的寻址能力。当 EOS 的特色丧失时, 包含在 AKR 中的源操作数寻址能力在检出源操作数时得以利用。在 AKR 中的一个 EOS 的信息组存入处理机, 可不管 EOS 状态是启动, 或是截止。

76.4.30

77.9.20

US4050095 G06f-15/16 0388
数据处理器呼叫负荷分配系统——包含计数器和存贮器, 把呼叫的地址记录在单元中

此系统在两台计算机间分配到达呼叫的工作负荷。此系统应用存贮器记录呼叫总数, 在给定时间周期内由两台计算机的指定一台进行处理。

第一个收到的呼叫送到一台计算机。当呼叫数实际上由一台计算机处理时, 已经收到下一个呼叫, 又送到第二台计算机进行处理。当确实达到需处理的总数时, 系统复位到初始状态, 并重复此循环。

76.3.1

77.9.20

US4050096 G06f-01/04 0389
微处理机脉冲展宽系统——具有随机存取和只读存贮器和接口适配器电路, 耦合于双向母线

数字系统包含采用单片 MOS 电路的随机存取存贮器 (RAM) 和只读存贮器 (ROM)。外部接口适配电路用作计算机的主要部分, 而耦合于一条公用的双向母线, 它与一微处理机相连, 并受微处理机单元 (MPU) 控制。

在数字系统中, 由一个展宽时钟信号脉冲的逻辑电路完成在公用的双向母线上的数据传递。每当存贮器地址被访问, 信号脉冲就加到微处理机基片上, 并比起与脉冲宽度一致的时间来, 有一较长的存取时间。此脉冲通常加到微处理机上, 以便影响它们的运行。

76.7.8

77.9.20

US4501356 G06f-05 0390

键盘控制数据变换器——具有用于将输入数据贮存入存贮装置的、响应单位指示键所产生的信号的控制单元

用于转换一个包含一个基本单位的数据的数据和一个基本单位的数据的装置具有数据输入设备。接上一个运算单元以接受来自数据输入设备的输出数据, 同时还包含一个存贮装置, 运算单元的输出便存放在这里。单位指示装置产生相应于输入数据各个单位的信号, 又有一个控制装置响应单位指示装置所产生的信号。

控制装置包含一个当单位指示装置产生一个相应于输入数据的基本单位的信号时, 将输入数据存入存贮器的装置。当单位指示装置产生一个并非基本单位的单位信号时, 有一个设备使运算单元将并非为基本单位的输入数据的单位变换为基本单位的数据。有一个设备使运算单元作加法运算, 将变换了的数据与存放在存贮装置中的数据相加, 又有一个设备将加法运算的结果存放在存贮装置。

76.3.25

77.9.27

US4051605 G06f-15/16 0391

两台相连的教学计算器——产生数学题目, 让使用者在键盘上送入答案去点亮红灯或绿灯和记分点

教学计算器产生描述需要求解的题目的参数。使用者用智力解题, 并把题目的答案插入计算器。如使用者正确地解题, 计算器

使一绿灯发光, 并显示出有正确答案的题目。如果使用者回答不正确, 计算器显示出一个出错信号。使用者第二次尝试去解题, 并且如果他再次失败, 正确的答案突然出现, 并显示一个新题目。计算器记着使用者已经答对的问题的个数。这种计算器可与另一台相同的教学计算器竞赛而运行。

76.9.7

77.10.4

US4052598 G06f-15/46 0392

快速响应的控制系统——设有增益控制电路和积分器, 并采用直接变换输出的电路, 以克服积分器的延迟

控制系统包含一增益控制电路, 用来调整输入信号的增益, 以提供一增益控制信号, 给出一输出信号。

一基本电路对特殊条件起反应, 用来改变增益控制电路的增益, 而辅助电路对同样的条件起反应, 可不依赖于增益控制信号而改变输出信号, 比起单独改变增益控制信号可完成的速度来, 它可更迅速地改变输出信号。用这样的方法, 可克服积分器的固有延迟。

76.5.3

77.10.4

US4052602 G06f-15/20 0393

起重机自动负载监控系统——具有与带可编程序存贮单元的逻辑电路一起工作的信号发射器

一个负载拉力变送器、一个吊杆角度变送器和一个吊杆长度变送器实际可行地接至一伸缩可变的吊杆长度和起重物上。响应每一个变送器的信号的吊杆负载、吊杆角度和吊杆长度的模拟信号控制逻辑装置接收、放大和变换这些信号为相应的数字信号。

用从若干个选出的存贮电路中的一个读出的数据对这些信号进行连续不断的处理(根据在应用中起重机的组态而得到的信息便贮存在这些存贮电路中)。用来分别运行

数字半径读出装置、容许负载读出装置以及实际负载读出装置的控制逻辑产生出了数字输出信号。

75.8.14 77.10.4

US4052604 G06f-07/50 0394

高速二进制全加器——在求出低有效位的和之前能够传送任何进位

为了使加法器得到最佳的工作速度,二进制加法器在每一位中采用了独立的求和电路和进位电路。低有效位的进位计算与相应位的和无关,因此,在求得低有效位的和之前,允许进位传送到更高的有效位去。

为了防止与低有效位有关的信号影响高有效位电路,在二进制加法器连续位之间用器件加以隔离。

76.1.19 77.10.4

US4052605 G06f-15/34 0395

非递推的内插数字滤波器——应用等于输入抽样频率整数倍的输出抽样频率

非递推的内插数字滤波器产生输出信号抽样,输出抽样频率为一定值,并且输出信号抽样以预定的方式与输入信号抽样序列相关。该装置有一输出抽样频率,它等于输入信号抽样频率的整数倍。

为了使滤波器中存贮装置的存贮容量得到更充分的应用,应用了属于不同集合但是属于同一抽样时间间隔的脉冲响应中两个抽样差值的乘法系数表示法。

76.5.25 77.10.4

US4052702 G06f-05/04 0396

控制材料处理系统的微处理机——包含接口电路,使微处理机与并联或串联通道的外围设备相连接

本设备将控制材料处理系统的微处理机与许多串联和并联通道的外围设备相接口。微处理机可有选择地与同微处理接口的若干

并联或串联通道外围设备保持联系。

串联通道通讯的设备可在八个标准波特速率的任何一种情况下进行工作,目前已用于工业中。此设备还装有一相对时间电路,可自动地使存贮恢复机构关闭,以便当机器失效时,完成在预定的时间增量内的指定任务。

76.5.10 77.10.4

US4052704 G06f-07/04 0397

存贮器的记录和检索系统——应用在检索寄存器中的三个被探索的数据页号进行正向和逆向探索

此存贮管理系统提供的检索逻辑电路,用来探测在移位寄存器的存贮器中的位并行,页串行存贮的数据页。并用来将这些页移至文件首部位置。当文件的首部占用了存贮器中的一个输入/输出站时,存在第一方向变化。当页末与第一逆行位置的检索相一致时,就存在第二方向变化,这样就可找到在正向和逆向之间检索选择元。三个被探索的数据页的页号被送入三个检索寄存器,并与每页的页号比较,在此同时,它移位进入存贮器的输入和输出站。当找到此页时,就更换页码。

76.12.20 77.10.4

US4052705 G11c-13/04 0398

响应辐射能的逻辑数字单元——象平面用于两个二维输入辐射能量场

用于两个二维辐射能计算机的记忆装置贮存辐射能数字信号(它们以标上数字的行和列标志)的输入阵列中的数字信息。

记忆装置包括一个辐射能逻辑存贮装置,它有一对用以接收一对不同的辐射能数字信号阵列的输入面配置以及一个适于传送辐射能数字信号阵列的输出面配置。一个再生反馈装置以一种引起再生反馈的方式将输入面配置中的一个耦合至输出面配置。

76.2.13 77.10.4

US4052719 G06f-03/14 0399

带存储器的电视接收机——收集和存贮单独从视频信号中接收来的呈编码信号形式的信息

解调的电视信号取自接收机的发射极输出器的点,而接收机是调到这个信号上的。这个信号包括6兆赫频率调制音响,它用滤波器滤波。此信号被放大,然后提供几条75欧视频馈线。同步分离器从进入的解调信号中导出线和场的比例定时脉冲,它被用于系统的各部分。一视频馈线通往该部分,为了简化起见,可视为一视频开关。一辅助的视频馈线通过一个电文加法器。此电文加法器把受控的总电流加到这种视频信号上,使字幕对应于这个视频通路,并且有效地迭加在图象上。

76.5.3 77.10.4

US4053739 H03b-03/04 0400

双模量可编程计数器——用贮存在存贮装置中和预置在二进计数器中的两个二进制数之和除输入信号频率

计数器用两个二进制数(A和B)之和除输入信号。每一个数都贮存在存贮装置中。这两个数交替地预置入一个二进制的计数器中,该计数器同时也接收输入信号。

一个逻辑门监控计数器输出,当早先预置在计数器中的数字等于累积读数时,逻辑门改变状态。门状态的转变被用来以一个交替的贮存数字预置计数器。因此,那种由逻辑门的输出表示输入信号被A与B之和除的过程得以继续不断。

76.8.11 77.10.11

US4053747 G06f-15/06 0401

电站用数字计算机控制中心——采用一台控制计算机和一台备用计算机

包括一台蒸汽发电机和一台汽轮机的一座发电厂在有冗余的两台数字计算机系统控

制下运行。转换设备用来使一台计算机经过接口设备联到蒸汽发电机和汽轮机以及发电机受有程序的计算机控制。在计算机之间建立数据传输装置,以从控制计算机到备用计算机传送人工/自动状态和其它所需要的数据。

当某个硬件或软件发生故障时系统提供检测和将控制传送给备用计算机。备用计算机跟踪控制计算机,因此控制计算机传送能可靠地进行,而不妨碍发电的进行。

73.11.6 77.10.11

US4053750 G06f-07/38 0402

低噪声信号处理机——在顺向电路馈电中应用通常的滤波器以改进误差校正并减少附属的硬件和软件

信号 $X = F\{x\}$ 通过混波器(12)输入至具有增益G的直流放大器(11)。输出信号 $Y = F\{y\}$ 则通过具有增益F的反馈电路(13)而送回至输入端。符号 $F\{\}$ 表示出现在花括号中的量的富里哀变换。输出信号Y包含有不希望有的放大器(11)误差。在一个混波器、乘法器、加法器或减法器中,输出信号X和FY组合,并在放大器(11)的输入端产生误差 $\epsilon = X - FY$ 。

总增益 $H = Y/X$ 由 $H = G/(1 + FG)$ (1) 给出,而由于放大器(11)的误差 ΔG 和由于反馈电路(13)的误差 ΔF 而产生的总误差

$$\Delta H = \Delta Y/X \text{ 则由 } \Delta H = \frac{\Delta G - G^2 \Delta F}{(1 + FG)^2} \text{ 给出。}$$

增大FG的乘积可以减小反馈放大器(1)的总误差。但是,这样做也减小了总增益H。唯一可行的改进方法便是减小各别的误差 ΔG 和 ΔF 。

76.5.10 77.10.11

US4053753 G06f-07/38 0403

电子计算机编码单元——将编了码的键输入传送到数字数据的寄存器以及键盘输入运算

数的运算单元

键输入控制单元(1)用一个编码器将键输入编码;编码器通过数字键入数据线 L_1 将键码送入寄存单元(2),并通过键入运算数线 L_2 将键码送入运算单元(3)。

线 L_3 通过一个运算单元所提供的定时信号,根据该定时信号,控制线 L_1 和 L_2 上的信号输出。线 L_4 将来自运算单元的指令送至寄存器。线 L_5 将来自寄存器的,例如,“进位”信号或类似的信号送至运算单元,线 L_6 为一条输出线,实现寄存器(2)中内容的显示或打印。

76.3.19 77.10.11

US4053754 G06f-07/38 0404
多路强度调制扫描的循环处理——沿着整个信号长度,用有效的综合把信号增强

在每个时刻 t , $k_i = 1, 2, \dots$ (一般是等间隔的), 其中出现一时间间隔扫描, 或许显示出几个脉冲(加上一个起始脉冲或同步脉冲)、但只有其中一个脉冲表示信号。在某一时间段内, 电流输入信号超过阈值, 这个时间段才定义为一脉冲。另外, 由于衰减的结果, 这种信号甚至在几次扫描中都不能出现。

此设备利用了信号缓慢变化的性质, 并相对于干扰脉冲对信号进行增强, 根据脉冲链的长度, 对一个脉冲进行加权或计算, 而给定的脉冲是最新的部分。事实上, 当路径是由离散点做成时, 一个链指的就是从这次扫描到下次扫描的连续路径, 在一次扫描中属于最长链的脉冲将具有最高的记录。

76.6.23 77.10.11

US4053793 H03k-19/08 0405
几个逻辑电路的组合作——用来实现不同的逻辑功能, 并包括斯密脱触发器控制元件

此模块式逻辑电路能够执行许多不同的逻辑功能。此电路的第一部分包含逻辑元件, 用以接收输入脉冲信号, 并响应从一个

间隔控制电路接收来的信号。它产生一个与输入脉冲有关的输出脉冲, 输出脉冲有时间位置与/或长度, 而输入脉冲是取自控制电路的信号数值的函数。

电路的第三部分接收输入脉冲, 它与第一部分的输入无关; 第三部分的逻辑电路接收来自控制电路的输入信号, 并产生一个输出信号, 它的长度与/或时间位置与输入脉冲有关, 并由来自控制单元的信号所确定。

76.3.25 77.10.11

US4053871 G06f-07/20 0406
用输入数据组来对数据进行修正和比较——由二维表格存贮输入数据组

基准数据项以逻辑整体的形式记录在一个二维的存贮表中, 每列一个整体, 每行包括每个基准数据整体的同阶数据元。数据流的元与包含在表的行中的元进行并行地和依次地比较, 这是按照由逻辑单元提供的一个主要功能。

每一时刻, 将比较结果与预先得到的结果进行综合(或者, 就主要比较结果而论, 用一组初始状态的寄存器, 典型地为一组明显的全真状态将主要结果传给下一个综合步骤, 这一步通常是主要的有意义的综合步骤)。按照由一个辅助的逻辑单元所提供的辅助功能, 在最简单情况下, 由最后的比较给出这种方法的结果。

75.12.4 77.10.11

US4053944 G06f-01/04 0407
用微处理机控制信号图象探测器——设有磁盘外存贮器的控制器, 接收来自倍频记录盘外存贮器的信号, 产生时钟脉冲和数据信号

用倍频磁记录器产生的信号由受控的逻辑线路接收, 并由来自微处理机的一系列程序指令所传感。一特殊的信号图象作为一地址标记是已知的, 它是散布的时钟脉冲信号和数据信号的唯一图象。此图象是唯一