

北京图书馆藏

31915

中文资料

编号: 78103

江苏电子

◀ 内部 ▶

专题资料

半导体器件与工艺

11

赠 阅

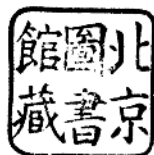
江苏省电子工业综合研究所

T 7.13
12
2

(1985)

目 录

半导体集成电路逻辑单元的发展与展望·····	(1)
半导体数字集成电路的发展与动向·····	(13)
MOS集成电路及其发展状况·····	(21)
玻璃半导体主读写存储器简介·····	(41)
CMOS八段译码器研制·····	(44)
功率驱动电路的特性及应用·····	(59)
用单点扩展电阻探针测量硅电阻率·····	(72)
低温成核对多晶硅膜性质的影响·····	(78)
MAOS结构互补集成电路的研制·····	(82)
电子手表概述·····	(94)



A792688

半导体集成电路逻辑单元的发展与展望

南京大学物理系半导体专业 鲍希茂

引 言

逻辑电路是集成电路的主流。它发已迅速,种类繁多,应用广泛。随着集成电路的发已,人们对半导体材料,集成电路工艺和半导体器件结构作了深入细致的研究。除此之外,还有一个十分重要的课题,就是集成单元电路的研究。

一台计算机,不管线路如何复杂,都是由一些简单的重复单元——集成单元电路——组成。

集成单元电路可分为两类:一类是存贮单元,另一类是逻辑单元。下面我们想讨论一下逻辑单元电路的发已过程和今后的发已趋势。

“与”“或”“非”是计算机中三种基本逻辑关系。与这三种逻辑关系相对应的电路就是与门电路、或门电路和非门电路(反相器)。从原则上讲,一台电子计算机可以全由一种门电路(与非门或是或非门)构成。

表征一个门电路的优劣有各种参数,而最重要的是延迟时间 T_{pd} 和功耗 P 。对一种电路来说,时延与功耗之积在很大的范围内是一个常数。

在集成电路的发已中,作为两种主要形式,双极型和MOS型一直是相互竞争又相互促进。

集成电路发已追求的总目标,应当是使速度、功耗和集成密度等各方百性能不断提高协调发已。但是在集成电路发已的前期,由于工艺水平较低,集成度不高,功耗问题不很突出。所以在这一段阶,单元电路发已中提高开关速度成了一个主要目标。因此,只要抓住开关速度就可以把这类繁多而且看来杂乱无章的各种单元电路形式串起来,看出它们的发已过程。

一个门电路的延迟时间可以用式(1)表示:

$$t_{pd} = K \frac{1}{g} \Delta V \cdot C \quad (1)$$

式中: g —晶体管的跨导

ΔV —电路的逻辑摆幅

C —电路总的等效电容

K —与电路结构及其工作状态有关的比例系数

上式表明,要提高电路的开关速度,一方百要改进线路形式,另一方百要提高管子的跨导。下面我们就从两方百来讨论一下MOS型和双极型两种集成电路的发已。由于单元电路的形式繁多,这里只讨论一些应用广影响大的电路。

MOS 场效应逻辑单元电路的发展

早在三十年代,在场效应理论的基础上,已出现了场效应放大元件的概念。但是MOS型场效应晶体管在六十年代初出现了平层工艺之后才研制成功。同时 MOS 集成电路的研制也开始了。

MOS场效应晶体管是一种自隔离元件。MOS集成电路无需专门的隔离技术。此外,在MOS集成电路中采用MOS晶体管作为负载,而避免了百积大功率高的扩散电阻,MOS集成电路是一种集成度高功耗低的集成电路。

但是MOS集成电路的速度低于双极型集成电路。最主要的原因是 MOS 场效应管的跨导 g 小于双极型晶体管。一般在集成电路中MOS场效应管的跨导只有数百微姆欧($\mu\Omega$),而双极型晶体管的跨导为数十万微姆欧或更大。也有一些MOS单元电路速度低是线路形式所决定,即式(1)中的 K 值很大。

为了提高MOS集成电路的速度,必须从改进电路形式和提高晶体管的跨导两方面入手。

一、电路形式的改革

MOS门电路是在反相器上增加“或”输入端或是“与”输入端而构成的。所以 MOS 集成电路中最基本的单元电路是反相器。电路形式改革的目标一直在追求一个理想的反相器。理想反相器是这样—个理想开关(图1):

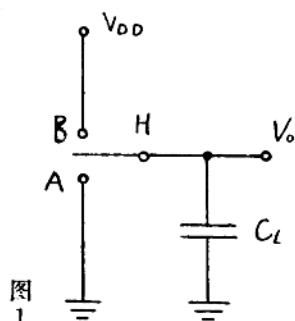


图1

通态: 开关H打向A, H与电源之间的电阻 $R_1 = \infty$, 而H与地之间的电阻 $R_2 = 0$, 瞬间对负载电容 C_L 放电。输出低电平 $V_{OL} = 0$ 。

关态: 开关H打向B, $R_1 = \infty$, $R_2 = 0$, 瞬间对 C_L 充电。输出高电平 $V_{OH} = V_{DD}$ 。开关延迟时间等于0。以上数据列入表1。

MOS集成电路有三种最主要的电路形式, 即E/E-MOS, E/D-MOS和CMOS(图2)。

1. E/E-MOS (增强型—增强型MOS):

这是 MOS 集成电路中最早发已起来的一种电路形式。反相管 T_{IH} 和负载管 T_L 都是增强型元件(图2(a))。

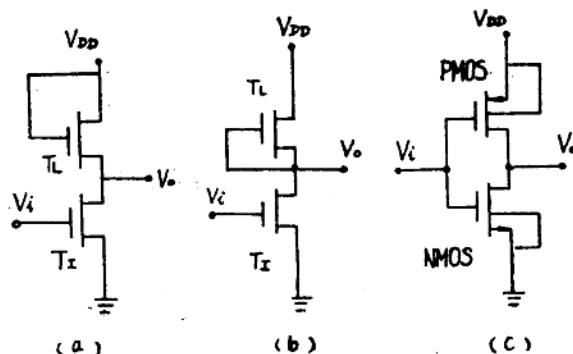


图2

电路关态, T_I 截止, 其阻抗 $R_I \rightarrow \infty$ 。电源电压主要降于 T_I , 栅漏外接的 T_L 分到的电压只

等于其阈电压。所以 T_L 工作于非常接近截止状态的微导通状态,阻抗很大。

电路通态: T_1 开启,工作于非饱和导通区,其导通电阻与负载管的电阻相比可以忽略, $R_1 \approx 0$ 。而 T_L 处于饱和导通状态,其阻值 R_L 为其可能采取的全 Γ 阻值中最小值。

电 路 形 式	R_1		R_L		V_O	
	通 态	关 态	通 态	关 态	通态 V_{OL}	关态 V_{OH}
理想反相器	0	∞	∞	0	0	V_{DD}
E/E-MOS	~ 0	$\rightarrow \infty$	最小	最大	~ 0	$V_{DD}-V_T$
E/D-MOS	~ 0	$\rightarrow \infty$	最大	最小	~ 0	V_{DD}
CMOS	~ 0	$\rightarrow \infty$	$\rightarrow \infty$	~ 0	~ 0	V_{DD}

可以看出,反相管 T_L 的工作状态与理想反相器的要求是一致的。而负载管与理想反相器的要求正好相反。所以电路的速度低,功耗却较大,因此电路形式要改革。

改革方法之一是非饱和负载E/E-MOS。给 T_L 单独加一个较高的栅压,使电路关态 T_L 不截止 R_L 下降。电路速度有所提高,但与理想反相器的要求依然相违。

2. E/D-MOS (增强型—耗尽型MOS):

E/D-MOS是MOS集成电路改进形式之一。电路的特点是反相管用增强型,负载管为耗尽型管子(图2 (b))。电路开关过程中 T_1 的状态与理想反相器的要求大体一致(表1)。负载管栅源外接,电路关态, T_L 工作于非饱和导通区, R_L 很小,为其所有可能值中最小值。电路通态, T_L 工作于饱和导通区, R_L 取其最大值。可以看出,E/D-MOS虽然还不是理想反相器,但是在开关过程中 R_L 的变化方向是与理想反相器一致的。所以开关速度得到提高,功耗有所下降。

3. CMOS (互补型MOS):

两个管子都是增强型,但一个是P沟道件,另一个是n沟道件。见图2 (c)。在电路的两种状态中,总是一个管子导通,另一个管子截止。电路通态, T_1 导通 $R_1 \approx 0$, T_L 截止 $R_L \rightarrow \infty$ 。电路关态 T_1 截止 $R_1 \rightarrow \infty$, T_L 导通 $R_L \approx 0$ 。电路的静态功耗为0。仅从反相器的开关状态来看,CMOS更接近理想反相器。这种电路当然不是完美无缺的,但它确是MOS电路中一种重要改进形式。开关速度快、功耗极低,因此受到极大的重视。

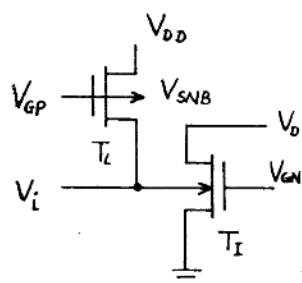
4. BMOS (背栅MOS):

在吸收了集成注入逻辑的某些特点,近来又提出了一种背栅MOS电路——BMOS,图3是BMOS单元电路图。

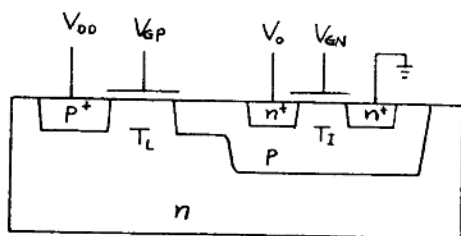
负载管是一个P沟道四件,反相管为n沟道四件,由背栅控制。 T_L 既是前级的负载又是后级的偏置,所以它又具有集成注入逻辑 I^2L 电路的某些特点。BMOS保持了CMOS的优良的负载特性和低功耗,又提高了封装密度。但是开关管是背栅控制,跨导很小,开关速度较低, t_{pd} 约为50ns。

二、工艺结构改革

MOS集成电路发展的另一个重要方面是工艺结构改革。工艺结构改革的目的是多种多样



(a)



(b)

第3章

的，如提高速度、降低功耗，提高集成密度、简化工艺和降低成本等，但提高速度往往是主要目的。而提高开关速度的主要途径是提高 MOS 晶体管的跨导。现在以跨导为线索来分析有关的一些工艺结构。

MOS晶体管的跨导：

$$g = -\frac{\epsilon_i \mu}{t_i} \frac{W}{L} (V_{GS} - V_T) \quad (2)$$

其中阈电压：

$$V_T = -\frac{t_i}{\epsilon_i} Q_{SS} - \frac{t_i}{\epsilon_i} \sqrt{4g\epsilon_{Si}N\phi_F} + 2\phi_F + \psi_{MS} \quad (3)$$

为了提高速度而采取的工艺结构改革基本上都是围绕着上百两个式子而展开的。一种新工艺或新结构往往是提高式中一两个参数。

1. NMOS：MOS晶体管的 g 与沟边中载流子的迁移率 μ 成正比。而电子迁移率较空穴大， $\mu_n > \mu_p$ ，所以N沟边MOS管（NMOS）的跨导比P沟边MOS管大。

2. MNOS, MAOS：提高式(2)中另一个参数 ϵ_i —MOS管绝缘栅的介电常数，是提高跨导的另一个途径。提高 ϵ_i 还可以降低 V_T ，从而也可以提高 g 。氮化硅（ Si_3N_4 ）和氧化铝（ Al_2O_3 ）的介电常数都比 SiO_2 大一倍以上。用 Si_3N_4 作绝缘栅构成MNOS结构，以 Al_2O_3 为绝缘栅就得到MAOS结构图4(a)。 Si_3N_4 和 Al_2O_3 可屏蔽钠离子，对减小 Q_{SS} 也是有效的。

3. 硅栅MOS，耐熔金属栅MOS：硅栅MOS结构图4(b)特点是以高掺杂多晶硅代替MOS晶体管的金属栅，减小了金属—半导体接触电势差 ψ_{MS} ，降低 V_T 提高 g 。此外硅栅自对准还减小了式(1)中的 C 。耐熔金属栅MOS主要是指钼栅MOS。它和硅栅有同样的优点：自对准，与硅有较小的接触电势差。

4. DMOS, VMOS：管子的跨导与其栅的宽长比成正比。一般MOS结构中，管子的栅长 L 由制版光刻决定不能过短，同时穿通现象也限制了 L 的缩短。在双扩散结构——DMOS和V形槽结构——VMOS中， L 是由两次扩散深度差决定，并且消除了穿通现象，可以把 L 减至一微米以下，大幅度提高了跨导。这两种外沟边结构示于图4(c)(d)。

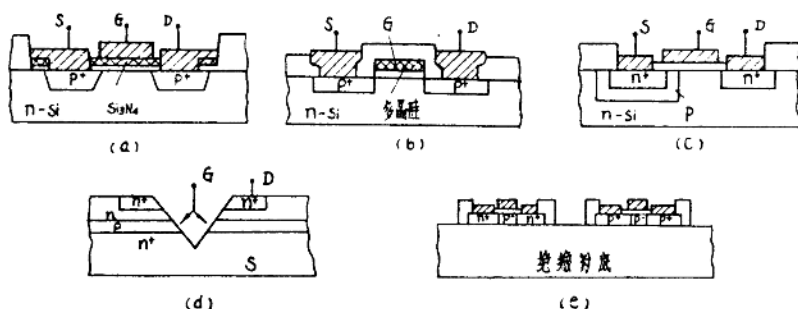


图 4

5. SOS: 示于图 4 (e) 的兰宝石工艺结构是在兰宝石 (或尖晶石) 上, 外延很薄的 si 单晶层, 再制成场效应集成电路。这种结构可以减小 V_T 中的耗尽层电荷一项 $-\frac{t_i}{\epsilon_i} \sqrt{4g\epsilon_{si}N\phi_F}$ 从而提高 g 。此外 SOS 结构还减小了式 (1) 中的 C , 有利于提高速度。

此外还有一些工艺技术对提高 MOS 集成电路的速度是有效的。例如以 (100) 晶向代替 (111) 晶向可以减小 Q_{ss} 。离子注入技术可以精确控制 $-\frac{t_i}{\epsilon_i} \sqrt{4g\epsilon_{si}N\phi_F}$ 和消除栅——漏交叠减小杂散电容。硅局氧化技术可提高速度和集成度。

从上百分析可以看到, MOS 集成电路为了提高速度在单元线路方面进行了改革, 形成了一系列的线路形式, 在工艺结构方面的改革形成了一系列不同的工艺结构。

对于不同的线路形式, 采用各种工艺结构可以得到各式各样的逻辑单元。例如 E/E-PMOS 工艺简单成熟, 使用广泛。CMOS 因高速低功耗而极受重视。E/E-NMOS 和 E/D-NMOS 以其高集成密度和较快的速度而被采用。CMOS/SOS 功耗低, 速度快, 集成密度高, 是一种好单元。两种外沟边工艺结构 DMOS 和 VMOS 与 E/D-MOS 和 CMOS 两种好的线路形式结合, 得到四种逻辑单元: E/D-DMOS, E/D-VMOS, C-DMOS 和 C-VMOS 都是很有发展前途的低功耗高速度和高集成密度的逻辑单元。某一种单元必然而且也只能采取一种线路形式, 但是各种工艺结构往往可以互相结合。一种单元可以体现出几种工艺结构特点。例如硅栅 NMOS, 再如离子注入 E/D-D-V-MOS。随着工艺水平的提高, 人们力图将各种工艺结构的优点集中到一种电路上去。

BMOS 是出现不久的新线路形式, 采用不同结构的单元尚未出现。这种电路能否顺利地发展, 关键在于能否提高开关速度。

MOS 集成电路从一开始就不受分离元件电路概念的束缚, 利用 MOS 晶体管自隔离的优点并以 MOS 作为电阻, 又从线路形式和工艺结构两方面作了改革, 巧妙地处理了速度与功耗的矛盾, 大幅度提高了速度, 进一步降低了功耗提高了集成度, 使 MOS 集成电路主要参数全面协调地发展, 因此, MOS 集成电路发展迅速, 在很长一段时间内, 特别是在大规模集成电路领域内向双极型集成电路提出了有力的挑战。

双极型逻辑单元电路的发展

双极型单元电路的发展可分为两个阶段。第一阶段是以 DTL (二极管——晶体管逻辑),

TTL（晶体管——晶体管逻辑），ECL（发射极耦合逻辑）为代表的中小规模阶段，不断提高电路的速度是这一阶段的主要特征。第二阶段是以集成注入逻辑I²L系列为代表的大规模集成阶段。

一、以提高速度为主要目标的中小规模阶段

集成电路出现之前，双极型晶体管作为一种性能优越的元件已大量使用，双极型分离元件逻辑电路已非常成熟，主要有图5所示的DCTL（直接耦合晶体管逻辑），DTL和ECL三个系列。

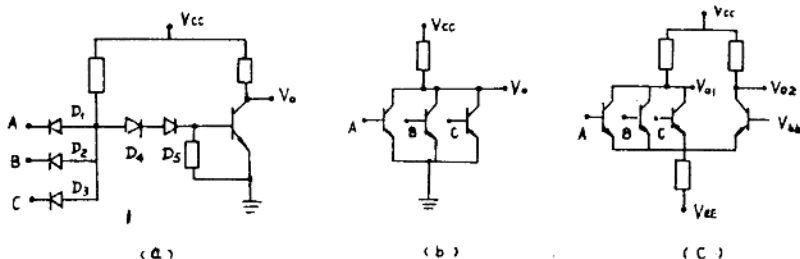


图5

在双极型集成电路发轫的初期，是直接把分离元件的电路搬到硅片上，元件之间需要专门的隔离，而电阻则采用扩散电阻。从这个角度来看，这时的双极型集成电路只不过是一种新的电路装架形式，集成化的特点很少。

在已有的电路形式中，DCTL元件少，而且全T晶体管共集电极又共发射极，适于集成化。可是DCTL电路存在抢电流问题，几乎不能实用。它的改进形式电阻——晶体管逻辑（RTL）和电阻——电容——晶体管逻辑（RCTL）抢电流问题有一定程度的解决，但毕竟因性能差速度低（门平均时延80~100ns），所以没有得到很大的发展。

真正得到发展的是DTL系列和ECL等电路。通常所说双极型集成电路速度快，功耗大，集成密度低也主要是指这些电路。

这些电路的基本元件——双极型晶体管，确是一种优越的元件。它跨导很大（一般为 $10^4 \sim 10^6 \mu S$ ），而且平面工艺又极利于发挥它的优点，因此长期以来把双极型晶体管看成一种理想的晶体管。而提高双极型电路速度的努力主要集中于改进电路形式和工作状态，即减小式(1)中的K值。

双极型晶体管是一个开关。为了加快开启，需要大的驱动电流。但大驱动电流使晶体管进入深饱和区，造成大量存储电荷。为了将管子关闭，首先要化时间将这些电荷清除。所以从开关速度来看，开和关是相互关联又相互矛盾的两个方面。从DTL，TTL，STTL到ECL本质的差别就在于用不同的方法来处理这个矛盾。

1.DTL：图5(b)是早期的DTL电路，速度慢，负载能力差。改进型DTL图6(a)，把电平移位二极管 D_1, D_2 改为三极管，增加驱动能力，并增添了有源负载，从而提高了开关速度和负载能力。改进型电路平均时延 t_{pd} 约为20~30ns，功耗约为5~8mw。

2.TTL：图6(b)所示TTL电路，处理开关矛盾的方法是，在保持大驱动快开启的同时，利用多发射极晶体管的放大作用，抽出贮存电荷，缩短截止时间，使 t_{pd} 减为6~10ns。

但是功耗却增至 $10\sim 20\text{mw}$ 。

3. STTL (肖特基势垒管钳位晶体管——晶体管逻辑): 虽然TTL电路对开关两个方百都作了考虑, 但是管子进入深饱和状态, 即使利用了抽出效应, 截止过程还是开关矛盾中的主要方百。STTL

针对这一矛盾, 利用肖特基势垒管钳位使管子工作于浅饱和区。致使 t_{pd} 小至 $3\sim 5\text{ns}$ 。功耗约为 20mw 左右。

4. ECL: 这是直接从分离元件电路过渡到集成电路的超高速电路形式。这种电路使管子完全不进入饱和区, 而且使其工作于共基极或共集电极状态, 所以这种电路保持了所有电路形式中的最高开关速度, t_{pd} 可达 $1\sim 2\text{ns}$ 甚至小于 1ns 。但功耗却也高达 $30\sim 50\text{mw}$ 。

双极型门电路从DTL, TTL, STTL到ECL, 用不同的方法处理了电路开和关之间的矛盾, 使开关速度不断提高。但是却没有处理好速度和功耗之间的矛盾。开关速度的提高往往是在牺牲功耗的情况下取得的。把以上几种电路延迟时间和功耗的关系示于图7, 可以看出, 随着电路形式的改进, 开关速度不断提高, 但功耗也不断增加, 而且电路的集成密度也没有明显的提高。看来在这一发百阶段, 双极型电路在处理速度与功耗这一对矛盾方百不如MOS电路巧妙, 发百的不象MOS电路那样协调。但是双极型电路在速度方百是无与论比的。在中小规模阶段功耗问题并不十分突出, 双极型集成电路在大型高速电子计算机方百发挥了巨大的作用。

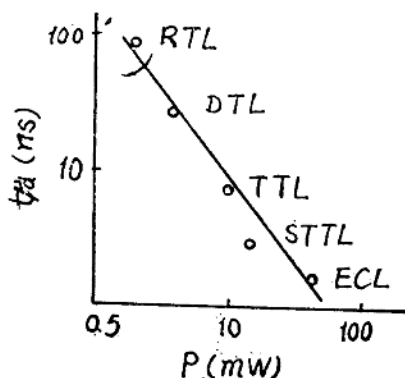


图7

一种相互制约的状态, 以增大功耗换取高速度, 但大功耗限制了集成度, 集成度低, 总的速度也提不高。

从发百的角度来看, 双极型集成电路必须改变这种状态, 在速度功耗和集成度各方百都协调发百。长期以来, 在这方百作了各种尝试, 也提出了一些电路形式, 例如有高速低功耗的互补晶体管逻辑CTL, 有高集成度低功耗的电流参差逻辑CHL, 有从TTL发百而来的高

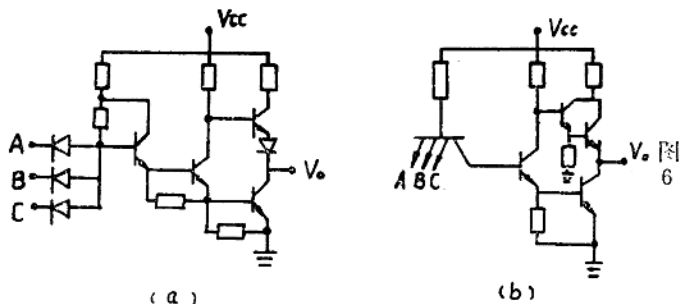


图6

速低功耗的互补晶体管——晶体管逻辑 CT^2L ，有从ECL发尸而来的高速度高集成度的发射极功能逻辑EFL，而早在一九六八年就已提出的高速高集成度低功耗的非阈值晶体管逻辑NLT，在大规模集成电路中又重新受到重视。但是真正改变局面的是七二年出现的集成注入逻辑 I^2L 。

二、集成注入逻辑的出现及其影响

1. I^2L 产生的背景：

在各方百协调发尸的MOS集成电路，在大规模集成电路范围内，对双极型集成电路造成了巨大的压力。要与MOS电路抗衡，双极型电路必须克服几个基本弱点。与MOS电路相比，双极型电路的弱点是明显的。在单元线路形式方百，双极型单元电路元件多。MOS单元电路是一个反相器，连负载管在内只有两个元件。而DTL或TTL单元——与非门，是由与门，缓冲放大和输出电路三段构成，共十几个元件；MOS晶体管是自隔离器件，而双极型晶体管的集电极都是外延层，元件之间要隔离，一个与非门电路隔离占总百积的60%以上；MOS电路以MOS晶体管作为负载电阻，双极型电路采用扩散电阻，不但占据了很大的百积，而且大另耗散功率。所以双极型电路必须从线路形式和工艺结构上来一次大的变革，集成注入逻辑 I^2L 就是在这种背景下应这一需要而诞生的。

2. 集成注入逻辑 I^2L ：

I^2L 是从DCTL发尸而来。这一发尸表现在线路和工艺结构两个方百。

(1) 线路上的改革：图8(a)是标准的DCTL电路。当驱动门电路导通时，R作为本电路的负载，向反相管

馈电，当驱动门截止时，R向被驱动的三个门馈电。所以可以把R看成是前级和后级共用的一个电流沉。从线路上看，完全可以把电阻R和后级被驱动的管子 T_1, T_2, T_3 集中起来作为一个单元——门。这个单元的三个管子有共用的基极和发射极，只是集电极分离的，当然可以象图8(b)那样，用一个多集电极管子来代替。此外

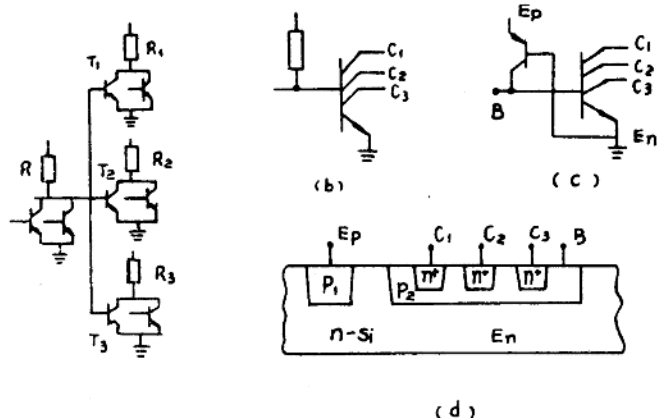


图8

可以用一个p-n-p管代替R作为电流沉(图8(c))，显然，这个单元是一个多输出端的反相器。

(2) 工艺结构上的改革：图8(d)是 I^2L 单元电路的结构图。可以看到，工艺结构上两点改革。

首先，多集极管采用了反向工作状态的管子，即把衬底作为发射区，而砷扩散形成的 n^+ 区作为集电区。这样 I^2L 中多集极管成了一种自隔离器件，可以废除专门的隔离工艺。

其次, $p-n-p$ 管的集电极, 就是多集电极管的基极 (P_2), 而 $p-n-p$ 管的基极又是多集电极管的发射极 (n), 那么只要多集电极管近旁加一个 P 型扩散条, 就构成了一个横向 p_1-n-p_2 晶体管。而且 $p-n-p$ 管与多集电极管的连接都已在内 π 自然完成。这样, 实际上只用了一个管子就构成了一个多轨出端的反相器。而各门之间的轨出端可以构成“线与”。

I^2L 电路集成密度 $200 \sim 400$ 门/ mm^2 , 而延迟时间——功耗积为 1 微微焦耳左右, 完全可以与 MOS 电路媲美。门延迟时间为 $20 \sim 100 ns$, 速度低于 TTL, 但是改进型的 I^2L 电路也可进入高速之列。

3. I^2L 电路的改进: I^2L 的出现, 使双极型电路的发展进入了一个新阶段。在 I^2L 电路的影响下, 逻辑单元电路的研究非常活跃, 各种新型电路相继涌现。其中有一些是对 I^2L 的改进, 还有一些是吸收了 I^2L 的优点对原有的电路加以改进。现在把一些主要的列出来:

SI^2L ——肖特基势垒管钳位集成注入逻辑 [图 9 (a)]: 用集电极上的串联肖特基势垒管减小逻辑摆幅, 以提高开关速度降低功耗。

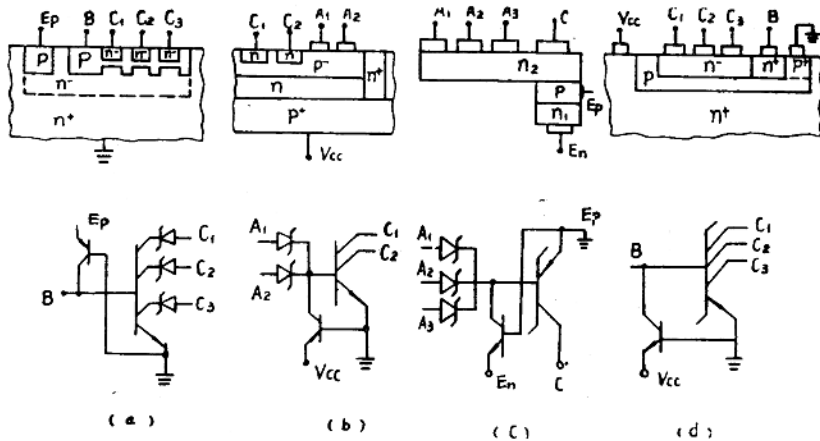


图 9

SFL——衬底馈电逻辑 (图 9 (b)): 在轨入端串联肖特基势垒管减小逻辑摆幅, 将单元结构改为四层纵向结构, 由衬底向各反相管馈电, 这样馈电均匀, 同时提高了集成密度。具有多轨入端和多轨出端, 增加了灵活性。

STL——肖特基晶体管逻辑 (图 9 (c)): 采用纵向结构, 轨入端串联肖特基二极管, 接触势垒为 SB_1 , 反相管为肖特基晶体管, 其集电结为肖特基势垒 SB_2 。电路的逻辑摆幅为 $\Delta V = SB_2 - SB_1$ 可以用不同的肖特基势垒控制, 小的逻辑摆幅和采用肖特基晶体管提高了开关速度。

3JL——三层结构逻辑 (图 9 (d)): 纵向结构和肖特基晶体管保证了高速高集成密度。

以上是 I^2L 的几种主要改进形式。它们共同的特点是, 采用纵向结构, 馈电均匀集成密度高, 用肖特基二极管钳位或采用肖特基晶体管, 减小摆幅消除贮存电荷, 以降低功耗提高速度。

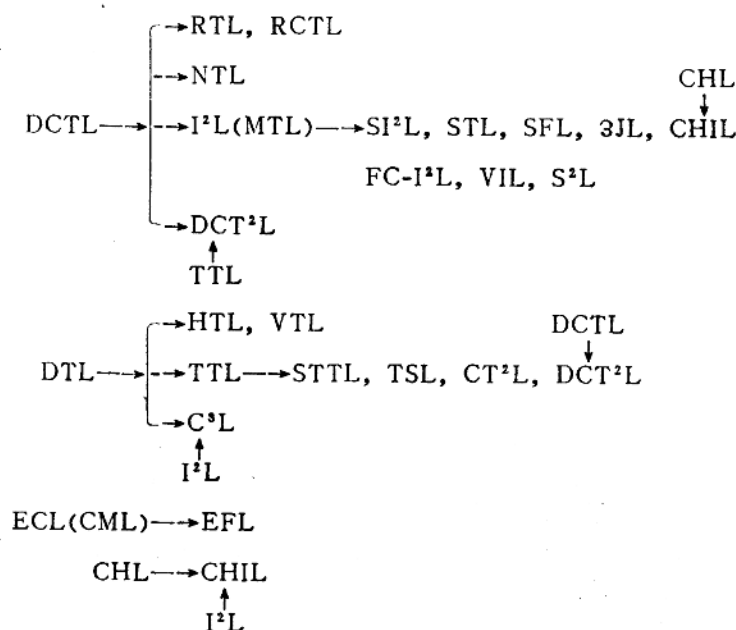
吸收 I^2L 特点对原有电路加以改进的有:

C³L——互补恒流逻辑(图10(a))：这是从DTL发已而来的一种逻辑单元。吸收了I²L中以晶体管电流沉积电的特点。是一种高速高集成密度低功耗的逻辑电路，但工艺复杂。

CHIL——电流参差注入逻辑(图10(b))：这是CHL和I²L结合的产物。可把CHIL看成是具有功能集成输出晶体管的CHL，也可以看作是注入可控的I²L。CHIL有多轨入端和多轨出端的灵活性，又有高的集成密度。

自I²L出现后，双极型电路的百克为之一新。在大规模集成的道路上与MOS电路并驾齐驱。I²L系列成为超大规模集成电路的重要候选电路形式之一。

现把主要的双极型电路按其发已过程排列成系列于下百。



逻辑功能部件的萌芽——电荷耦合器件(CCD)

CCD是一种新型的集成化功能器件。它的基本结构如(图11)所示。在源S和漏D之间，有一列按一定规律编排成组的栅 ϕ_1, ϕ_2, ϕ_3 ，加以周期性的驱动脉冲(时钟)，表示仪息的电荷由S注入，可以暂存于各栅下的势阱中，并可以在栅脉冲控制和驱动下一位一位地移动。

CCD主要用于摄像, 信息存储和信息处理。仅这三个方面的应用, 已足以让这个别开生面的器件在半导体领域中确立一个极为重要的地位, 但是, 如果从逻辑电路发展思想来估计, CCD可能具有更重要的意义。

上面说过, 构成计算机全逻辑功能的基本单元是门电路。长期以来, 设计者一直是用门电路组成全逻辑功能和器件。但是集成电路的集成度不断提高, 特别是进入大规模集成电路后, 在单片上可以制成一个功能器件, 甚至一台微型计算机, 这种设计思想就不完全适应了。正象盖设房屋一样, 开始盖平房小屋用砖瓦是合适的, 但是要盖造高楼大厦就应当采用预制件了。

集成电路中的“预制件”应是大规模和超大规模集成电路的基石, 但是它不应该由简单的门电路堆砌而成, 而是利用半导体基本物理性质和基本物理效应直接完成一定逻辑功能的功能器件。可以认为CCD是具有功能器件某些性质的一种集成电路。

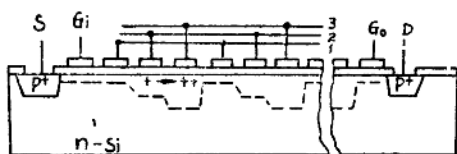


图11

(图11) CCD 移位寄存器是CCD最典型的功能之一。它是利用 MOS 栅下电荷暂存效应和转移效应来直接完成移位寄存功能, 而不是用六个门电路组成 D 触发器, 然后再连成移位寄存器这样一种传统的办法。

CCD在逻辑电路中的应用近两年来有了引人注目的进展。一方面CCD可以构成基本的门电路——与门和或门。更重要的是CCD可以利用电荷的暂存效应和转移效应直接完成数字运算和逻辑运算。

(图12)是一个全加器的示意图。它能完成AB两数的相加, 并接受下一位的进位 C_{n-1} 得到和S并向上一位进位 C_n 。图中A, B, C_{n-1} , D, FG, I, S都是一些等面积的栅, 栅下空势阱代表0, 被一个电荷包填充代表1。当输入A, B, C_{n-1} 中任一个是1, 一个电荷包刚好把势阱D填满, 随后经传载栅 TG_1 转移到输出端S, 完成 $1 + 0 = 1$ 。当三个输入端中有两个1, 一电荷包填满D, 另一个电荷包越过势垒b溢到浮置栅FG下, FG

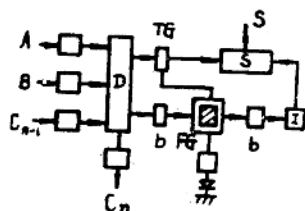


图12

下的势阱被电荷填充电位上升, 与FG等电位的 TG_1 控制D中电荷, 使之不进入S, 而经 TG_2 变为向上位的进位。从而得到 $1 + 1 = 10$, $S = 0$, $C_n = 1$ 。若A, B, C_{n-1} 三个都是1, D, FG, I均被填充, D中的电荷虽然因 TG_1 的控制不能到达S, 但I中的电荷却转移到S, 所以 $1 + 1 + 1 = 11$, 即 $S = 1$, $C_n = 1$ 。

国外用这种单元作成32位加法器和16位乘法器, 其功耗和集成密度都优于CMOS和 1^2L 。此外由于转移损失在这里并不很重要, 所以速度也相当快。

值得指出的是, 在这里并不是用传统的门电路作为单元组成加法器和乘法器的, 而是对代表信息的电荷进行控制完成运算功能的。这完全是一种新途径。

多值逻辑电路是计算机设计者长期所期望的, 但是从器件方面来实现它相当困难。 1^2L 阈值门电路的出现, 使多值逻辑的实现有了现实性, 而CCD中代表信息的电荷是易于定

易控制的，予期用CCD来实现多值逻辑可能是很有前途的。

总之，在一定发巳阶段，用门电路组成各种复杂逻辑是必然的也是合理的。而从长远发巳来看逐步摆脱门电路的束缚也是必然的。

其实，现在已广泛应用的可编程逻辑阵列（PLA）就已表现出一种摆脱门电路束缚的趋势。当然这主要还是一种逻辑设计上的努力，但它确是直接按元件的功能考虑问题。

半导体存储口也有这样一个发巳过程，磁性元件的存储口本来与门电路没有关系，而半导体集成电路存储口的历史却是由门电路组成的触发口开始的。但是，当发巳到单管存储单元时又开始脱离了门电路结构。

可以看出，无论在组合逻辑还是在时序逻辑范围内，都已出现了摆脱门电路堆砌而直接按功能组织元件的趋势，今后一方百还会不断地出现以门电路为基础的新型逻辑单元电路，同时逻辑功能元件将会更快地发巳。

结 束 语

逻辑集成电路的基本单元——逻辑单元电路发巳很快，MOS型和双极型电路的水平交替上升。现在已出现了按逻辑功能将元件直接集成化的趋势。

元件是集成电路的基础之一。元件上的突破将引起集成电路的根本变化。集成电路的基本元件——晶体管，长期以来在工艺和设计方百都不断改进，但基本原理却没有变化。至今高速双极型电路在线路形式上不断改进，进一步提高速度的矛盾已传向晶体管本身。而工艺水平的提高，把晶体管的性能推向了极限，需要有新的元件出现，同时又为新元件的诞生准备了工艺条件。超导隧边开关元件和超晶格开关元件等就是在这样一种情况下出现的。

材料及其基本性质的研究，又是元件的基础。非晶材料及其有关理论的研究也许正在为崭新的一代集成电路准备条件。

半导体数字集成电路的发展与动向

南京晶体管厂

半导体集成电路是廿世纪六十年代发已起来的新产品。由于它充分发挥了半导体元件的小型、耗电省、牢固和可信性高等优点，它一出现就受到各方百的重视，发已极为迅速，几乎是每五年就跨一大步。从最初的单个门的小规模电路(SSI)，经过几十门的中规模电路(MSI)，发已到今天在一个单片上包含上万个元件和上万个门的大规模集成电路(LSI)，现在正向着超大规模集成电路(ULSI)迈进。

半导体集成电路按其功能分有：数字的(Digital)和线性的(即模拟的Analog)两种；按电路内有元单元的结构分有：双极型(Bipolar)和MOS型(金属M-氧化物O-半导体S)两大类。

目前世界上，半导体集成电路每年的产量到达几十亿块，其中数字电路和线性电路各占一半；而双极型和MOS型大体上也各占一半。

本文欲就双极型数字集成电路的情况作一简单的介绍。

(一)

早期的半导体集成电路(下称集成电路)全是双极型的。在数字电路方百有所谓：二极管—晶体管逻辑(DTL)，晶体管—晶体管逻辑(TTL)，发射集耦合逻辑(ECL)，图1是三种逻辑的基本单元电路的线路图。

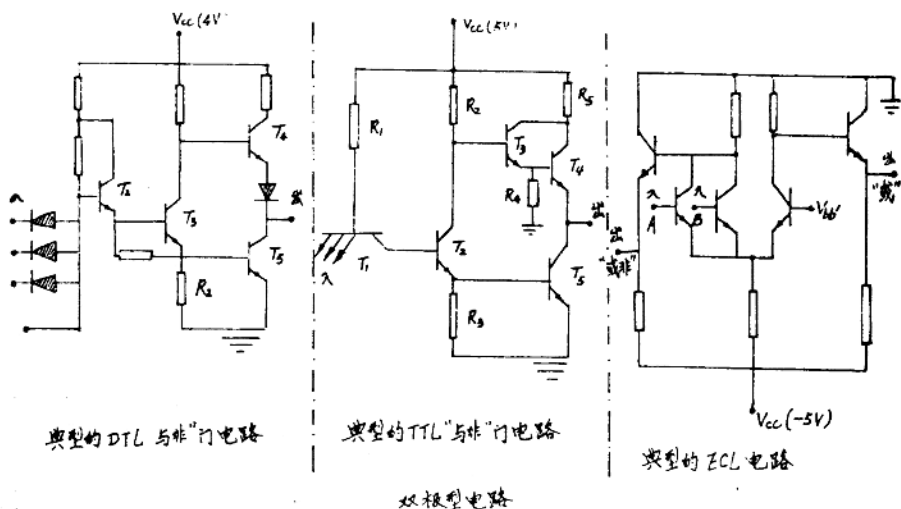


图1 三种逻辑的基本单元

这里DTL和TTL电路中的晶体管是工作在饱和区，所以DTL和TTL又称为饱和型逻辑电路，而ECL为非饱和型电路。

在饱和型逻辑电路中，存储时间对电路的开关速度起较大的影响。在DTL电路是欲减小存储时间则要求 R_2 电阻小，但 R_2 太小又影响输出管 T_2 管的驱动能力，这个问题在DTL电路上是无法解决的。因此，即使比较完善的DTL电路一级门的平均延迟时间一般也要15~20ns(毫微秒)，今天DTL电路已逐渐被淘汰。

对于TTL电路提高速度的矛盾仍然集中在饱和深度和驱动电流，由于驱动电流 $I_{B1} > I_C / \beta$ ，因此晶体管 T_2 和 T_5 均处于饱和态，所以晶体管中贮存着大量的电荷。 I_{B1} 越大，饱和深度越深，贮存电荷越多。图1所示的TTL电路，正是这种深饱和的情况。因此在翻转过程中，这些电荷的消失需要时间，这就是存储时间。显然不希望减小电路的驱动电流。因为驱动电流的减小，必然使电路的延迟时间和上升时间增大，缩短存储时间，必须使电路里的晶体管处于浅饱和状态。为此发明了浅饱和TTL电路和抗饱和TTL电路。

(图2)所示的浅饱和TTL电路是在上述饱和型TTL电路的基础上用三极管 T_3 和电阻 R_3^b 、 R_3^c 组成的晶体管分流口代替原来提供 T_2 管基极回路反抽电流 I_{B2} 的下拉电阻 R_3 。

在 T_2 管开启过程中，起先 T_2 管不通或微通，使 T_2 管得到前级的过驱动。而当 T_2 管进入饱和的边缘，其 eb 结压降升高使 T_3 管的基极回路也得到一定的驱动， T_3 管处于线性运用和近饱和状态， T_3 管组成的 T_3 管基极回路分流口便起作用。在 T_2 管饱和时，基极回路能分去较多的驱动电流，使 T_2 管处于浅饱和状态。反之，当 T_2 管处于退出饱和的瞬态过程时， T_3 管又以低值动态电阻提供 T_2 管存储电荷的低值反抽回路，直至 T_2 截止。

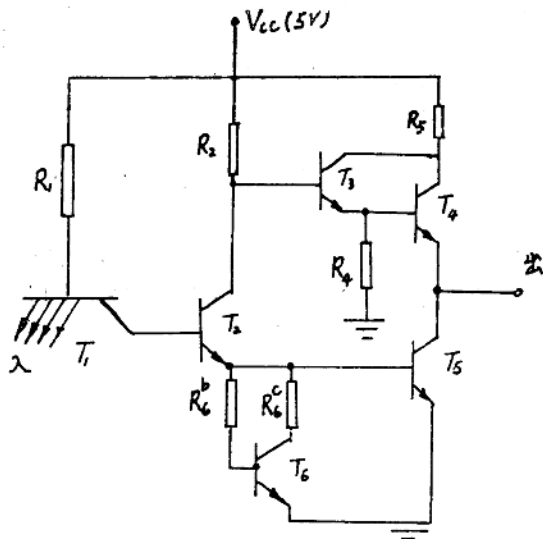


图2 浅饱和TTL电路

(图3)是抗饱和TTL电路，它是在浅饱和TTL电路的基础上在每一个三极管的 bc 结上并联一个二极管，这种二极管叫做箝位或抗饱和二极管。这种克服三极管进入深饱和的方法不是降低驱动电流 I_B ，而借控制 bc 结正向偏压降至较小值，并联合在 bc 结之间的箝位二极管，就起这个作用。箝位二极管均采用肖脱基势垒二极管(SBD)，(所以这种电路又叫肖脱基抗饱和TTL电路)，SBD具有小的正向压降，通常Si二极管正向压降为0.7V，而SBD只有0.5V

左右，这样在三极管进入饱和态以后，SBD就旁路掉一部分驱动电流，避免三极管进入深饱和状态。

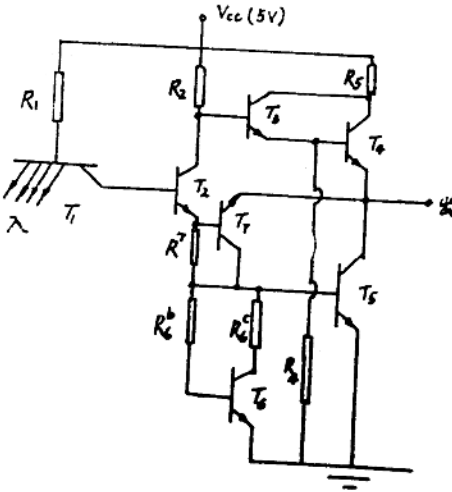


图4 7管抗饱和电路

(图4)也是一种抗饱和TTL电路，其中 T_1 管的作用也是在 T_1 管进入饱和态以后旁路掉一部分驱动电流，避免 T_1 管进入深饱和状态。

ECL 电路是非饱和型的，其中晶体管全工作在线性近饱和区，没有存储电荷问题，因此在双极型数字电路中，ECL电路的速度最快。

为了获得一个定量的概念，我们将上述几种电路的一般参数水平列表如下：

表1：各种逻辑门电路主要参数的比较

电路型式	平均延迟时间 (ns)	抗干扰能力 (伏)	扇出	功耗 (毫瓦)	制造难易程度
DTL	20	>0.9	6~10	10~15	较易
TTL	5~10	0.9	15	15~20	稍难
抗饱TTL	2~4	0.9	15	15~20	较难
ECL	1~2	0.3	>15	60~80	难

从表1可见，随着逻辑门的平均延迟时间的减小，逻辑门的功耗增大，制造的困难增

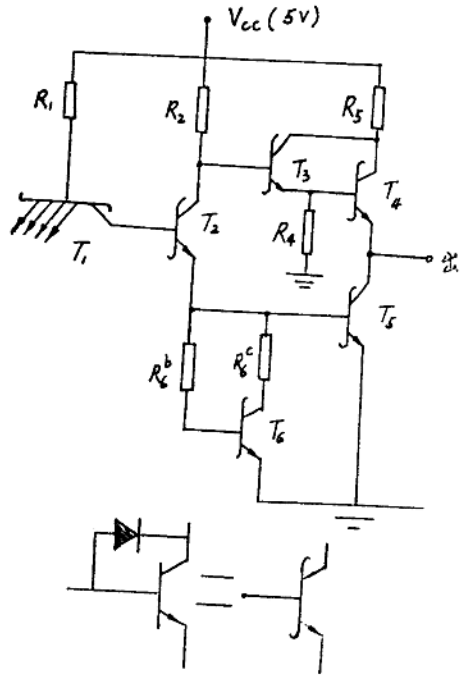


图3 肖脱基抗饱和电路