

单片微控制机手册之二

8051

单片微控制机

《舰船导航》编辑部

一九八五年十月

目 录

第六章	MCS —51的体系结构·····	(1)
第七章	MCS —51存贮器结构、寻址方式和布尔处理器··	(39)
第八章	MCS —51指令系统·····	(41)
第九章	MCS —51的应用示例·····	(89)
第十章	高速CMOS 微 控制机·····	(109)
第十一章	数据表——8031AH / 8051AH单片 8 位 微计算机·····	(114)
	8032AH / 8052AH单片 8 位 微计算机·····	(124)
	8751H——11/ 8751H——10/ 8751H—8单片 8 位微型计算机·····	(131)

编辑部地址

天津市63邮政信箱75分箱

8051 单片微控制机

第六章 MCS-51 的体系结构

6.0 前言

8 位微控制机 MCS-51 系列由表 1 所列器件组成。所有这些器件都以图 6-1 所示的 MCS-51 系统结构为基础。原来的 8051 是用 HMOS 工艺制成的。目前生产的器件用 HMOS II 工艺,它是 8051AH。然而,“8051”这个术语往往应用于 MCS-51 系列的所有组成器件。这点完全适用于本手册,除非另有规定。此外,为了简便起见,“8052”这一术语在没有另行说明的情况下,它适用于 8052 和 8032。

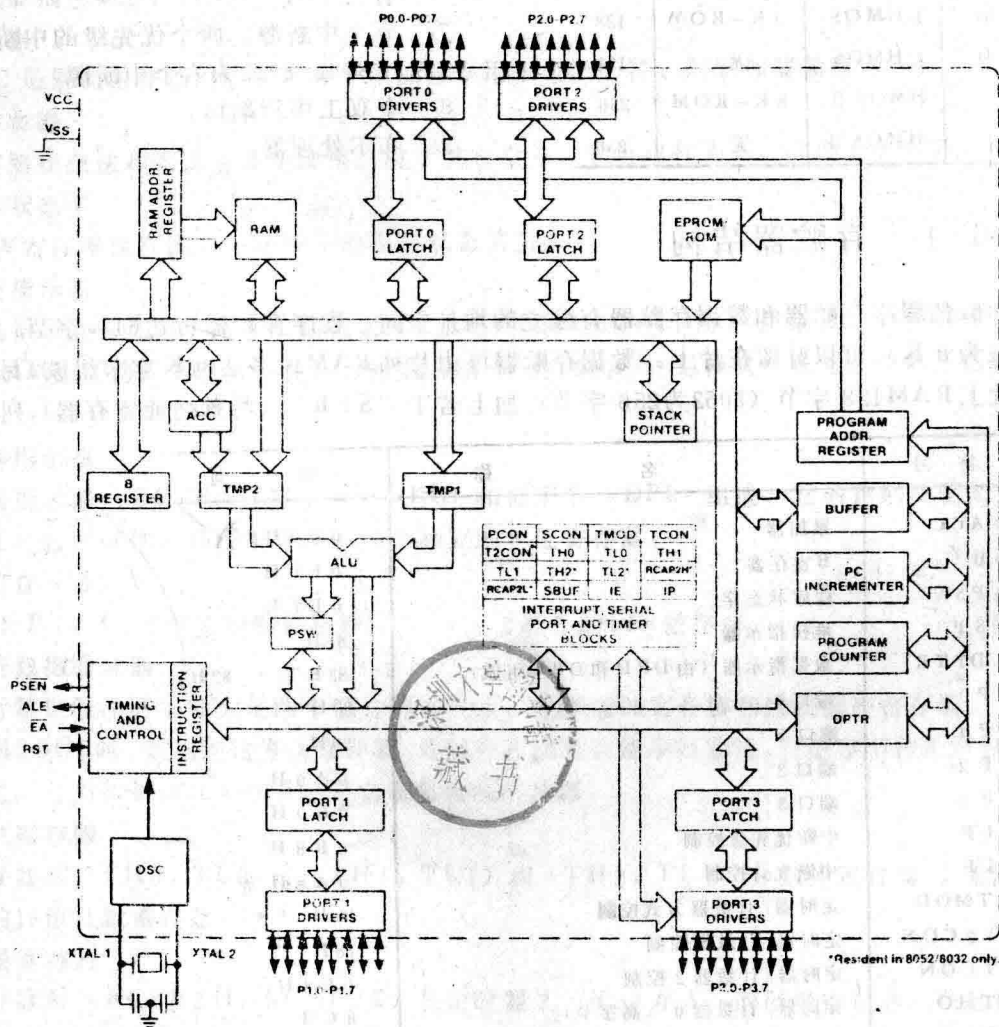


图 6-1 MCS-51 体系结构方块图

最新的 MCS-51 器件 (8052 和 8032) 具有更多的片上存储器 and 附加的 16 位定时器/计数器。新的定时器可以用作定时器、计数器, 或者用来产生串行端口的波特率。作为定时器/计数器, 它的工作方式既可以是 16 位自动再装入方式, 也可以是 16 位“记录”方式。这种新的特性在 6.6.2 节中描述。

引出脚示于专用数据表, 并列在本手册后附资料内。

表 1 MCS-51 系列器件

器 件	工 艺	片上程序 存 贮 器	片上数据 存 贮 器
8051 AH	HMOS II	4 K- ROM	128
8031 AH	HMOS II	无	128
8751 H	HMOS I	4 K- EPROM	128
80 C 51	CHMOS	4 K- ROM	128
80 C 31	CHMOS	无	128
8052	HMOS II	8 K- ROM	256
8032	HMOS II	无	256

MCS-51 的主要特性为:

- ① 8 位 CPU,
- ② 片上振荡器和时钟电路,
- ③ 32 根 I/O 线,
- ④ 外部数据存储器有 64 K 地址空间,
- ⑤ 外部程序存储器有 64 K 地址空间,
- ⑥ 两个 16 位定时器/计数器 (8032/8052 上有三个),
- ⑦ 五个中断源、两个优先级的中断结构 (8032/8052 为六个中断源),
- ⑧ 全双工串行端口,
- ⑨ 布尔处理器。

6.1 存储器结构

8051 的程序存储器和数据存储器有独立的地址空间。程序存储器可达 64 K 字节。低 4 K (8052 为 8 K) 可以驻留在片上。数据存储器可由片外 RAM 最长达 64 K 字节组成, 另外它还包括片上 RAM 128 字节 (8052 为 256 字节) 加上若干“SFR” (特殊功能寄存器), 列表如下。

符 号	名 称	地 址
* ACC	累加器	0 E 0 H
* B	B 寄存器	0 F 0 H
* PSW	程序状态字	0 D 0 H
SP	堆栈指示器	81 H
DPTR	数据指示器 (由 DPH 和 DPL 组成)	83 H 82 H
* P 0	端口 0	80 H
* P 1	端口 1	90 H
* P 2	端口 2	0 A 0 H
* P 3	端口 3	0 B 0 H
* I P	中断优先级控制	0 B 8 H
* I E	中断允许控制	0 A 8 H
TMOD	定时器/计数器方式控制	89 H
* T 2 CON	定时器/计数器控制	88 H
TCON	定时器/计数器 2 控制	0 C 8 H
THO	定时器/计数器 0 (高字节)	8 C H
TLO	定时器/计数器 0 (低字节)	8 A H
TH1	定时器/计数器 1 (高字节)	8 D H

符 号	名 称	地 址
TL 1	定时器/计数器 1 (低字节)	8BH
+TH2	定时器/计数器 2 (高字节)	0CDH
+TL2	定时器/计数器 2 (低字节)	0CCH
+RCAP2H	定时器/计数器 2 记录寄存器 (高字节)	0CBH
+RCAP2L	定时器/计数器 2 记录寄存器 (低字节)	0CAH
*SCON	串行控制	98H
SBUF	串行数据缓冲	99H
PCON	电源控制	97H

标有 * 号的 SFR 是位与字节都可寻址的寄存器。标有 (+) 号的 SFR 只在 8052 中存在。

SFR 的功能描述如下:

累加器

ACC 是累加寄存器。然而,对于累加器专用指令记忆符,把累加器简称为 A。

B 寄存器

B 寄存器在乘法和除法运算中使用。对于其它指令,它可以作为另一个暂存寄存器。

程序状态字

PSW 寄存器保存图 6-2 所示的程序状态信息。

堆栈指示器

堆栈指示器为 8 位。在存贮数据之前,执行 PUSH 和 CALL 时,它加 1。当堆栈可以设在片上 RAM 的任何地方时,复位后堆栈指示器要预置到 07H。这样就可在地 址 08H 开始建立堆栈。

数据指示器

数据指示器 (DPTR) 由高字节 (DPH) 和低字节 (DPL) 组成。它的预期功能是保存 16 位地址。它可以作为 16 位寄存器或两个独立的 8 位寄存器。

端口 0 ~ 3

P0、P1、P2 和 P3 分别为端口、0、1、2 和 3 的 SFR 锁存器。

串行数据缓冲器

串行数据缓冲器实际上是两个独立的寄存器:发送缓冲寄存器和接收缓冲寄存器。当数据传送到 SBUF 时,数据到达发送缓冲器,并保存在这里以便串行发送。(把字节传送到 SBUF,开始发送。)当数据离开 SBUF 时,它来自接收缓冲器。

定时寄存器

寄存器对 (TH0, TL0)、(TH1, TL1) 和 (TH2, TL2) 分别为定时器/计数器 0、1 和 2 的 16 位计数寄存器。

记录寄存器

寄存器对 (RCAP2H, RCAP2L) 是定时器 2 “记录方式”的记录寄存器。在这种方式下,随着在 8052T2EX 引脚上的电平变换,TH2 和 TL2 复制到 RCAP2H 和 RCAP2L。定时器 2 也有 16 位自动再装入方式,而 RCAP2H 和 RCAP2L 却保持这种方式的再装值。定时器 2 特性的更详细情况见 6.6.2 节。

控制寄存器

特殊功能寄存器IP、IE、TMOD、TCON、T2CON、SCON和PCON存放中断系统、定时器/计数器和串行端口的控制与状态位。它们在后面叙述。

6.2 振荡器和时钟电路

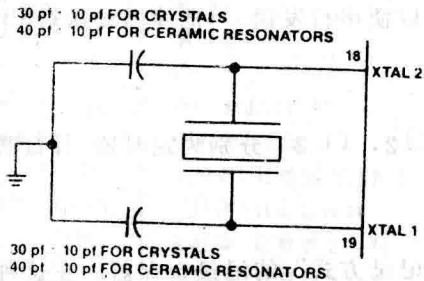
XTAL1和XTAL2是单级片上反相器的输入和输出。它们接片外元件可构成Pierce振荡器，如图6-3所示。片上电路以及为构成振荡器而对片外元件的选择，在6.13节中讨论。更详细的说明见本手册应用说明AP-155“微控制机的振荡器”。

(MSB)				(LSB)			
CY	AC	F0	RS1	RS0	OV	—	P
符号	位置	名称与有效位					
CY	PSW.7	进位标志位					
AC	PSW.6	辅助进位标志位（对BCD操作）					
F0	PSW.5	标志位0（对用户通用）					
RS1	PSW.4	寄存器组选择控制位1和0，由指定的软件置位/复位					
RS0	PSW.3	工作寄存器组（见附注）					
OV	PSW.2	溢出标志位					
—	PSW.1	（保留）					
P	PSW.0	奇偶校验标志位，每个机器周期由硬件来置位/清除，以指示累加器中“1”的位的奇/偶数（即偶校验）					

附注：使能工作寄存器（RS1，RS0）的内容如下：

- | | |
|-----------|-----------|
| (0.0) 一组0 | (00H—07H) |
| (0.1) 一组1 | (08H—0FH) |
| (1.0) 一组2 | (10H—17H) |
| (1.1) 一组3 | (18H—1FH) |

图6-2 PSW: 程序状态字寄存器



振荡器在任何情况下都驱动内部时钟脉冲发生器。时钟脉冲发生器为片子提供内部时钟脉冲信号。内部时钟脉冲信号频率是振荡器频率的一半，并由它确定内部相位、状态和机器周期，这在下一节中讨论。

6.3 CPU定时

一个机器周期由6个状态（12个振荡器周期）组成。每个状态分成相位1部分（此

图6-3 晶体/陶瓷谐振振荡器

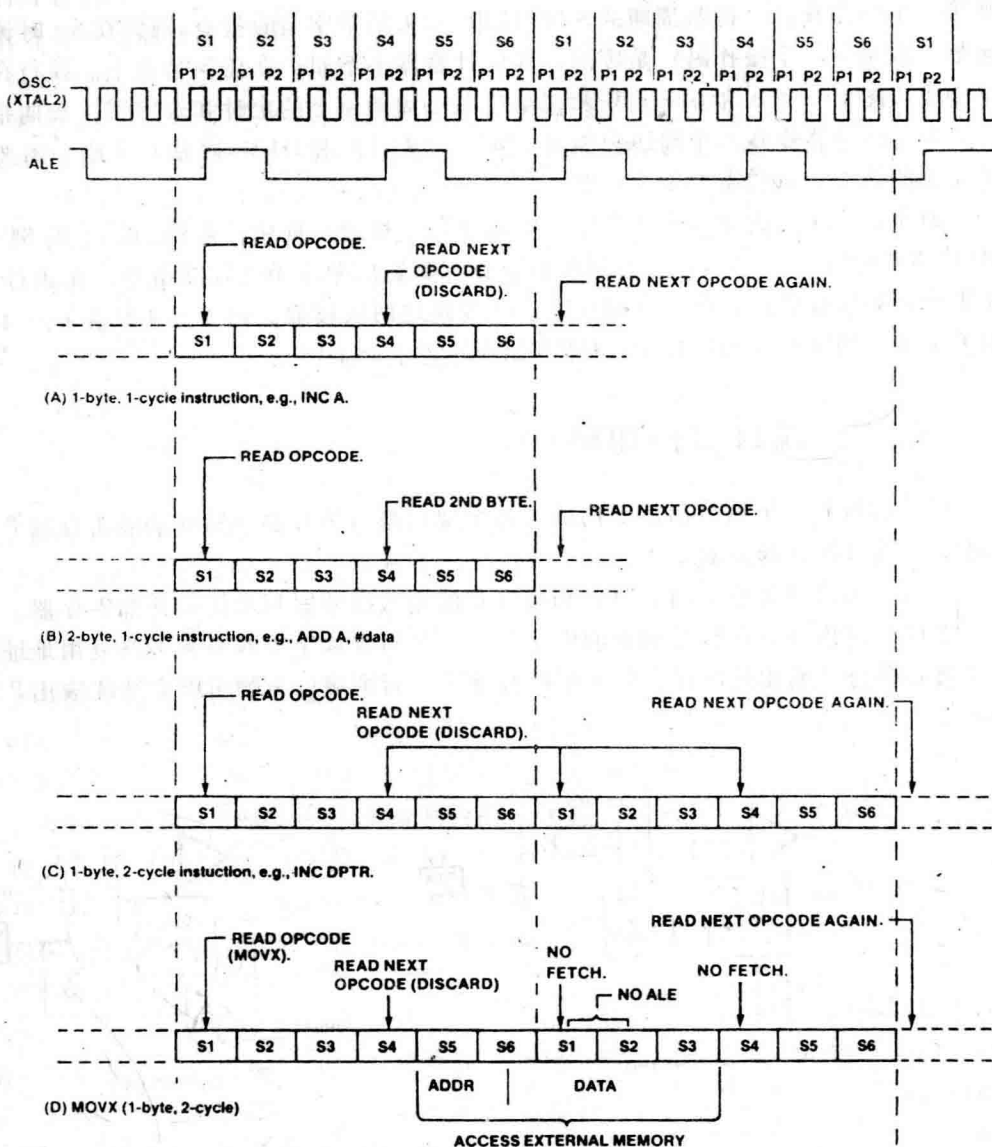


图 6—4 8051 取指令/执行时序

时相位 1 时钟脉冲有效) 和相位 2 部分 (此时相位 2 时钟脉冲有效)。这样, 一个机器周期由 12 个振荡器周期组成, 编号为 S1P1 (状态 1, 相位 1) ~ S6P2 (状态 6, 相位 2)。每个相位持续一个振荡器周期。每个状态持续两个振荡器周期。在典型的情况下, 在相位 1 期间进行算术和逻辑运算, 而在相位 2 期间进行内部寄存器—寄存器传送。

图 6—4 示出内部状态和相位的取指令执行定时。因为用户不能得到这些内部时钟, 故 XTAL2 和 ALE 信号适用于外部基准。ALE 通常在每一机器周期中两次启动: 一次在 S1P2 和 S2P1 时; 另一次是在 S4P2 和 S5P1 时。

当操作码锁存到指令寄存器时, 1 周期指令在 S1P2 开始执行。如果它是双字节指令,

则第二个字节在同一机器周期的S4时读取。如果是单字节的指令,则仍在S4时读取,但字节读数(应是下一个操作码)是废的,程序计数器不增量。在任何情况下,执行在S6P2的末尾完成。图6—4A和6—4B示出单字节1周期指令的定时和双字节1周期指令的定时。

多数8051指令在一个周期内执行。MUL(乘法)和DIV(除法)是唯一需要两个以上周期完成的指令。它们需要4个周期。

通常,两个代码字节是由程序存储器在每一机器周期中读取的。唯一的例外是在执行MOVX指令时。MOVX是要访问外部数据存储器的单字节2周期指令。在执行MOVX期间,如果外部数据存储正在寻址和选通,则要跳过两次读取。图6—4C和6—4D示出标准的单字节2周期指令的定时和MOVX指令的定时。

6.4 端口结构和操作

8051的所有4个端口都是双向的。每个端口都由锁存器(特殊功能寄存器P0~P3)、输出驱动器和输入缓冲器组成。

端口0和端口2的输出驱动器和端口0的输入缓冲器用来访问外部寄存器。在这种应用中,端口0输出外部存储器地址的低字节,它是写或读字节的分时多路复用地址。在地址为16位时,端口2输出外部存储器地址的高字节。否则端口2的引脚会继续输出P2SFR的内容。

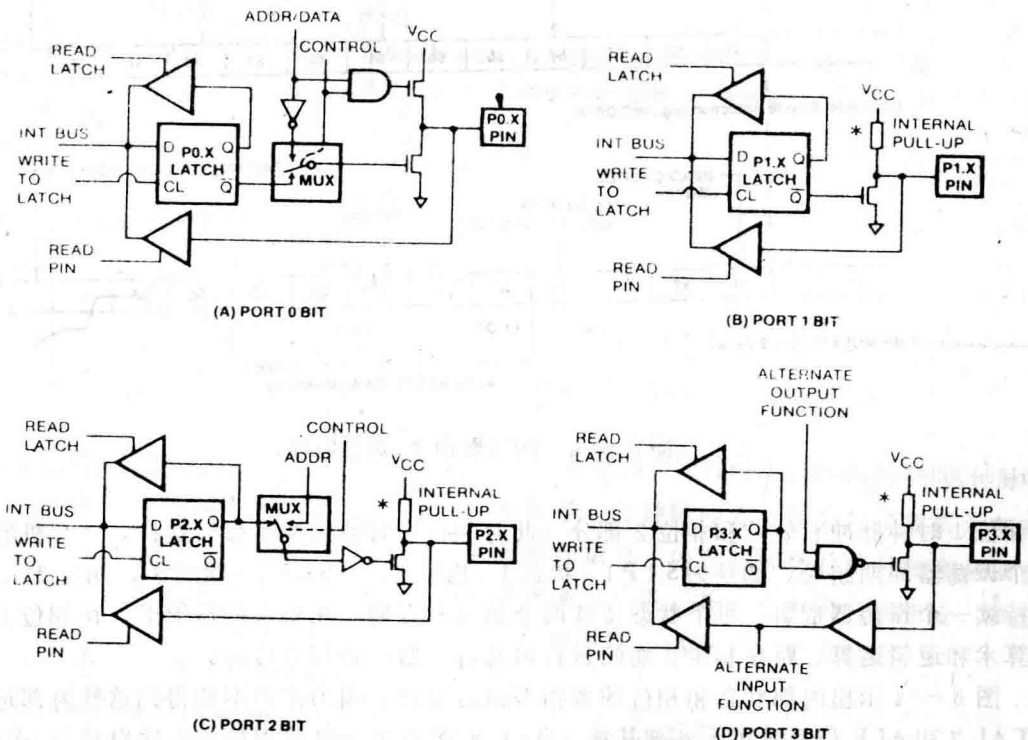


图6—5 8051端口位锁存器和I/O缓冲器

(见图6—6的内部上拉说明)

端口 3 的所有引脚和（在 8052 中）端口 1 的两个引脚都是多功能的。它们不仅是端口引脚，而且也有各种特殊的功能，即：

端口引脚	替换功能
* P1.0	T2（定时器/计数器 2 外部输入）
* P1.1	T2EX（定时器/计数器 2 的记录/再装入触发器）
P3.0	RXD（串行输入端口）
P3.1	TXD（串行输出端口）
P3.2	$\overline{\text{INT0}}$ （外部中断）
P3.3	$\overline{\text{INT1}}$ （外部中断）
P3.4	T0（定时器/计数器 0 外部输入）
P3.5	T1（定时器/计数器 1 外部输入）
P3.6	$\overline{\text{WR}}$ （外部数据存储器写选通）
P3.7	$\overline{\text{RD}}$ （外部数据存储器读选通）
* P1.0 和 P1.1 仅在 8052 才有这些替换功能。	

如果端口 SFR 的对应位锁存器为 1，则只能启动替换功能。否则端口引脚应为 0 状态。

6.4.1 I/O 配置

图 6-5 是四个端口中的每一端口典型的位锁存器和 I/O 缓冲器的功能图。位锁存器（端口 SFR 中的一位）是 D 触发器，它响应 CPU 的“写锁存器”信号，将内部总线的值记下来。在响应 CPU 的“读锁存器”信号时，将触发器 Q 的输出放到内部总线上。在响应 CPU “读引脚”信号时，将端口引本身电平放到内部总线上。读端口的某些指令启动“读锁存器”信号，而其它指令则启动“读引脚”信号。更详细的说明见 6.4.4 节。

如图 6-5 所示，端口 0 和端口 2 的输出驱动器可由内部 CONTROL 信号转换到内部 ADDR 和 ADDR/DATA 总线，用于外部存储器访问。在外部存储器访问中，P2 SFR 保持不变，但 P0 SFR 却得到写入的 1。

又如图 6-5 所示，如果 P3 位锁存器为 1，则输出电平便受到标有“替换输出功能”信号的控制。实际的 P3.X 引脚电平总与替换输入功能引脚（若有的话）的电平相同。

端口 1、2 和 3 有内部上拉。端口 0 有漏极开路输出。每个 I/O 线都能独立地用作输入或输出。（端口 0 和端口 2 在用作 ADDR/DATA BUS—地址数据总线时，不能当作通用 I/O。）为了用作输入，端口位锁存器必须为 1，它断开输出驱动器的场效应管（FET）。因此，对于端口 1、2 和 3，引脚由内部上拉源拉高，但可由外部源拉低。

端口 0 的差别是内部没有上拉。P0 输出驱动器（见图 6-5 A）的上拉场效应管，只在外部存储器访问期间端口输出 1 时才使用，否则上拉场效应管截止。因此，P0 线在用作输出端口线时是漏极开路的。对位锁存器写 1，使两个输出场效应管截止，这样，引脚便浮空。在这种条件下，它可以用作高阻抗输入。

因为端口 1、2 和 3 有固定的内部上拉，所以它们有时叫做“准双向”端口。在配置成输入时，它们拉高，而在外部拉低时，它们是源电流（在数据表上为 I_{TL}）。另一方面，端口 0 是“真正”双向的，因为在配置成输入时它浮空。

8051 的所有端口锁存器都由复位功能写 1。如果接着把端口锁存器写 0，它可以通过对

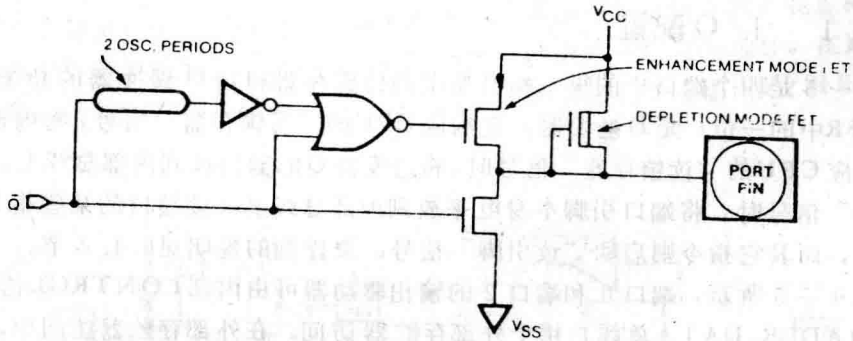
端口锁存器写 1 而重新配置成输入。

6.4.2 对端口写入

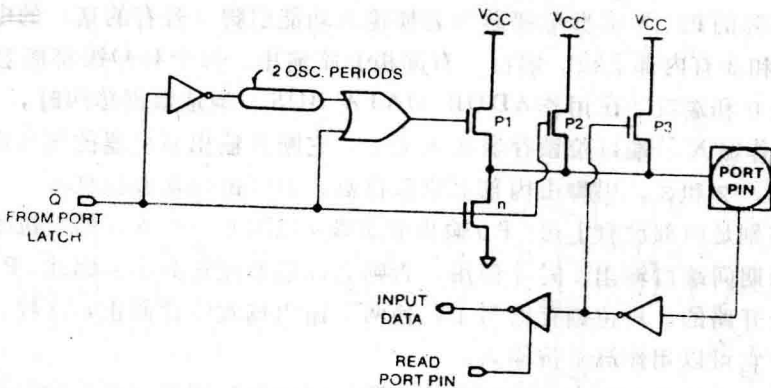
在执行能改变端口锁存器值的指令时，于指令最后周期的 S6P2 期间锁存器得到新值。但是，端口锁存器实际上仅在任何时钟周期的相位 1 由它们的输出缓冲器进行采样。（在相位 2，输出缓冲器保持着前述相位 1 的值。）因此，在下一机器周期的 S1P1 上出现下一相位 1 前，端口锁存器的新值实际上不会出现在输出引脚上。

如果这种变化要求端口 1、2 和 3 由 0 变到 1，则在出现变换的周期的 S1P1 和 S1P2 时接通附加上拉源。这会提高变换速度。附加上拉源的电流将是标准上拉源电流的 100 倍。应该指出，内部上拉源是场效应晶体管，不是线性电阻器。上拉源的配置情况如图 6-6 所示。

在 8051 的 HMOS 型号中，上拉源的固定部分是耗尽型晶体管带一个连到电源的门电路。这种晶体管在对地短路时，允许引脚到电源有 0.25 毫安的电流。在并联时，固定上拉源是增强型晶体管，每当端口位由 0 变 1 时，它总是在 S1 开启。在这一间隔中，如果端口引脚对地短路，则这一附加晶体管允许引脚对电源有 30 毫安的附加电流。



A. HMOS Configuration. The enhancement mode transistor is turned on for 2 osc. periods after Q makes a 1-to-0 transition.



B. CHMOS Configuration. pFET 1 is turned on for 2 osc. periods after Q makes a 1-to-0 transition. During this time, pFET 1 also turns on pFET 2 through the inverter to form a latch which holds the 1. pFET 2 is also on.

图 6-6 端口 1、2 和 3 HMOS 和 CHMOS 内部上拉源的配置

在CHMOS型号中,上拉源由三个P沟道场效应管(PFET)组成。应该指出,当逻辑1加给其门电路时,n沟道场效应管(nFET)导通;当逻辑0加给其门电路时,它截止。P沟道场效应管则相反:在其门电路为0时,它导通;在其门电路为1时,它截止。

在图6-6B中,pFET1晶体管在端口锁存器由0变1后导通两个振荡器周期。它导通时,也通过反相器使pFET3(弱上拉源)导通。这个反相器和pFET3构成了保持1的锁存器。

应该注意,如果引脚输出1,则从某一外部源送到引脚上的负信号便使pFET3截止,使引脚进入浮空状态。pFET2是个很弱的上拉源,在传统的CMOS结构中,每当nFET截止,它总要导通。它的强度(strength)仅约为pFET的1/10。它的功能是把引脚恢复为1,结果,引脚得到1,而把假信号丢掉。

6.4.3 端口负载与接口

端口1、2和3的输出缓冲器都可以驱动4个LS TTL输入。HMOS型号的这些端口可以正常的方式由TTL或NMOS电路驱动。HMOS和CHMOS两种型号都可以用集电极开路 and 漏极开路的输出来驱动,而无需外部上拉源。

端口0输出缓冲器可以驱动8个LSTTL输入。然而,除了把它们用作ADDRESS/DATA总线外,它们需要用外部上拉源来驱动NMOS输入。

6.4.4 读改写特性

某些读端口的指令是读锁存器,而其它指令则读引脚。哪个读哪个?读锁存器而不是读引脚的指令是一组读数值,可以改变数值,然后再写入锁存器的指令。它们叫做“读改写”指令。下表中的那些指令就是读改写指令。当目的操作数是端口或端口位时,这些指令就是读锁存器,而不是读引脚。

ANL	(逻辑“与”,如ANL P1, A)
ORL	(逻辑“或”,如ORL P2, A)
XRL	(逻辑“异或”,如XRL P3, A)
JBC	(在位=1时转移,并清除位,如JBC P1.1, LABEL)
CPL	(位求反,如CPL P3.0)
INC	(加1,如INC P2)
DEC	(减1,如DEC P2)
DJNZ	(减1并在非零时转移,如DJNZ P3, LABEL)
MOV PX.Y, C	(进位位传送到端口X的位Y)
CLR PX.Y	(清除端口X的位Y)
SET PX.Y	(置端口X的位Y)

在上表中,后三条指令是读改写指令,不是很明显的,但它们确是读改写指令。它们读端口字节(全8位)修改寻址位,然后把新的字节写回锁存器。

把读改写指令用于锁存器而不用于引脚的理由,是为了避免对引脚的电压电平产生可能的错误解释。例如端口位可以用来驱动晶体管的基极。在对位写1时,晶体管导通。如果CPU在引脚上而不是在锁存器上读同一端口位,则它将读晶体管的基极电压,并把它当作0。读锁存器,而不读引脚,就会得到正确值1。

6.5 访问外部存贮器

访问外部存贮器有两种形式：访问外部程序存贮器和访问外部数据存贮器。访问外部程序存贮器，要用信号 $\overline{\text{PSEN}}$ （程序存贮允许）作为读选通。而访问外部数据存贮器，要用 $\overline{\text{RD}}$ 或 $\overline{\text{WR}}$ （P3.7 和 P3.6 的替换功能）来选通存贮器。

从外部程序存贮器取数，一律采用16位地址。访问外部数据存贮器，可以采用16位地址（ $\text{MOVX} \text{ (a) DPTR}$ ）或者8位地址（ $\text{MOVX} \text{ (a) Ri}$ ）。

每当采用16位地址时，端口2上总是出现地址高字节，并在读或写周期内一直保持。在这一时间内，端口2锁存器（特殊功能寄存器）不是1，并且端口2 SFR 的内容不修改。如果外部存贮周期不是立即跟着另一外部存贮周期，端口2 SFR 的未被干扰的内容将在下一周期再出现。

如果采用8位地址（ $\text{MOVX} \text{ (a) Ri}$ ），则在整个外部存贮周期内端口2引脚上将保持端口2 SFR 的内容。这将便于划分页面。

在任何情况下，地址的低字节同端口0的数据字节是分时分路复用的。 $\overline{\text{ADDR}}$ $\overline{\text{DATA}}$ 信号驱动端口0输出缓冲器的两个场效应管。因此，在这种应用中端口0引脚不是漏极开路输出，不要求外部上拉源。信号 $\overline{\text{ALE}}$ （地址锁存允许）应用来接收地址字节到外部锁存器。地址字节在 $\overline{\text{ALE}}$ 负跳变时有效。因此在写周期中，待写的数据字节正好在 $\overline{\text{WR}}$ 有效之前出现在端口0，并且一直保持到 $\overline{\text{WR}}$ 无效为止。在读周期中，输入字节正好在读选通无效之前在端口0上得到。

在对外部存贮器的任何访问中，CPU对端口0锁存器（特殊功能寄存器）写0FFH，因而清除任何信息，端口0 SFR 可以保持。

在下面两种条件下访问外部程序存贮器：

- ① 每当信号 $\overline{\text{EA}}$ 有效时；或者
- ② 每当程序计数器（PC）的内容大于0FFFH（对8052为1FFFH）时。

这要求ROM的 $\overline{\text{EA}}$ 是低电平，以允许从外部存贮器读取低4K（8032为8K）程序字节。

当CPU正执行外部程序存贮器的输出时，端口2的所有8位都专用于输出功能，而不能用于通用I/O。在外部程序读数时，它们输出PC的高字节；在访问外部数据存贮器时，它们输出DPH或端口2 SFR（这要看外部数据存贮器访问的是 $\text{MOVX} \text{ (a) DPTR}$ 还是 $\text{MOVX} \text{ (a) Ri}$ ）。

6.5.1 $\overline{\text{PSEN}}$

外部取数的读选通是 $\overline{\text{PSEN}}$ 。在内部取数时， $\overline{\text{PSEN}}$ 无效。在CPU访问外部程序存贮器时，不管实际上现行指令是否需要取字节， $\overline{\text{PSEN}}$ 每周期有效两次（在 MOVX 指令时除外）。在 $\overline{\text{PSEN}}$ 有效时，它的定时不同于 $\overline{\text{RD}}$ 。包括 $\overline{\text{ALE}}$ 和 $\overline{\text{RD}}$ 有效和无效在内的整个 $\overline{\text{RD}}$ 周期花12个振荡器周期。包括 $\overline{\text{ALE}}$ 和 $\overline{\text{PSEN}}$ 有效与无效在内的整个 $\overline{\text{PSEN}}$ 周期，花6个振荡器周期。这两种读周期的执行顺序在图6-7中做了比较。

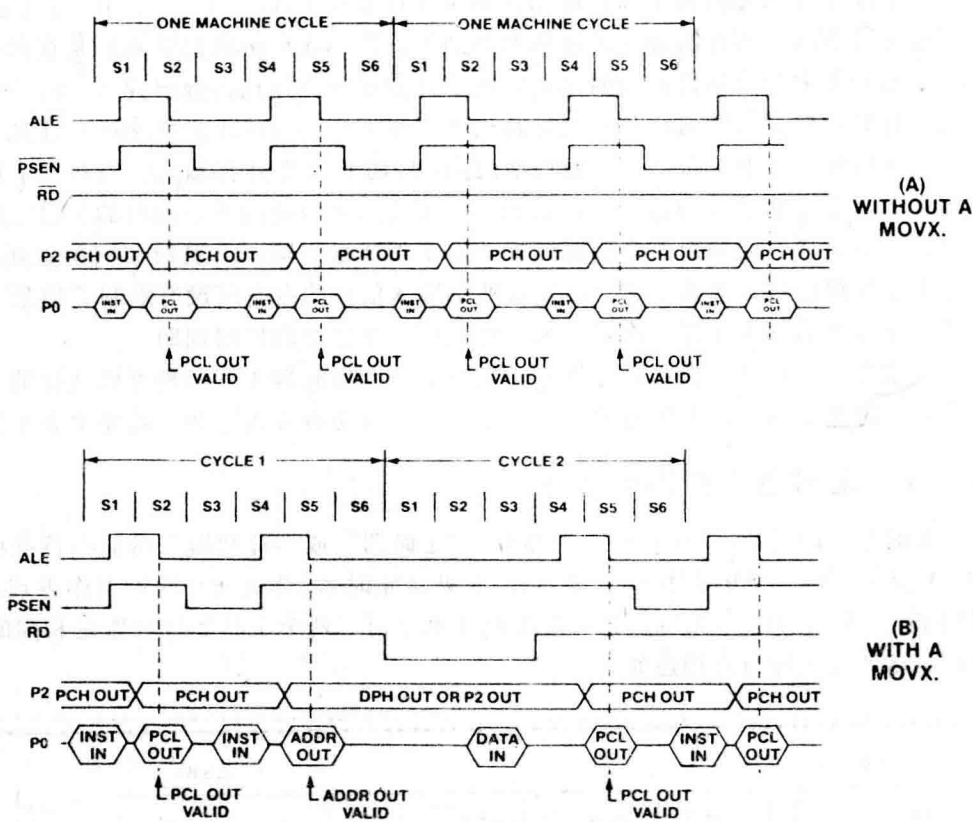


图 6-7 外部程序存储器执行

6.5.2 ALE

ALE 的主要功能是提供适当的定时信号,以便在由外部程序存储器取数时,把一个地址的低字节从 P0 锁存到外部锁存器。为此, ALE 在每个机器周期有效两次。即使这一周期不需要外部取数,也会出现 ALE 有效。不出现 ALE 脉冲的唯一时间是在访问外部数据寄存器时。MOVX 指令第二个周期的第一个 ALE 是丢 (missing) 的 (见图 6-7)。因此,在任何不用外部数据寄存器的系统中, ALE 在 $1/6$ 振荡器频率的固定时间内有效,并能用于外部同步或定时。

6.5.3 重叠外部程序和数据存储空间

在某些应用中,要求从存储数据的同一物理存储器执行程序。在 8051 中,外部程序和数据存储器空间可以通过 PSEN 和 RD 进行“与”操作而组合起来。这两个信号的正逻辑 AND 产生低有效的读选通,它可以用于组合的物理存储器。由于 PSEN 周期比 RD 周期快,所有外部存储器必须快到足以适应 PSEN 周期。

6.6 定时器/计数器

8051有两个16位定时器/计数器寄存器:定时器0和定时器1。8052还有一个定时器2。这三个定时器既能作为定时器工作,也能作为事件计数器工作。

在用作定时器时,寄存器每个机器周期都加1。因此我们可以把它看作是在计数机器周期。因为机器周期由12个振荡器周期组成,所以计数速率为振荡器频率的1/12。

在用作计数器时,寄存器随其相应外部输入引脚T0、T1或T2(对8052)上的1→0变换而加1。在这种应用中,在每个机器周期的S5P2时,采样外部输入。当在一个周期采样为高,而在下一个周期采样为低时,计数加1。在检测到变换的下一周期的S3P1时,寄存器中出现新的计数值。因为用两个机器周期(24个振荡器周期)来识别1→0变换,所以最大的计数速率为振荡器频率的1/24。这里对外部输入信号的占空度没有限制,但是为了确保规定电平在它变化前至少采样一次,它至少要保持一个完整的机器周期。

除了“定时器”或“计数器”选择外,定时器0和定时器1有四种可供选择的工作方式。在8052中,定时器2有三种工作方法:“记录”、“自动再装入”和“波特率发生器”。

6.6.1 定时器0和定时器1

这些定时器/计数器在8051和8052中都有。“定时器”或“计数器”功能由特殊功能寄存器TMOD(图6-8)中的控制位C/ $\overline{T}$ 来选择。这两个定时器/计数器有四种工作方式,它们由TMOD中的(M1、M0)两位选择。方式0、1和2对于两个定时器/计数器是相同的。方式3则不同。这四种工作方式描述如下:

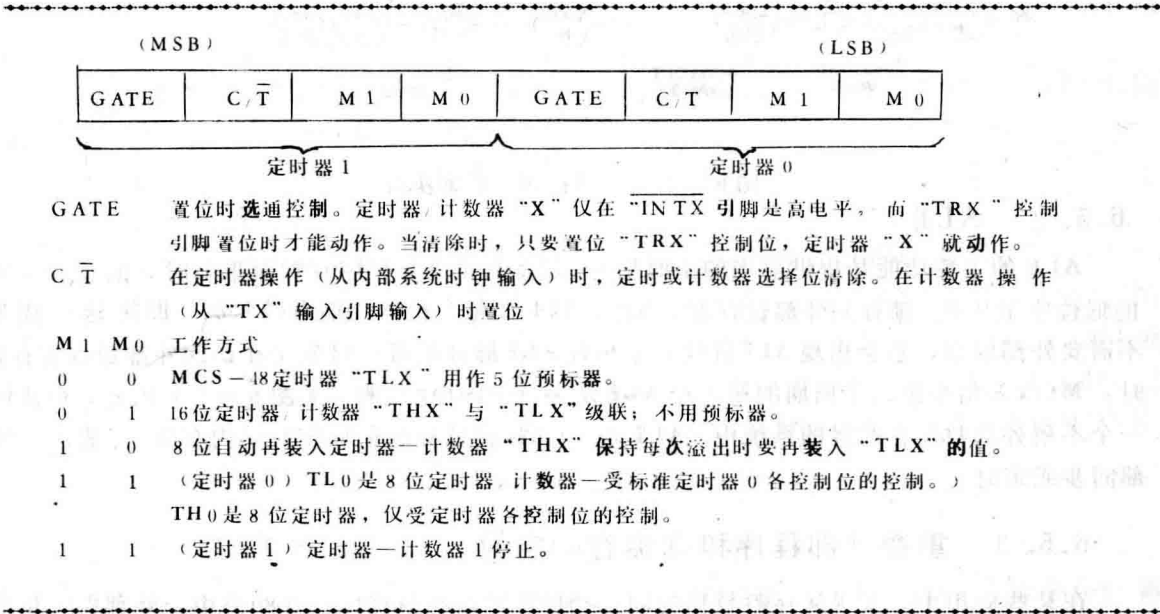


图 6-8 TMOD: 定时器/计数器控制寄存器

方式0

把任一一个定时器置于方式0,看起来它象是8048定时器,它是带32预定比例因子分频的8位计数器。图6-9示出定时1用方式0的操作。

在这种方式中，定时器寄存器配置成13位寄存器。当计数从全1反转到全0时，置定时器中断标志TF1。在TR1=1和GATE=0或INT1=1时，定时器允许计数输入。（置GATE=1，能使定时器受外部输入INT1的控制，以便于脉冲宽度测量。）TR1是特殊功能寄存器TCON的控制位（图6-10）。GATE处于TMOD中。

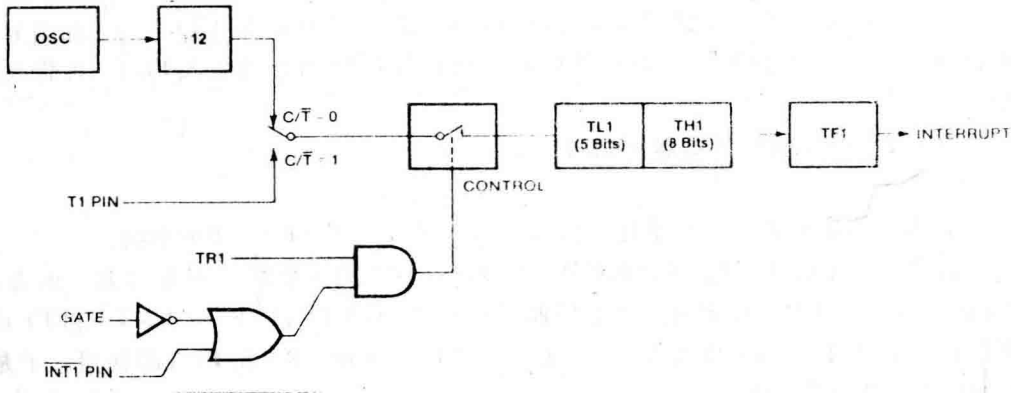


图 6-9 定时器/计数器 1 方式 0：13 位计数器

(MSB)				(LSB)			
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
符号	位置	名称与有效位					
TF1	TCON.7	定时器 1 溢出标志位。由硬件根据定时器/计数器溢出置位。当处理器指向中断程序时由硬件清除。					
TR1	TCON.6	定时器 1 操作控制位。由软件置位/清除，使定时器/计数器通/断。					
TF0	TCON.5	定时器 0 溢出标志位。由硬件根据定时器/计数器溢出置位。当处理器指向中断程序时由硬件清除。					
TR0	TCON.4	定时器 0 操作控制位。由软件置位/清除，使定时器/计数器通/断。					
IE1	TCON.3	中断 1 边沿标志位。在检测到外部中断边沿时由硬件置位。在处理中断时清除。					
IT1	TCON.2	中断 1 类型控制位。由软件置位/清除，以便确定下降沿/低电平触发的外部中断。					
IE0	TCON.1	中断 0 边沿标志位。在检测到外部中断边沿时由硬件置位。在处理中断时清除。					
IT0	TCON.0	中断 0 类型控制位。由软件置位/清除，以便确定下降沿/低电平触发的外部中断。					

图 6-10 TCON：定时器/计数器控制寄存器

13 位寄存器由 TH1 的全 8 位和 TL1 的低 5 位组成。TL1 的高 3 位是不定的，没有用。置操作标志（TR1）不清除寄存器。

方式0 操作对定时器0 与定时器1 是相同的。用TR0, TF0 和 $\overline{\text{INT0}}$ 代替图6-9 中相应的定时器1 信号。有两个不同的GATE 位, 一个用于定时器1 (TMOD.7), 而另一个用于定时器0 (TMOD.3)。

方式1

除了定时器以全16位工作外, 方式1 与方式0 相同。

方式2

方式2 把定时器寄存器配置成能自动再装入的8 位计数器 (TL1), 如图6-11 所示。TL1 的溢出不仅置位TF1, 而且还以软件预置的TH1 内容再装入TL1。再装入使TH1 不变。

方式2 与定时器/计数器0 相同。

方式3

方式3 的定时器1 只简单地保持其计数。效果与置TR1=0 时相同。

方式3 的定时器0 把TL0 和TH0 作为两个独立的计数器。对定时器0 的方式3 逻辑示于图6-12。TL0 使用定时器0 的控制位: C/T, GATE, TR0, $\overline{\text{INT0}}$ 和TF0。TH0 固定在定时器功能(计数器周期)上, 并取代定时器1 的TR1 和TF1 的使用。于是, TH0 便控制“定时器1”中断。

方式3 适用于需要附加8 位定时器或计数器的场合。对于方式3 的定时器0, 8051 好象有三个定时器/计数器, 而8052 好象有四个。当定时器0 处在方式3 时, 定时器1 可以通过使它离开和进入方式3 来接通和断开, 或者还可以通过串行端口用作波特率发生器, 或者用于实际上都不要求中断的场合。

6.6.2 定时器2

定时器2 是16 位定时器/计数器, 它只在8052 中才有。与定时器0 和定时器1 一样, 它可以用作定时器, 也可以用作事件计数器。这可以通过特殊功能寄存器T2CON 中的位C/T₂ 来选择(图6-13)。它有三种工作方式: “记录” “自动再装入” 和“波特率发生器”, 这要用表2 所列T2CON 中的各位来选择。

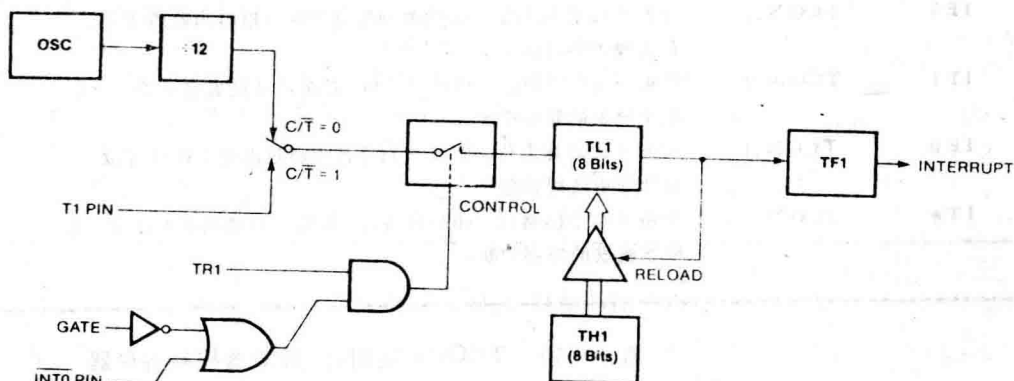


图6-11 定时器/计数器1 方式2: 8 位自动再装入

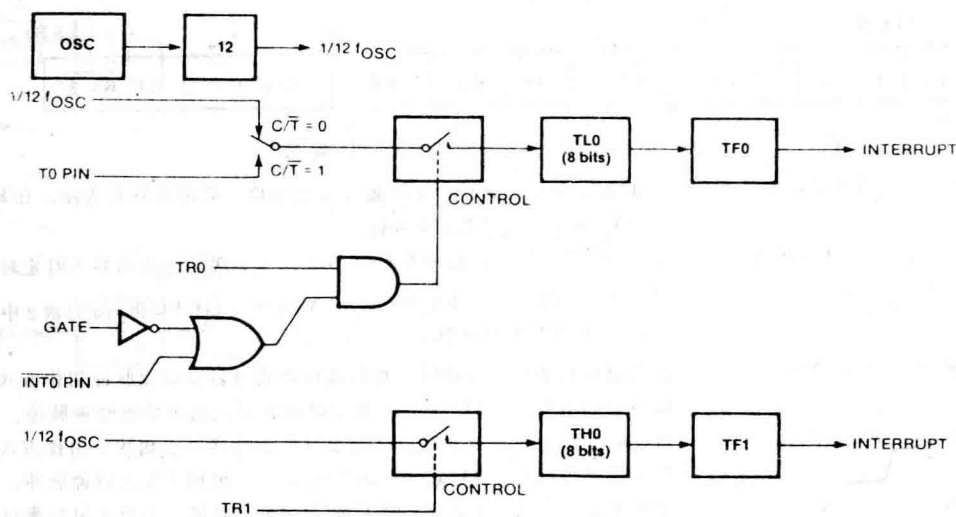


图 6-12 定时器/计数器 0 方式 3：两个 8 位计数器

表 2 定时器 2 工作方式

RCLK + TCLK	CP RL 2	TR 2	MODE
0	0	1	16 位自动再装入
0	1	1	16 位记录
1	X	1	波特率发生器
X	X	0	(断开)

在记录方式中，有两个可由 T2 CON 中位 EXEN 2 选择的任选项。如果 EXEN 2 = 0，则定时器 2 是 16 位定时器或计数器，它在溢出时置位 TF 2，定时器 2 溢出位能用来产生中断。如果 EXEN 2 = 1，则定时器 2 仍做上述动作，但增加了这样的特性，即在外输入端 T2 EX 上的 1 → 0 的变换使定时器 2 寄存器 TL 2 和 TH 2 的当时值分别记录到寄存器

RCAP 2 L 和 RCAP 2 H。（RCAP 2 L 和 RCAP 2 H 是 8052 的新的特殊功能寄存器。）此外，在 T2 EX 上的变换使 T2 CON 中的位 EXF 2 置位，而 EXF 2 像 FF 2 一样能产生中断。

记录方式如图 6-14 所示。

在自动再装入方式中也有两个由 T2 CON 中位 EXEN 2 选择的任选项。如果 EXEN 2 = 0，则在定时器 2 反转时，不仅置位 TF 2，而且使定时器 2 的寄存器再装入由软件预置的寄存器 RCAP 2 L 和 RCAP 2 H 中的 16 位值。如果 EXEN 2 = 1，则定时器 2 仍做上述动作，但却增加了这样的特性，即在外输入端 T2 EX 上由 1 → 0 的变换也触发 16 位再装入，并置位 EXF 2。

自动再装入方式如图 6-15 所示。

波特率发生器方式由 PCLK = 1 和/（或）TCLK = 1 来选择。这将结合串行接口来说明。

6.7 串行接口

串行端口是全双工的，它能同时发送和接收。它还是缓冲接收型的，在前一接收字节从接