

微控制器/微处理器
现场可编程外围芯片 PSD3XX

王
德
青

北京信息工程学院单片机高级研究培训中心
晓龙国际有限公司

前 言

美国 WaferScale Integration Inc. (WSI 公司) 生产的现场可编程外围芯片 PSDXXX 是特别适用于各类单片机(微控制器)系统的新型器件,也适用于大多数流行的 8 位和 16 位微处理器。

PSD3XX 是 PSD 家族中价格最低廉的一员,它把 32KB~128KB EPROM、2KB SRAM、3 个配置灵活的 I/O 口(共 19 根口线)和一个可编程逻辑阵列全部集成在一个单片上,能与绝大多数 8 位和 16 位单片机直接接口,构成一个完善的 2 片嵌入式系统。这种系统集成度高、可靠性好,体积小,功耗低。还具有可随机(通过软件编程)改变系统结构配置的独特优点;当系统设计要求稍有变化时,依靠这种灵活的可配置性,可以避免重新设计硬件,加速产品推向市场的过程。PSD 器件还具有加密功能,防止非法复制程序代码。

为进一步推广 PSD3XX 芯片的应用,提高单片机的开发应用水平,我们和晓龙国际有限公司北京办事处合作,组织北京信息工程学院部分教师,根据 PSD Programmable Peripherals Design and Application Handbook (1994) 一书编译了本资料,希望能起到良好的效果。今后,我们还将授权陆续组织出版 WSI 公司其他芯片资料,希望 WSI 的产品能受到用户的喜爱。

WSI 公司授权晓龙国际有限公司及晓龙公司北京办事处为香港和中国地区代理。晓龙公司将致力于推广 WSI 产品在大陆的使用,愿意与广大用户进行真诚的合作。

本资料编译过程中还得到北京信息工程学院电子技术与通信系、北京单片机应用技术协会和恒开电子科技有限公司的大力支持,特在此一并致谢。

主编 孙涵芳

1994 年 7 月于北京信息工程学院

电子技术与通信系

北信单片机高级研究培训中心

该中心由北京信息工程学院和北京市单片机应用技术协会共同组建，也是协会的高技术部。

为及时引进国外先进科技，进一步提高我国单片机技术的开发应用水平，中心开展如下工作：

1. 对内、对外建立广泛的多渠道联系，及时引进国外先进技术；
2. 组织高技术培训；
3. 编译出版有关的资料；
4. 以多种方式推动和促进高校在单片机及其相关领域内的教学工作，提高教学水平；
5. 承接有关的开发研究项目和咨询服务。

中心还以特别优惠的价格向用户提供各种单片机开发系统、多功能编程器、单片机和其他相关的器件和资料。

通信地址：北京市北四环中路健翔桥北京信息工程学院

邮政编码：100101

电话：(01) 4912255—2133, 4913692

恒开电子科技有限公司简介

恒开电子科技有限公司长期从事单片机开发系统及其相关产品的开发、生产和销售。现可向用户提供的产品主要有如下几类：1. 各种单片机开发系统；2. 各种编程工具，从廉价的简易编程卡到高性价比的多功能通用编程器；3. 多种单片机用户板；4. 各类相关芯片。

恒开公司本着薄利多销、热忱服务的原则经销各类产品，取得了用户的好评。

公司地址：北京市海淀区中关村路 58 号

邮编：100080

电话：(01) 2571207

目 录

上篇 PSD3XX 结构原理和性能	(1)
1 PSD3XX 系列现场可编程微控制器外围芯片	(2)
1.1 概述	(2)
1.1.1 主要特征	(2)
1.1.2 可支持的部分微控制器	(3)
1.1.3 应用	(3)
1.2 引言	(4)
1.3 产品简要说明及引脚功能描述	(4)
1.4 操作模式	(8)
1.4.1 多路复用的 8 位地址/数据总线	(8)
1.4.2 多路复用的 16 位地址/数据总线	(8)
1.4.3 非多路复用的地址/数据, 8 位数据总线	(8)
1.4.4 非多路复用的地址/数据, 16 位数据总线	(8)
1.5 可编程地址译码器(PAD)	(10)
1.6 配置位	(13)
1.7 端口功能	(15)
1.7.1 多路复用地址/数据模式中的端口 A	(16)
1.7.2 非多路复用地址/数据模式中的端口 A	(17)
1.7.3 多路复用地址/数据以及 8 位非多路复用模式中的端口 B	(17)
1.7.4 非多路复用地址/数据模式中的端口 B(PSD 30X)	(18)
1.7.5 访问 I/O 端口寄存器	(18)
1.7.6 所有模式中的端口 C	(18)
1.8 非多路复用模式中的 ALE/AS 和 AD0/A0~AD15/A15	(18)
1.9 A16~A19 输入	(20)
1.10 EPROM	(21)
1.11 SRAM	(22)
1.12 存储器分页(PSD3X2/3X3)	(22)
1.13 控制信号	(22)
1.13.1 $\overline{WR}/V_{PP}$ 或 R/W	(22)
1.13.2 $\overline{RD}/E/\overline{DS}$ (或 PSD3X1 中的 $\overline{RD}/E$)	(22)
1.13.3 ALE 或 AS	(23)
1.13.4 $\overline{BHE}/\overline{PSEN}$	(23)
1.13.5 $\overline{RESET}$	(23)
1.13.6 A19/ $\overline{CS1}$	(23)
1.14 系统应用	(27)
1.15 加密方式	(30)

1.16	CMiser 位	(30)
1.17	PSD3XX 的技术规范和时序图	(31)
1.18	擦除和编程	(54)
1.19	系统开发工具	(55)
1.19.1	硬件	(55)
1.19.2	软件	(55)
1.20	技术支持	(55)
2	PSD301 现场可编程微控制器外围芯片($\times 8/\times 16$; 256Kb EPROM, 16Kb SRAM)	(57)
2.1	主要特征	(57)
2.2	引脚命名	(58)
2.3	封装	(59)
2.4	订货信息	(61)
3	PSD311 现场可编程微控制器外围芯片($\times 8$; 256Kb EPROM, 16Kb SRAM)	(62)
3.1	主要特征	(62)
3.2	引脚命名	(63)
3.3	封装	(64)
3.4	订货信息	(66)
4	PSD302 现场可编程微控制器外围芯片($\times 8/\times 16$; 512Kb EPROM, 16Kb SRAM)	(67)
4.1	主要特征	(67)
4.2	引脚命名	(68)
4.3	封装	(69)
4.4	订货信息	(71)
5	PSD312 现场可编程微控制器外围芯片($\times 8$; 512Kb EPROM, 16Kb SRAM)	(72)
5.1	主要特征	(73)
5.2	引脚命名	(73)
5.3	封装	(74)
5.4	订货信息	(75)
6	PSD303 现场可编程微控制器外围芯片($\times 8/\times 16$; 1Mb EPROM, 16Kb SRAM)	(76)
6.1	主要特征	(76)
6.2	引脚命名	(77)
6.3	封装	(78)
6.4	订货信息	(79)

7 PSD313 现场可编程微控制器外围芯片($\times 8$; 1Mb EPROM, 16Kb SRAM)	(80)
7.1 主要特征	(80)
7.2 引脚命名	(81)
7.3 封装	(82)
7.4 订货信息	(83)

下篇 PSD3XX 应用指南

1 APN011:PSD3XX 器件描述	(85)
1.1 PSD3XX 器件描述	(86)
1.2 应用	(98)
1.3 软件支持	(127)
2 APN013:PSD301 使基于微控制器的灵巧发送器的设计精简	(133)
3 APN014:应用 PSD 可编程地址译码器作系统逻辑置换	(144)
4 APN015:使用 PSD3XX 的存储器分页功能	(159)
5 APN016:PSD3XX 的功率考虑	(171)
6 APN017:PSD3XX 跟踪方式的实现	(184)
7 APN018:PSD3XX 的保密性设计	(194)
8 APN019:PSD311 简化了 8 线电缆测试仪的设计并增加了处理灵活性	(197)
9 APN020:用 PSD3XX 实现 16 位设计的益处	(215)
10 APN021:PSD3XX 与 MC68HC16 和 MC68300 系列控制器的连接	(226)
11 APN022:在 80C31/80C51 微控制器系统中使用 WSI 的 PSD3XX 可编程微控制器外围芯片系列	(235)
12 APN023:PSD3XX 系列可编程微控制器外围芯片设计指导	(245)
13 APN024:在一个高速 ADSP-2105 DSP 系统中使用 PPSD311	(256)
14 APN025:如何将 PSD3XX 连接到 NEURON3150 CHIP	(265)
15 APN026:PSD3XX 芯片在笔记本型个人计算机中的应用——键盘、电源管理和辅助外围设备的控制	(283)

16 APN027:利用德·摩根定理在 PSD3XXPAD 中简化逻辑网络 ...	
.....	(288)
附录:晓龙国际有限公司简介	(296)
封三:北信单片机高级研究培训中心简介	
恒开电子科技有限公司简介	

上 篇

PSD3XX

结构原理和性能

1 PSD3XX 现场可编程微控制器外围芯片

(翻译: 张永君 校阅: 孙涵芳)

1.1 概述

1.1.1 主要特征

☐适用于微控制器应用系统的单片可编程外围芯片

☐19 个可独立配置的 I/O 引脚,可用作:

—微控制器 I/O 端口扩展

—可编程地址译码器(PAD)I/O

—锁存的地址输出

—开漏或 CMOS 驱动

☐两个可编程阵列(PAD A 和 PAD B)

—共 40 个乘积项,最多 16 个输入,24 个输出

—高达 1MB 空间的地址译码

—逻辑替换

☐“无粘结”(NO Glue)微控制器芯片集,即可与各类微控制器直接接口,不需要任何把两者“粘”在一起的附加逻辑(即所谓“胶”—glue)

—用于多路复用地址/数据总线的片内地址锁存器

—非多路复用(分离的)地址/数据总线模式

—ALE 和复位信号的极性可编程

—可选的读写控制总线模式,如 $\overline{RD}/\overline{WR}$ 或 R/W/E

☐256K 位的 UV EPROM

—可配置为 32K $\times$ 8 或 16K $\times$ 16

—分为 8 个相等的可映射块,便于最佳映射

—块的分辨力(即每块的最小容量)为 4K $\times$ 8 或 2K $\times$ 16

—120ns 的 EPROM 存取时间,包括输入锁存和 PAD 地址译码时间

☐16K 位静态 RAM

—可配置为 2K $\times$ 8 或 1K $\times$ 16

—120ns 的 SRAM 存取时间,包括输入锁存和 PAD 地址译码时间

☐地址/数据跟踪模式

—易于与其他微控制器或主处理器的共享资源(邮箱 SRAM)接口

☐内在的安全性

—对 PSD3XX 的配置单元和 PAD 译码器加锁

☐提供多种封装

—44 管脚的 PLDCC 和 CLDCC

□简单的菜单驱动软件

在 IBM PC 机上对 PSD3XX 进行配置

PSD3XX 系列性能一览表

器件	PLD 输入数 /乘积项数	端口数	EPROM 大小	SRAM 大小	配置	存储器 分页	C-Miser 位	加密位
PSD301	14/40	19	256Kb	16Kb	×8 或 ×16		X	X
PSD311	14/40	19	256Kb	16Kb	×8		X	X
PSD302	18/40	19	512Kb	16Kb	×8 或 ×16	X	X	X
PSD312	18/40	19	512Kb	16Kb	×8	X	X	X
PSD303	18/40	19	1Mb	16Kb	×8 或 ×16	X	X	X
PSD313	18/40	19	1Mb	16Kb	×8	X	X	X

1.1.2 可支持的部分微控制器

1. Motorola 系列

M6805, M68HC11, M68HC16, M68000/10/20, M68008, M683XX

2. Intel 系列:

8031/8051, 8096/8098, 80186/88, 80C196/C198

3. Philips 系列:

SC80C451, SC80C552

4. TI:

SC80C451, TMS320C14

5. Zilog:

Z8, Z80, Z180

6. National:

HPC16000, HPC46400

1.1.3 应用

1. 计算机(笔记本型 PC 机和便携式 PC 机)

—硬盘控制, 调制解调器, 图象系统, 激光打印机控制

2. 远程通信

—调制解调器, 蜂窝电话, 数字 PBX, 数字语音, FAX, 数字信号处理系统

3. 便携式工业仪器

—测量仪器, 数据记录仪

4. 医疗器械

—助听器, 监视设备, 诊断工具

1.2 引言

PSD3XX 系列是迅速崛起的 PSD 器件家族中的成员,是市场上第一个用于微控制器应用系统中的低电压、单片的接口芯片。在这些微控制器应用系统中,最基本的要求是满足设计规范、快速投入市场、体积小及功耗低。事实上,在一个 8 位或 16 位系统中,任何微控制器(68HC11,8051,80186 等)和 PSD3XX 器件组合在一起使用时都会构成一个功能很强的系统。它可以避免因各种分立元件混合在一起所造成的匹配问题。它还在不需要外部分立“粘结”逻辑的情况下,向微控制器系统提供所有必需的控制和外围元件。

随着使用简便的系统软件开发工具的出现,这种解决方案将变得更完善。以 IBM PC 平台或兼容机作主机,该软件可以使设计者快速配置器件并立即使用该器件。

1.3 产品简要说明及引脚功能描述

PSD3XX 系列集成了高性能的用户可配置部件:EPROM、SRAM 和可编程逻辑。主要的功能部件包括:两个可编程逻辑阵列 PAD A 和 PAD B、256K 到 1M 位的 EPROM、16K 位的 SRAM、输入锁存器和 I/O 端口。对于那些要求低功耗和体积很小的应用系统,包括硬盘控制、调制解调器、蜂窝电话、仪器仪表、计算机外围设备及类似的军用系统等,PSD3XX 系列很理想。

PSD3XX 系列为需要如下功能部件的微控制器提供一种唯一的单片解决方案:

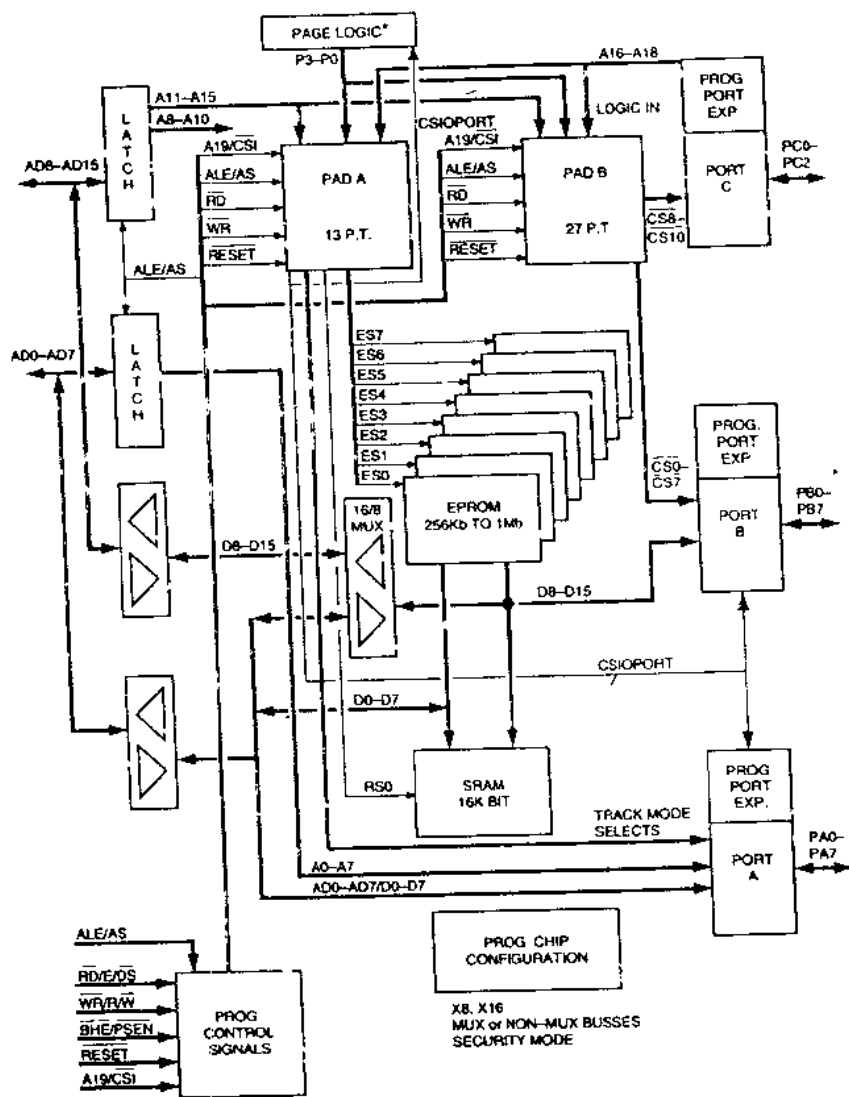
1. I/O 重构(在访问外部资源时,微控制器至少失去两个 I/O 端口)。
2. 比微控制器的内部存储器更多的 EPROM 和 SRAM。
3. 片选、控制或锁存的地址线,否则这些得另用分立元件实现。
4. 与共享的外部资源的接口。
5. 扩展的微控制器地址空间。

WSI 公司的 PSD3XX 系列体系结构(图 1-1)可以有效地与任何低电压的 8 位或 16 位微控制器系统接口,并能有效地增强它们的功能。这种设计方案第一次在单个芯片上向微控制器提供端口扩展,锁存地址,分页逻辑,两个可编程逻辑阵列(PADA 和 PAD B),一个与共享资源的接口,256K、512K 或 1M 位的 EPROM 以及 16K 位的 SRAM。PSD3XX 系列不需要任何粘结逻辑就能实现与任何 8 位或 16 位微控制器接口。

8051 微控制器系列能充分利用 PSD3XX 的分开程序地址空间和数据地址空间的优点。68HCXX 微控制器系列的用户可以改变控制信号的功能,直接采用 R/W 与 E 信号,或采用 R/W 与 DS 信号。16 位微控制器的用户,包括 80186、8096、80196 和 16XXX 的用户,可以在 16 位配置下使用 PSD301/302/303。地址总线 and 数据总线可根据主处理器需要设置为分离的或多路复用的。

PSD3XX 的 I/O 端口的灵活性允许与共享资源接口,总线的仲裁可由 PAD A 的输出进行控制。用户可以将以下功能赋给这些端口:标准 I/O 引脚,来自 PAD A 和 PAD B 的片选输出,被锁存的地址或多路复用地址/数据的低位字节。这使得用户可以设计外接诸如硬盘驱动器、调制解调器等一些插件系统,这些系统可以很容易地与主机总线(如 IBM PC, SCSI)接口。

页面寄存器使某些微控制器的可访问地址空间从 64K 扩展到 1M。16 个页面可用作 PAD 的基地址输入,因此使 16 位地址线微控制器的地址空间扩大至 16 倍。



*PSD3X2/3X3 only

图 1-1 PSD3XX 系列体系结构

表 1-1 PSD3XX 引脚说明

名 称	类型	说 明																														
$\overline{\text{BHE}}/\text{PSEN}$ (PSD30X 器件)	I	当数据总线宽度为 8 位(CDATA=0)时,该引脚为 PSEN 。在该模式中, PSEN 是低电平有效的 EPROM 读脉冲。SRAM 和 I/O 端口的读信号由 $\overline{\text{WR}}/\text{V}_{\text{PP}}$ 或者 R/W 和 $\overline{\text{RD}}/\text{E}/\overline{\text{DS}}$ 引脚产生。若主处理器是 8031 系列, PSEN 必须连接到主机的相应引脚。在没有专用 EPROM 只读选通的其他 8 位主处理器中, PSEN 应连接到 V_{CC} 。在这种情况下, $\overline{\text{RD}}$ 或 E 和 R/W 为 SRAM、I/O 端口和 EPROM 提供读选通。当数据总线宽度配置为 16(CDATA=1)时,该引脚为 $\overline{\text{BHE}}$ 。当 $\overline{\text{BHE}}$ 为低时,根据正在进行的是读操作还是写操作,数据总线位 D8~D15 读自 PSD3XX 或写入 PSD3XX。在编程模式中,该引脚在 V_{PP} 和 0 之间脉动。																														
或 PSEN (只对 PSD31X 器件)	I	PSEN 是低电平有效的 EPROM 读脉冲。SRAM 和 I/O 端口的读信号由 $\overline{\text{WR}}/\text{V}_{\text{PP}}$ 或 R/W 和 $\overline{\text{RD}}/\text{E}$ 引脚产生。若主处理器是 8031 系列, PSEN 必须连接到主机的相应引脚。在没有专用 EPROM 只读选通的其他 8 位主处理器中, PSEN 应连接到 V_{CC} 。在这种情况下, $\overline{\text{RD}}$ 或 E 和 R/W 为 SRAM、I/O 端口和 EPROM 提供读选通。																														
$\overline{\text{WR}}/\text{V}_{\text{PP}}$ 或 R/W/ V_{PP}	I	在操作模式中,该引脚的功能是$\overline{\text{WR}}$(CRRWR=0)或 R/W(CRRWR=1)。下表概述了 CRRWR=1 时的读、写操作: <table border="1"> <thead> <tr> <th colspan="3">CEDS=0</th> <th colspan="3">CEDS=1</th> </tr> <tr> <th>R/W</th> <th>E</th> <th></th> <th>R/W</th> <th>$\overline{\text{DS}}$</th> <th></th> </tr> </thead> <tbody> <tr> <td>X</td> <td>0</td> <td>NOP</td> <td>X</td> <td>1</td> <td>NOP</td> </tr> <tr> <td>0</td> <td>1</td> <td>写</td> <td>0</td> <td>0</td> <td>写</td> </tr> <tr> <td>1</td> <td>1</td> <td>读</td> <td>1</td> <td>0</td> <td>读</td> </tr> </tbody> </table> 当配置为$\overline{\text{WR}}$时,在有效的低脉冲期间执行写操作。当配置为 R/W 时,若 R/W=1 且 E=1,则执行读操作;若 R/W=0 且 E=1,则执行写操作。在编程模式中,该引脚必须连接到V_{PP}电压。	CEDS=0			CEDS=1			R/W	E		R/W	$\overline{\text{DS}}$		X	0	NOP	X	1	NOP	0	1	写	0	0	写	1	1	读	1	0	读
CEDS=0			CEDS=1																													
R/W	E		R/W	$\overline{\text{DS}}$																												
X	0	NOP	X	1	NOP																											
0	1	写	0	0	写																											
1	1	读	1	0	读																											
$\overline{\text{RD}}/\text{E}/\overline{\text{DS}}$ (注 2)	I	该引脚的功能取决于 CRRWR 和 CEDS 配置位。若 CRRWR=0,则 $\overline{\text{RD}}$ 是低电平有效的读脉冲。当 CRRWR=1 时,该引脚和 R/W 脚确定以下周期类型:若 CEDS=0,则 E 是一个高有效的选通信号。若 CEDS=1,则 $\overline{\text{DS}}$ 是一个低有效的选通信号。																														
或 $\overline{\text{RD}}/\text{E}$ (注 3)	I	当配置为 $\overline{\text{RD}}$ (CRRWR=0)时,该引脚提供一个低电平有效的 $\overline{\text{RD}}$ 选通信号。当配置为 E(CRRWR=1)时,该引脚为一个高有效的脉冲,该脉冲与 R/W 一起定义周期类型。若 R/W=1 且 E=1,则执行读操作。若 R/W=0 且 E=1,则执行写操作。																														
$\overline{\text{CS}}/\text{A19}$	I	该引脚有两种配置。当配置为 $\overline{\text{CS}}(\text{CA19}/\overline{\text{CS}}=0)$ 且给该引脚加高电平时,则禁止该器件并使其掉电。(表 1-12 和表 1-13 给出在掉电模式期间芯片的状态。)若给该引脚加低电平,则该芯片处于常规操作模式。当配置为 A19(CA19/ $\overline{\text{CS}}=1$)时,该引脚可用作 PAD 的一个附加输入。CADLOG3=1,则将该引脚定义为地址;CADLOG3=0,则将它定义为一个逻辑输入。如果它是一个地址,那么 A19 可由 ALE 锁存(CADDHLD=1)或者作为一个透明的逻辑输入(CADDHLD=0)。在该模式中,没有掉电功能。																														
$\overline{\text{RESET}}$	I	用户可对该引脚编程,将其配置为用高电平复位(CRESET=1)或用低电平复位(CRESET=0)。它至少应保持 100ns 有效。关于复位后该芯片的状态,请见表 1-10a,表 1-10b 和表 1-11。																														

(表 1-1 续)

ALE 或 AS	I	在多路复用模式中, ALE 引脚可用作地址锁存允许信号或用作地址选通信号, 它可配置为高电平有效, 也可配置为低电平有效。ALE 或 AS 脉冲后沿在 16 位模式中将 AD15/A15~AD0/A0 和 A16~A19 线(在 8 位模式中为 AD7/A7~AD0/A0 和 A16~A19)及 $\overline{\text{BHE}}$ 进行锁存。见表 1-8。在非多路复用模式中, 可将它用作 PAD 的一个通用逻辑输入。
PA7 PA6 PA5 PA4 PA3 PA2 PA1 PA0	I/O	PA7~PA0 是一个 8 位端口, 可将其配置为跟源输入 AD7/A7~AD0/A0 (CPAF2=1)。此外, 每位还可分别设置为 I/O 线或低位锁存地址线 (CPAF2=0)。当配置为 I/O 线 (CPAF1=0) 时, 引脚的方向由其方向位确定, 该方向位保存在方向寄存器中。如果某引脚是一个 I/O 输出, 那么其数据位(该数据位保存在数据寄存器中)由引脚送出。当配置为一个低位地址线 (CPAF1=1) 时, 可以使 A7~A0 通过该口作相应的输出(例如, 可以将 PA6 配置为地址线 A6)。每个端口位可以是 CMOS 输出 (CPACOD=0) 或开漏输出 (CPACOD=1)。当芯片处于非多路复用模式 (CADDRAT=0) 时, 该端口用作数据总线 (D0~D7), 见图 1-4。
PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0	I/O	PB7~PB0 是一个 8 位端口, 其中每一位可配置为一个 I/O 线 (CPBF=1) 或片选输出 (CPBF=0)。每个端口位可以是 CMOS 输出 (CPBCOD=0) 或开漏输出 (CPBCOD=1)。当配置为一个 I/O 线时, 引脚的方向由其方向位确定, 该方向位保存在方向寄存器中。如果某引脚是一个 I/O 输出, 那么其数据(该数据保存在数据寄存器中)通过该引脚送出。当配置为片选输出时, $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 是 PAD B 输出函数, 该函数最多包含 4 个乘积项, 而 $\overline{\text{CS4}}\sim\overline{\text{CS7}}$, 每个都是最多为两个乘积项的函数。对于 PSD301L/302L/303L, 当芯片工作在非多路复用模式 (CADDRAT=0) 且数据总线宽度为 16 位 (CDATA=1) 时, 该端口用作数据总线 (D8~D15)。见图 1-6。
PC0 PC1 PC2	I/O	这是一个 3 位端口, 其中每位可配置为 PAD A 和 PAD B 的输入或输出。当某位被配置为一个输入 (CPCF=0) 时, 它可以独立地作为地址输入 (CADLOG=1) 或逻辑输入 (CADLOG=0)。地址可由 ALE 锁存 (CADDHLT=1) 或作为 PAD A 和 PAD B 的透明输入 (CADDHLT=0)。当某个引脚被配置为一个输出 (CPCF=1) 时, 它是所有 PAD 输入的一个乘积项的函数。见图 1-7。
AD0/A0 AD1/A1 AD2/A2 AD3/A3 AD4/A4 AD5/A5 AD6/A6 AD7/A7	I/O	多路复用的地址/数据的低位字节。在 ALE 锁存地址之后, 这些引脚输入数据或输出数据, 这取决于 $\overline{\text{RD}}/\text{E}$ (对于 PSD302/303 来说为 $\overline{\text{RD}}/\text{E}/\overline{\text{DS}}$)、 $\overline{\text{WR}}/\text{V}_{\text{PP}}$ 或 R/W 以及 $\overline{\text{BHE}}/\text{PSEN}$ 引脚的设置。在非多路复用模式中, 这些引脚是低位地址输入。
AD8/A8 AD9/A9 AD10/A10 AD11/A11 AD12/A12 AD13/A13 AD14/A14 AD15/A15	I/O	在 16 位多路复用模式中, 这些引脚是多路复用的地址/数据的高位字节。在 ALE 锁存地址之后, 这些引脚输入数据或输出数据, 这取决于 $\overline{\text{RD}}/\text{E}$ 或 $\overline{\text{RD}}/\text{E}/\overline{\text{DS}}$ 、 $\overline{\text{WR}}/\text{V}_{\text{PP}}$ 或 R/W 以及 $\overline{\text{BHE}}/\text{PSEN}$ 引脚的设置。在所有其它模式中, 这些引脚是高位地址输入。
GND	P	V_{ss} (地)引脚。
V_{CC}	P	电源输入

符号说明: 类型栏缩写为, I=输入; I/O=输入/输出; P=电源。

注: 1. 表 1-1 中提到的所有出现在括号中的配置位, 将在“配置寄存器”一节中进行解释说明。

2. 只适用于 PSD3X2/3X3。
3. 只适用于 PSD3X1。

1.4 操作模式

PSD3XX 的 4 种操作模式使 PSD3XX 能够直接与具有多路复用和非多路复用地址/数据总线的 8 位和 16 位微控制器接口。这 4 种操作模式为：

1. 多路复用的 8 位地址/数据总线
2. 多路复用的 16 位地址/数据总线(PSD30X)
3. 非多路复用的地址/数据, 8 位数据总线
4. 非多路复用的 16 位地址/数据总线(PSD30X)

1.4.1 多路复用的 8 位地址/数据总线

该模式用来与具有 8 位数据总线、16 位或 16 位以上地址总线的微控制器接口。地址/数据总线(AD0/A0~AD7/A7)是双向的,并且当 ALE 信号有效时,允许锁存地址。在同一个引脚上,数据可以从该器件读出,也可以写入该器件,这取决于 $\overline{RD}/E$ 或 $\overline{RD}/E/\overline{DS}$ 引脚、 $\overline{BHE}/\overline{PSEN}$ 或 $\overline{PSEN}$ 引脚以及 $\overline{WR}/V_{PP}$ 或 R/W 引脚的状态。高位地址/数据总线(AD8/A8~AD15/A15)包含有地址总线的高位字节。端口 A 和端口 B 可以如表 1-2 中所示那样配置。

1.4.2 多路复用的 16 位地址/数据总线

该模式用来与具有 16 位数据总线、16 位或 16 位以上地址总线的微控制器接口。低位地址/数据总线(AD0/A0~AD7/A7)是双向的,并且当 ALE 信号有效时,允许锁存地址。在同一个引脚上,数据可以从该器件读出,也可以写入该器件,这取决于 $\overline{RD}/E/\overline{DS}$ 、 $\overline{BHE}/\overline{PSEN}$ 以及 $\overline{WR}/V_{PP}$ 或 R/W 引脚的状态。高位地址/数据总线(AD8/A8~AD15/A15)是双向的,并且当 ALE 信号有效时,允许锁存高位地址。高位数据可以从该器件读出,也可以写入该器件,这取决于 $\overline{RD}/E/\overline{DS}$ 引脚、 $\overline{BHE}/\overline{PSEN}$ 引脚以及 $\overline{WR}/V_{PP}$ 引脚的状态。端口 A 和端口 B 可以如表 1-2 中所示那样配置。

1.4.3 非多路复用的地址/数据, 8 位数据总线

该模式用来与具有 8 位数据总线、16 位或 16 位以上地址总线的非多路复用 8 位微控制器接口。AD0/A0~AD7/A7 为低位地址输入总线。AD8/A8~AD15/A15(对于 PSD31X 来说是 A8~A15)为地址总线的高位字节。端口 A 是低位数据总线。端口 B 可以如表 1-2 中所示那样配置。

1.4.4 非多路复用的地址/数据, 16 位数据总线

该模式用来与具有 16 位数据总线、16 位或 16 位以上地址总线的非多路复用 16 位微控制器接口。AD0/A0~AD7/A7 为低位地址输入总线。AD8/A8~AD15/A15 为地址总线的高位字节。端口 A 是低位数据总线。端口 B 是高位数据总线。

表 1-2 总结了不同操作模式对端口 A、端口 B 和地址/数据引脚的影响。端口 C 的配置与

这 4 种操作模式无关。

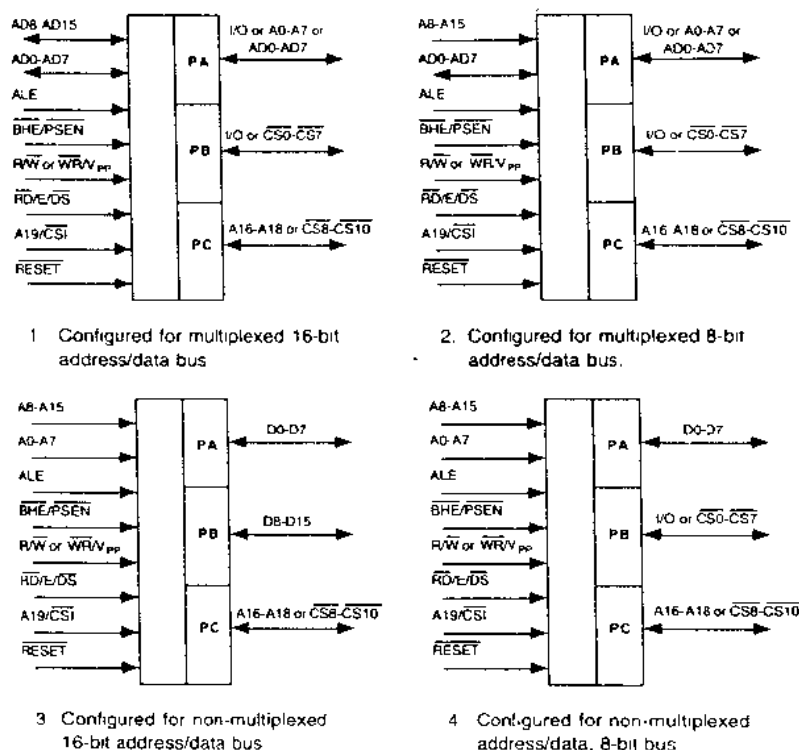


图 1-2a PSD3XX 端口配置(×8/×16)

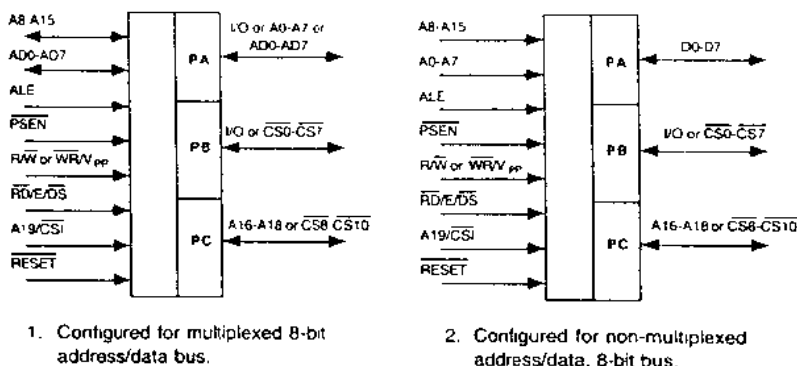


图 1-2b PSD3XX 端口配置(只用于×8)

符号说明: AD8~AD15=与数据线 D8~D15 多路复用的地址线 A8~A15。

AD0~AD7=与数据线 D0~D7 多路复用的地址线 A0~A7。

表 1-2 PSD30X 总线和端口配置选项

	多路复用地址/数据	非多路复用地址/数据
8 位数据总线		
端口 A	I/O 或低位地址线或多路复用地址/数据的低位字节	数据总线字节 D0~D7
端口 B	I/O 或 $\overline{CS_0} \sim \overline{CS_7}$	I/O 和/或 $\overline{CS_0} \sim \overline{CS_7}$
AD0/A0~AD7/A7	多路复用地址/数据的低位字节	地址总线的低位字节
AD8/A8~AD15/A15	多路复用地址/数据的高位字节	地址总线的高位字节
16 位数据总线		
端口 A	I/O 或低位地址线或多路复用地址/数据的低位字节	数据总线低位字节
端口 B	I/O 或 $\overline{CS_0} \sim \overline{CS_7}$	数据总线高位字节
AD0/A0~AD7/A7	多路复用地址/数据的低位字节	地址总线低位字节
AD8/A8~AD15/A15	多路复用地址/数据的高位字节	地址总线高位字节

表 1-2a PSD31X 总线和端口配置选项

	多路复用地址/数据	非多路复用地址/数据
8 位数据总线		
端口 A	I/O 或低位地址线或多路复用地址/数据的低位字节	数据总线字节 D0~D7
端口 B	I/O 或 $\overline{CS_0} \sim \overline{CS_7}$	I/O 和/或 $\overline{CS_0} \sim \overline{CS_7}$
AD0/A0~AD7/A7	多路复用地址/数据的低位字节	地址总线低位字节
A8~A15	地址总线高位字节	地址总线高位字节

1.5 可编程地址译码器(PAD)

PSD3XX 含有两个可编程阵列,分别称为 PAD A 和 PAD B(图 1-3)。PAD A 用于由输入地址产生片选信号,这些片选信号作用于内部 EPROM 块、SRAM、I/O 端口以及跟踪模式信号。它的所有 I/O 功能都列于表 1-3,同时表示在图 1-3 中。PAD B 的输出加到端口 B 和端口 C,供片外使用。

PAD B 还可用于扩展译码,以便选择外设,或者用作随机逻辑替换。PAD A 和 PAD B 二者的输入总线相同。

使用 WSI 公司的 MAPLE 软件编程时,PAD 阵列中的每个可编程位可以有 3 种逻辑状态:0,1 和无关(X)。在用户的逻辑设计中,两个 PAD 可以使用同样的输入,用 X 表示那些不