

CHAODA GUIMO
JICHENG DIANLU
SHEJI DAOLUN

超大规模集成电路 设计导论

蒋惠萍 李素敏 杨国胜 编

中央民族大学出版社
China Minzu University Press

超大规模集成电路设计导论

蒋惠萍 李素敏 杨国胜 编



中央民族大学出版社

图书在版编目 (CIP) 数据

超大规模集成电路设计导论/蒋惠萍等编. —北京: 中央民族大学出版社,
2010. 8

ISBN 978-7-81108-728-4

I. 超… II. 蒋… III. 超大规模集成电路-电路设计 IV. TN470.2

中国版本图书馆 CIP 数据核字 (2009) 第 130305 号

超大规模集成电路设计导论

作 者 蒋惠萍 李素敏 杨国胜

责任编辑 蔚 然

封面设计 高 峰

出 版 者 中央民族大学出版社

北京市海淀区中关村南大街 27 号 邮编: 100081

电话: 68472815 (发行部) 传真: 68932751 (发行部)

68932218 (总编室) 68932447 (办公室)

发 行 者 全国各地新华书店

印 刷 者 北京九州迅驰传媒文化有限公司

开 本 787×1092 (毫米) 1/16 印张: 14.5

字 数 298 千字

版 次 2010 年 12 月第 1 版 2010 年 12 月第 1 次印刷

书 号 ISBN 978-7-81108-728-4

定 价 39.00 元

前 言

自 1958 年美国 TI 公司试制成功第一块集成电路 (Integrated Circuit, IC) 以来, IC 技术的发展速度令人瞠目。IC 的生产已经发展成为新兴的支柱产业, 并且继续保持着迅猛发展的势头。随着 IC 技术的飞速发展, 系统、电路、器件之间的界限正在逐渐消失。不管是工业界还是学术界, 自行设计 IC 已成为电子信息领域的一个方向。IC 行业已经形成芯片设计、制造、封装三业并起的局面, IC 设计业逐渐成为一个新兴的、独立的高技术产业。目前以 Fabless (无生产线) 公司与 Foundry (芯片代工) 厂商合作形成的 F/F 模式将会扩大半导体市场领域, 推动集成电路技术的发展。

目前我国集成电路市场持续快速增长, 已成为仅次于美、日的世界第三大市场。集成电路产业前景广阔, 而芯片设计与制造技术是整个集成电路产业的核心技术。芯片业已是世界公认的电子工业、信息产业乃至整个国民经济增长的驱动力量。在我国的研究计划中, 集成电路被列为信息产业发展的重中之重。然而, 目前绝大部分核心芯片都不是由我国设计师所设计的, 因此, 当务之急是培养足够数量和水平的集成电路设计工程师, 突破人才瓶颈。

对集成电路设计工程师来说, 现在虽然不需要去关心具体的集成电路工艺制造细节, 但了解不同工艺的基本步骤、不同器件的特点和基本电路形式还是非常必要的。本书以电子系统设计者的角度介绍集成电路设计所必需的基本知识和设计方法, 涉及集成电路的基本制造工艺及版图设计、器件的模型、数字和模拟集成电路设计方法、集成电路测试与可测性设计以及集成电路计算机辅助设计等方面的内容。

学习本书内容时, 必须结合具体工程设计实例进行大量实践, 才能掌握集成电路设计的一些基本知识, 领悟集成电路的设计方法和技巧, 将自己的理念实现在芯片中。集成电路设计毕竟是相当复杂的技术, 涉及电子学、数字逻辑电路设计、程序设计语言、计算机图形学等, 需要多门课程的知识。读者学习前应该掌握电子学、数字电路、计算机语言等方面的知识。

由于编者水平和时间所限, 书中难免存在疏漏之处, 敬请广大读者批评指正。

编 者

目 录

第一章 绪论	1
1.1 微电子技术的发展历程	1
1.2 集成电路分类	3
1.3 微电子技术的应用与市场	4
1.4 微电子技术的未来及其他器件	5
第二章 CMOS工艺及版图	6
2.1 集成电路的生产过程	6
2.2 半导体工艺	13
2.2.1 NMOS工艺	14
2.2.2 CMOS工艺	18
2.2.3 实际工艺的考虑	19
2.3 ASIC的版图设计实现方法	22
2.3.1 定制设计方法	23
2.3.2 半定制设计方法	24
2.3.3 定制设计方法	27
习题	30
第三章 模拟集成电路基础	32
3.1 模拟集成电路的基本单元	33
3.1.1 MOS差分放大器	33
3.1.2 MOS恒流源	34
3.1.3 MOS基准电压源	35
3.1.4 CMOS有源负载增益级	36
3.2 MOS模拟电路的基本模块设计	37
3.2.1 CMOS运算放大器	37
3.2.2 集成电压比较器	39
3.2.3 D/A转换器	40
3.2.4 A/D转换器	42
3.2.5 滤波器	44

3.3 集成电路模拟.....	46
3.3.1 SPICE.....	47
3.3.2 PSPICE简介.....	47
3.3.3 PSPICE的使用.....	48
3.3.4 PSPICE模拟实例.....	54
习题.....	56
第四章 集成电路数字基本单元	60
4.1 数字电路的基本单元设计.....	60
4.1.1 与非门、或非门、非门.....	60
4.1.2 与或非、或与非门.....	61
4.1.3 三态门、传输门、异或门.....	62
4.1.4 D触发器.....	63
4.1.5 多路选择器.....	64
4.1.6 半加器和全加器.....	65
4.1.7 通用输入/输出单元.....	66
4.2 数字电路的基本模块设计.....	67
4.2.1 码制转换电路的设计.....	68
4.2.2 比较器电路的设计.....	69
4.2.3 查表电路的设计.....	70
4.2.4 乘法电路的设计.....	71
4.2.5 平方电路的设计.....	72
习题.....	74
第五章 存储器	76
5.1 概述.....	76
5.1.1 存储器的分类.....	76
5.1.2 存储器的层次结构.....	78
5.2 主存储器.....	79
5.2.1 概述.....	79
5.2.2 半导体存储芯片简介.....	80
5.2.3 随机存取存储器 (RAM)	82
5.2.4 只读存储器.....	89
5.2.5 存储器与CPU的连接.....	91
5.2.6 提高访存速度的措施.....	92
5.3 高速缓冲存储器.....	95
5.3.1 概述.....	95
5.3.2 Cache——主存地址映象.....	98
5.3.3 替换算法.....	102

习题.....	102
第六章 硬件描述语言	105
6.1 VHDL程序的基本结构.....	106
6.1.1 VHDL程序的基本单元与构成.....	106
6.1.2 包 (Package)、库 (Library) 和配置 (Configuration)	112
6.1.3 设计实例	117
6.2 VHDL语言的基本数据类型和操作符.....	120
6.2.1 VHDL语言的对象和分类.....	120
6.2.2 数据类型.....	121
6.2.3 VHDL语言的运算操作符.....	124
6.3 VHDL结构体的描述方式.....	125
6.3.1 顺序描述语句 (Sequential Statement)	125
6.3.2 并发描述语句 (Concurrent Statement)	128
6.4 VHDL应用实例.....	132
6.5 VHDL文本输入设计方法初步.....	136
习题.....	145
第七章 器件编程	151
7.1 可编程只读存储器.....	151
7.1.1 PROM	151
7.1.2 EPROM (Erasable Programmable ROM)	152
7.1.3 EEPROM.....	153
7.2 可编程逻辑器件.....	153
7.2.1 可编程逻辑阵列PLA	153
7.2.2 可编程阵列逻辑PAL.....	155
7.2.3 通用阵列逻辑GAL.....	155
7.3 现场可编程门阵列.....	155
7.3.1 FPGA的结构.....	156
7.3.2 FPGA的优点.....	157
7.3.3 FPGA系统操作实例.....	159
习题.....	161
第八章 EDA 技术	163
8.1 EDA技术概述.....	163
8.1.1 EDA技术的基本特征.....	164
8.1.2 EDA常用软件.....	165
8.1.3 EDA的应用.....	168
8.1.4 EDA技术的发展趋势.....	169

8.2 EDA发展历程.....	170
8.3 EDA设计方法.....	171
8.3.1 “自顶向下”的设计方法	171
8.3.2 ASIC设计.....	171
8.3.3 系统框架结构.....	172
8.4 EDA技术的基本设计方法.....	172
8.4.1 电路级设计.....	172
8.4.2 系统级设计.....	173
8.5 EDA软件的安装及使用.....	174
8.5.1 Modelsim安装步骤.....	174
8.5.2 配置Modelsim Se v6.0 的环境变量:	176
8.5.3 Modelsim 仿真的基本步骤.....	177
8.5.4 Leonardo Spectrum安装及使用指南	179
习题.....	183
第九章 专用集成电路测试	185
9.1 功能测试.....	185
9.2 故障测试.....	187
9.2.1 故障字典.....	187
9.2.2 测试向量集及其提取.....	188
9.2.3 故障覆盖率.....	189
9.2.4 电路的可测性分析.....	189
9.3 电路的可测性设计.....	191
9.4 集成电路测试技术新热点	192
9.4.1 对软错误等新故障模型的研究	193
9.4.2 对系统芯片测试技术的研究	193
9.4.3 对测试压缩技术和新型扫描结构的研究	194
9.4.4 对超多核测试和可靠性设计的研究	195
第十章 片上系统	197
10.1 概述.....	197
10.2 概念及SoC设计流程.....	198
10.3 SoC所涉及的关键技术.....	199
10.4 IP芯核	200
10.5 系统级芯片特点	201
10.6 SOC技术的展望及设计问题	201
10.6.1 SOC技术展望	201
10.6.2 SOC设计问题	203
附录1 半导体集成电路型号命名法	207

附录 2 集成电路应用常识	210
附录 3 集成电路基本知识	215
参考文献	218

第一章 绪 论

当你通过卫星转播欣赏世界杯足球赛的时候，当你用移动式电话和客户洽谈生意的时候，当你用国际直拨长途电话和远隔重洋的亲人畅叙思念之情的时候，当你在办公室通过因特网收发电子邮件或查询信息的时候，你有没有想过，近 30 年来电子信息技术的发展给我们的工作、生活和生产带来多么大的变化；你是否知道，现代化的广播电视技术、通信技术、计算机技术的发展都离不开一项基础技术——微电子技术。微电子技术是 20 世纪人类最伟大的发明之一，人类在硅片上创造的这一奇迹是进入信息社会的重要技术基础。因此人们常称我们目前所处的时代是微电子时代。

1.1 微电子技术的发展历程

微电子的“微”原是微小的意思，与微缩景观、微缩胶卷、微雕艺术中的“微”字意义相近。微雕艺人把几十个字刻在头发上已令人赞叹，而现在微电子加工企业可以把上亿个电子器件集成在指甲大小的硅片上，真是令常人难以想象。随着精细化技术的发展，器件尺寸已缩小到纳米（ 10^{-9} 米）即纳米级，这就是近几年蓬勃兴起的纳米技术，也有人预言 21 世纪将出现“纳电子”技术。因此，准确地讲，微电子技术主要是指晶体管等基础元件尺寸在微米（百万分之一米）数量级左右的半导体集成电路技术。反映集成电路内元件尺寸的主要参数是线宽，最初的线宽为几微米，目前最先进的工业生产线已达到 0.13 微米。多数专家预计由于生产成本等方面的限制，微电子工艺 10—15 年内可达到的最高水平为 0.05 微米。

追根溯源，微电子技术的诞生应归功于晶体管的发明。试想，如果今天的开关元件还是电子管，怎么可能在一立方厘米内放下成千上万个电子管？尽管晶体管的发现如同阿基米得发现浮力一样有其偶然因素，但本质上讲，晶体管的发明与改进得益于 20 世纪初提出的量子理论，只有在量子理论基础上才能发展固体物理、半导体材料理论，从而促进集成电路技术的不断发展。事实上，晶体管的主要发明人肖克利（后来第一位“下海”办企业的诺贝尔奖获得者）就是麻省理工学院的固体物理学博士；而另一位发明人巴丁（两次诺贝尔奖获得者）曾同时在伊利诺依大学物理系和电机系当教授。

1947 年发明锗晶体管以后，又经过 6—7 年努力突破了从随处可得的沙砾中提炼半导

体材料硅单晶的技术，晶体管的应用才开始普及。最初晶体管和电视等其他元件都是零散地放在电路板上，通过导线连成电路。1952 年英国的 G. Dummer 首先提出集成电路的设计思想，美国德州仪器公司擅长电路设计的基尔比工程师 1958 年 9 月将 5 个元件（其中四个晶体管）做在一块 1.2 厘米长的锗单晶片上，实现了人类第一块集成电路。1962 年商品化的集成电路问世。第一代集成电路大部分采用双极型晶体管和晶体管—晶体管逻辑（TTL），结构复杂，集成度低。到 70 年代金属—氧化物—半导体场效应晶体管，即 MOS 工艺成为集成电路的主流。MOS 集成电路（包括 PMOS、NMOS 和 CMOS 等）制造工艺简单、集成度高、噪声小，目前多数微处理器和存储器都属于这一类集成电路。

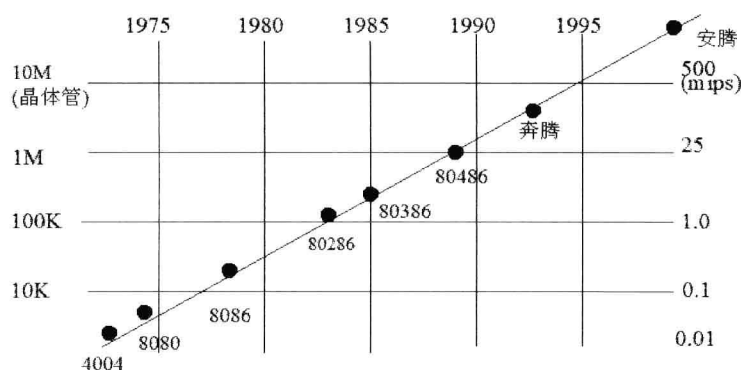


图 1-1 Intel 微处理器的摩尔定律

1965 年，仙童公司的创始人戈登·摩尔根据 1958 年以来集成电路的发展，预测每两年同样硅片面积上的晶体管数目翻一番，后来他又把时间周期调整为 18 个月。这一预测在后来几十年历史中基本得到验证，被信息领域广泛引用为“摩尔定律”（见图 1-1）。一年半集成度增加一倍也就是每五年 10 倍，10 年 100 倍。1965 年一块集成电路含 10 个晶体管，70 年代是 100 个，80 年代约 10000 个，1990 年约 100 万个，2000 年约 1 亿个晶体，每 10 年集成度提高 100 倍。集成电路里的“小”意味着“快”，器件越小速度越快。这是因为开关速度取决于集成电路中布线的电阻和线间电容，开关时间即充放电时间，与电阻电容乘积（即 RC ）成反比。器件与连线面积越小，集成电路的速度（表现为时钟频率）就越高。因此，摩尔定律也表述为每隔一年半到二年，集成电路的性能差不多翻一番。1971 年 Intel 推出的第一代微处理器 4004，主频只有 108 千赫，70 年代末推出的 16 位微处理器 8086，主频达到 5—10 兆赫，性能比 8008 提高 100 倍以上。80 年代中推出的 80386 芯片，已采用 1 微米工艺，主频达到 33 兆赫。1993 年 Intel 推出 66 兆主频的 Pentium（奔腾）芯片采用了超标量技术，性能比 33 兆赫的 486 芯片高 5 倍。1995 年以后，由于采用先进的 RISC 技术、铜线技术等，芯片速度平均每年递增 50% 以上。到 2000 年，主频 1G 赫以上的微处理器芯片已问世。值得指出的是，微处理器的性能不完全取决于主频速度。除时钟频率外，芯片性能与其体系结构和编译有密切关系，芯片中有几条浮点计算流水线、有多少缓冲存储器以及编译优化的水平都是决定芯片性能的关键因素。

Intel X-86 系列的芯片中只有一条浮点流水线, 800M 主频的奔腾-III 峰值浮点运算速度为 800 flops, 即每秒 8 亿次。而 IBM power3 包含 4 条浮点流水线, 400M 主频下浮点峰值速度就有每秒 16 亿次。

摩尔定律不是像牛顿定律一样精确的物理定律, 它反映半导体技术进步, 是符合客观规律的预测。半导体器件工艺的改进主要体现为光刻设备的改进, 每一次升级光刻获得的线宽 (大约需一年半时间) 缩小 30% 左右, 比如从 0.5 微米到 0.35 微米, 从 0.35 微米到 0.25 微米。线宽缩小 30% 意味着面积缩小一半 ($0.7 \times 0.7 \approx 0.5$), 也就是说, 每一年半左右集成度提高一倍。信息产业的飞速发展建立在摩尔定律基础上, 摩尔定律对当代社会有着十分深刻的影响。

1.2 集成电路分类

根据功能与工作机理不同, 集成电路 (IC) 可分为数字逻辑 IC、模拟 IC 和数字模拟混合 IC。数字逻辑 IC 是以二进制为基础进行数字计算与逻辑运算的集成电路, 由各种门电路与记忆元件组成, 大多数集成电路如微处理器、存储器芯片等都属于这一类。模拟集成电路处理的信息是连续变化的物理量, 如电压、电流、温度等。数模混合集成电路既包含数字电路又包含模拟电路。过去几十年里通信和广播电视主要采用模拟器件, 由模拟向数字化发展是信息技术的重要趋势。信息只有数字化以后才能充分发挥微电子技术的巨大潜力。近几年来, 数字通信、数字广播的蓬勃发展得益于数字集成电路。由于人机交互离不开连续变化的模拟信号, 因此必将永远生活在既有数字信号又有模拟信号的世界中, 不会走向纯粹的“数字化生存”。

数字集成电路多数由门电路组成, 因此集成电路的规模可按一片集成电路包含的门电路数目 (即集成度) 分类。集成电路按集成度可分为六大类: 小规模集成电路 (SSI)、中规模集成电路 (MSI)、大规模集成电路 (LSI)、超大规模集成电路 (VLSI)、特大规模集成电路 (ULSI) 和巨大规模集成电路 (GLSI)。其分类标准如下表 1-1 所示:

表 1-1 集成电路的集成度分类

类 别	SSI	MSI	LSI	VLSI	ULSI	GLSI
芯片所含门电路数	<10	10^1 - 10^2	10^2 - 10^4	10^4 - 10^6	10^6 - 10^8	$>10^8$
芯片所含器件个数	< 10^2	10^2 - 10^3	10^3 - 10^5	10^5 - 10^7	10^7 - 10^9	$>10^9$

集成电路生产包括集成电路设计、集成电路制造和集成电路封装三个独立的工序组成。集成电路设计是将产品功能与性能要求转化为具体的物理版图的过程, 包括逻辑设计、电路设计、版图设计, 每一步都需要严格的模拟验证。由于大规模集成电路包括数百万个以上元器件, 用手工设计已无法实现, 必须采用计算机辅助设计工具 (称为 EDA 软件), 通过人机交互来完成。目前 EDA 工具自动化程度非常高, 设计者只要写出芯片

的功能描述,通过软件将一步一步自动生成逻辑图、线路图和集成电路版图。但设计最先进的芯片还是要靠设计者的智慧与经验,不能完全依靠工具软件。我国集成电路与国外最大的差距是设计能力。多年来我国整机系统设计者与微电子技术人员脱离是造成集成电路设计水平低的重要原因,今后必须加强科研人员的协作,特别要强调系统设计人员在发展微电子产业中的作用。集成电路制造包括单晶硅和硅片的制备、工艺集成、中间监测、划片等,其中工艺集成是核心,采用特殊的微缩照相、薄膜淀积和套版蚀刻等技术,按电路设计的要求将各种器件直接制造集成在一块半导体芯片上。集成电路的生产设备十分昂贵,2000年建一条0.25—0.18微米生产线要投入近20亿美元,而且随着工艺要求进一步提高,大约每四年投资要翻一番。集成电路的封装常称为后工序,包括芯片制成后装架、压焊、密封、检测、老化筛选等。

1.3 微电子技术的应用与市场

微电子技术的发展,集成电路的出现,引起了计算机技术的巨大变革。由于计算机的逻辑部件特别是计算机的心脏——中央处理器的集成化,使微型计算机应运而生,并在20世纪七八十年代得到迅速发展。特别是IBM PC个人计算机出现以后,打开了计算机普及的大门,促进了计算机在各行各业的应用,五六十年代,价格昂贵、体积庞大、耗能惊人的计算机,只能在少数大型军事或科研设施中应用。今天由于采用了大规模集成电路,计算机已经进入普通的办公室和家庭。而计算机应用领域的拓宽,反过来更促进了集成电路芯片的研制和生产。

微电子技术对电子产品的消费市场也产生了深远的影响。价廉、可靠、体积小、重量轻的微电子产品,使电子产品面貌一新。微电子技术产品和微处理器不再是专门用于科学仪器世界的贵族,而落户于各式各样的普及型产品之中,进入普通百姓家。例如电子玩具、游戏机、学习机及其他家用电器产品等。就连汽车这种传统的机械产品也渗透进了微电子技术,采用微电子技术的电子引擎监控系统、汽车安全防盗系统、出租车的计价器等已得到广泛应用,现代汽车上有时甚至要有十几个到几十个微处理器。

现代的广播电视系统更是微电子技术大有用武之地的领域,集成电路代替了彩色电视机中大部分分立元件组成的功能电路,使电视机电路简捷清楚,维修方便,价格低廉。由于采用微电子技术的数字调谐技术,使电视机可以对多达100个频道任选,而且大大提高了声音、图像的保真度。微电子技术将创立集成的家庭终端,为人们提供娱乐、信息和家务等方面的服务。

总之,作为现代信息技术的核心,微电子技术已经渗透到诸如现代通信、计算机技术、医疗卫生、环境工程、能源、交通、自动化生产等各个方面,成为一种既代表国家现代化水平又与人民生活息息相关的高新技术。

美国等发达国家把微电子产业称为“战略产业”,因为微电子产业不仅影响整个信息产业和其他许多相关产业如航空、汽车等,而且直接影响国家安全。目前全球微电子产

值已接近 2000 亿美元，虽然只占整个电子产业产值 5%，但控制整个电子信息产业。我国 1999 年集成电路产量达 24 亿块，销售额 84 亿元，预计未来几年内芯片需求将以每年 15% 的速度增长。到 2005 年，我国芯片消耗量将达 360 亿块，价值将达 1000 亿元。目前我国国产微电子器件在国内市场的占有率小于 20%，而且主要是低档产品，核心主流的集成电路如微机用的 CPU 和手机用的 DSP 等主要依赖进口。研制生产有自主知识产权的 CPU 和 DSP 已成为发展信息产业的关键。

1.4 微电子技术的未来及其他器件

据专家们预测，未来 10—15 年内，摩尔定律仍将继续有效，发展速度略微降低。到 2012 年集成电路的线宽可能达到 0.05 微米甚至更细。线宽的缩小不可能无限制的发展下去，当一个器件只由几十个甚至几个原子组成时，量子力学的测不准原理和统计力学的热涨落将起作用，达到了物理极限，MOS 电路就不能正常工作。为了突破 MOS 器件的物理极限，科技界正在研制各种可能的新器件，包括超导器件、单电子晶体管、量子隧道器件、分子器件等，这些器件的尺寸已接近纳米，即纳米（ 10^{-9} 米）数量级，因此常称为纳电子器件。

微电子技术的另一发展方向是与微机电系统（MEMS）及微光电机系统（MOEMS）结合，将信息获取、处理与执行功能集成在一个芯片上，使一块芯片上不仅有“大脑”，而且有“五官”与“四肢”。事实上，硅不仅是很好的电子材料，而且是很好的机械材料。以硅为基础的微机电器件每年产值已达百亿美元。以硅片为基础的 DNA 芯片也正蓬勃发展。微电子器件不仅向着越来越精细的方向发展，而且变得越来越灵巧。

微电子技术的另一个重要发展趋势是从电路集成发展到系统集成，即从片上电路发展为片上系统（System on Chip，即 SOC）。现在的 CPU 芯片内的延迟时间可做到几十皮秒，但信号从一片芯片传到另一片存储器芯片至少是 0.1 毫微秒以上，相差十倍以上。CPU 的极高速度与从存储器存取数据的相对低速度形成影响计算机性能的明显瓶颈。因此，将存储器（DRAM）和一些输入输出部件与 CPU 一起集成到一块芯片中，形成 SOC 是提高系统性能、减少管脚数目，降低测试困难与成本的必然出路。目前 SOC 已占集成电路市场 10%，21 世纪初将占 50% 以上。SOC 不是简单的二次集成，而是体现包括功能、行为、算法、架构甚至思路、构想等系统背景。实现同样的功能，采用 SOC 可以比传统的集成电路节省 90% 以上的芯片面积，片上系统是微电子技术上的一场新的革命。

第二章 CMOS 工艺及版图

为了得到最佳集成电路设计所需的灵活性，电路设计者有必要在工艺和制造技术方面有很好的了解。借助于工艺技术方面的知识，在电路设计过程中可以考虑实际的版图布局，分析可能存在的寄生参数。旨在改善电路性能的一些革新技术也常常涉及到应用具体工艺的电路或版图。工艺参数的知识使设计者在设计过程中能够进行成品率的计算，在成品率、性能以及简化设计之间实现平衡折衷。

本章首先从定性的观点讨论加工技术，随后详细地讨论典型的 NMOS，CMOS 和版图设计。实际工业系统中使用的大多数工艺，可看成是这些工艺的改进方案或者是这些工艺的发展。本章综述上述工艺，其中包括工艺概要，工艺的图解描述，设计规则，工艺参数和一些计算机模拟使用的模型参数。本章最后将讨论实际版图的考虑。

2.1 集成电路的生产过程

这一节，我们定性地考察与集成电路制造有关的主要工艺步骤。这些工艺步骤用于 MOS 或双极工艺中。

1. 晶片准备

通常，双极和 MOS 集成电路的衬底是具有 n 或 p 型杂质的轻掺杂单晶硅层。它起两个作用，一是作为在其上面和内部制造集成电路的物理介质，另一作用是作为电路本身的一部分。这些单晶硅片是从所要求的圆柱形单晶硅棒上切割下来的。经过精心生长的单晶硅棒的长度可达两米，直径从一到几英寸不等。典型的切割厚度为 250~400 微米。从电学角度来看，可使用更薄的硅片，然而，实践中采纳厚晶片可减少电路制造中的破损以及工艺过程中的形变。随着时间的推移，为了增大集成电路芯片面积和在每一硅片上的芯片数量，硅片的直径已经迅速增大。在 1989 年，较老的工艺线使用 4 英寸的硅片，典型的新工艺线使用 5 英寸和英 6 寸甚至英 8 寸的硅片。晶体在切割时通常使硅片表面定为<100>方向。

2. 制版

集成电路的掩膜是高反差的照相正片或负片。在光刻工艺过程中，有选择地利用它阻止光对涂有光敏性材料硅片的照射。典型的掩膜是用涂有一层不透明金属薄膜的玻璃

制造的。这种掩膜由所需几何图形的数字化描述加工而成的。数字化的图形描述生成掩膜有几种不同的方法。一是使用照相的方法，缩小已经由计算机、自动刻图机所制成的图形的放大图样（过去曾广泛使用这种方法）。目前又出现了两种方法，其中之一是使用激光束，采用光栅扫描方式的图形发生器。一般来说上述两种方法都需要一种高分辨率的步进和重复和/或缩小摄像，以便获得适合使用的掩膜。所制成的中间图像称作原版，它通常是实际尺寸的 5 倍或 10 倍。第三种方法是使用电子束直接在最后的掩膜上生成实用的图形。这种方法能产生最高质量的掩膜，在制造很小的掩膜图形时广泛地应用这种方法。但是它需要昂贵的设备和相当多的制版时间。

3. 光刻工艺

光刻胶黏性的液体，把它涂敷在整个清洁硅片的表面形成均匀的薄层（通过旋转硅片涂敷大约 1 微米厚）。在涂敷以后，进行烘烤使光刻胶硬化。通过曝光使光刻胶的物理性能发生变化。光通过掩膜版上的透明区域使光刻胶曝光（用接触法印像或投影印像），也可以使用包含同样图形信息的原版投影曝光（称作在硅片上直接步进曝光）或者由电子束扫描使所需要的区域曝光。在曝光之后，对抗蚀剂显影，有选择地将不需要的区域的抗蚀剂去除。在这一步骤之后进行另一次烘烤，进一步硬化留下来的光刻胶。正性或负性光刻胶都可以使用，使用负性光刻胶，在显影时未曝光区域的光刻胶被去掉，使用正性光刻胶，在显影时去掉曝光区域的光刻胶。在使用负性光刻胶时，腐蚀时所用腐蚀剂不会对其发生影响。但使用正性光刻胶可以获得更高的分辨率。光刻胶已被用作许多腐蚀剂和氧化剂的保护层，也可以用作离子注入的阻挡层。

精确的掩膜对准是保证器件具有良好性能和成品率的基本条件。通常在制作掩膜版时，对准标记就包含在光刻版中，所以在工艺过程后，这些标记将呈现在硅片上。一种称为曝光机的设备可用于对准并使硅片曝光。图 2-1 示出了典型的对准标记。生产中用的掩膜的实际尺寸和几何图形是根据所用的曝光机具体性能所决定的。使用接触式曝光要求具有单个电路的许多个复制图形，以实际的尺寸精确地复制在掩膜版上。这种曝光机产量较高，价格便宜。

因为在曝光时掩膜版与光刻胶接触，会造成掩膜版损伤，具有大量图形的掩膜版使用寿命短（一般曝光为 3~10 次），这样就增加了掩膜版的实际成本。对硅片步进曝光的曝光机通常使用 X5 掩膜版（常常称作原版）。虽然在制作小规模集成电路时常采用具有多个图形的掩膜，但此时掩膜版通常只包含有电路的单个图形。这种图形用光学方法缩小至实际尺寸（X1）对硅片曝光。在每一次曝光之后，硅片必须移到下一个位置，直到

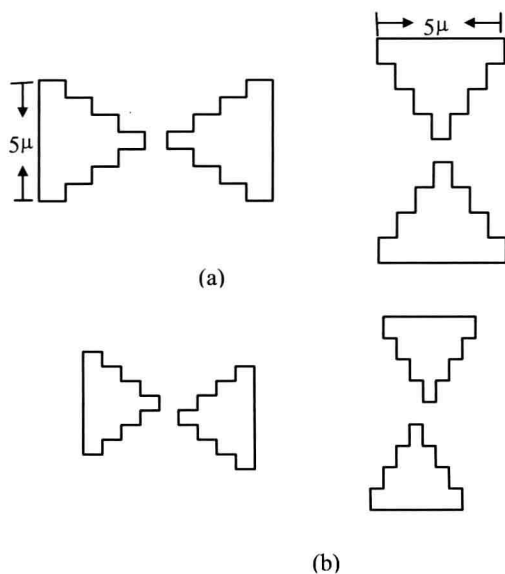


图 2-1 对版标记

使整个硅片曝光。由于在此加工过程中,掩膜与硅片没有物理的接触,因此掩膜的寿命很长。然而要求硅片逐位的移动,使产量降低。为了保持步进的一致性和重复均匀性的需要,这种设备也是相当昂贵的。以上这两种类型的曝光设备已广泛地用于工业生产上。

最实用和最流行的曝光方法之一实际上是将 X1 曝光机机械上的经济性与步进曝光机掩膜的长寿命相结合。在这种方法中,为了保护掩膜,延长其寿命,把一种称为胶片的保护膜放在 X1 铬掩膜的上方,虽然这种膜可能变脏或被擦伤,由于把它放在与掩膜版足够远的位置并保持在聚焦点之外,所以当柱状的光通过掩膜聚焦在硅片上的时候,不会将其缺陷投影在硅片上。

第四种曝光方法实际上是完全不用掩膜的,以一个细的电子束代之,在小的区域以光栅扫描的方式对硅片曝光,然后使硅片的下一个位置步进移动到电子束下面曝光。使用与制造掩膜时相同的数据库可以驱动电子束系统。这种方法的分辨率比前面讨论的任何方法都要好,然而,它必须使用昂贵的设备,而且产量较低,因此它只应用在最需要的地方。

4. 淀积

对于大多数现有的半导体工艺,在工艺过程中,需要在晶片上制备各种材料的薄膜。通常这些膜很薄(一些二氧化硅层为 $200\text{\AA}$ 或更薄),而对于“厚膜”电路,这些膜又可以做成 20 微米那样厚。要淀积的膜包括绝缘体、电阻膜、传导膜、介质体、n 型和 P 型半导体材料。在淀积之后,掺杂剂渗入衬底的深部。淀积技术包括物理汽相淀积(蒸发和溅射)、化学汽相淀积(CVD)和厚膜应用的丝网印刷,淀积是无选择性地、均匀地覆盖在整个晶片上。

蒸发是指通过控制基质材料的温度和蒸发室的压力,使欲淀积的材料汽化,当发生再凝结时,就形成了蒸发膜。建立连续的蒸发冷凝工艺是为了控制薄膜的生长速率。溅射是用高能离子轰击溅射材料,撞击出分子团。这些分子团被吸附在硅片的表面上。通常是以不同的速率轰击两种不同的材料,以确保溅射材料的特性。这种双重溅射材料的轰击称为合成溅射或双重溅射。对于一些材料,溅射超过蒸发的优点是在沉积表面上淀积的材料十分牢固。化学汽相淀积(CVD)可以用两种方法实现:第一种方法是在衬底附近使两种气体发生反应,反应过程中产生出固态分子,后者紧接着就黏附在衬底表面上;第二种方法是通过单一气体的热分解(加热导致分解)释放出所需要的再吸附分子。

5. 腐蚀

腐蚀是指有选择地从衬底表面上除去不需要的材料。用光致抗蚀剂和掩膜版有选择地在衬底表面绘图(暴露衬底表面),在绘图之后,通过腐蚀改变表面的物理性能。一般来说,在单片集成电路工艺过程中需要经过几次不同的腐蚀。腐蚀时所用的化学试剂与晶片上没有被保护的区域发生反应,而对被保护的区域不发生影响。典型半导体材料常用腐蚀剂及其作用在表 2-1 中列出。

在生产中有两种类型的腐蚀,即湿法和干法。通常被称作化学腐蚀的湿法腐蚀是用液体腐蚀剂作用于衬底的表面。湿法腐蚀在过去虽然已被广泛的应用和接受,但是如同垂直地腐蚀进入衬底表面那样,它也会产生水平方向上的腐蚀。这种水平腐蚀会导致图形区域的钻蚀。除非要求不被腐蚀区域的宽度要比欲腐蚀的材料的厚度大一个数量级,否则水平腐蚀的不均匀性将使器件性能产生明显的变化。