

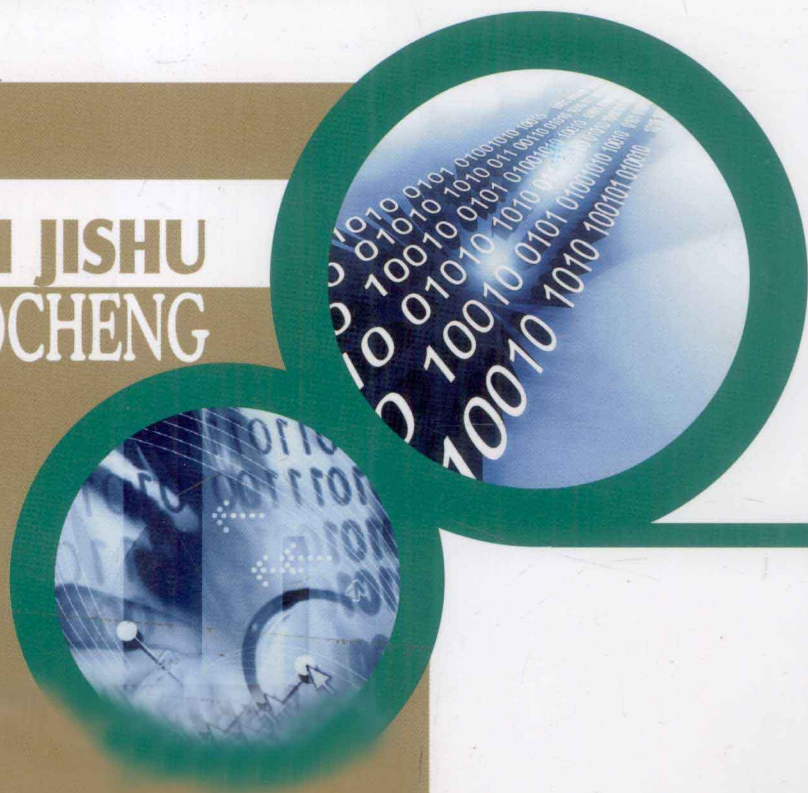
西南交通大学 323 实验室工程 系列教材

数字电子技术实验教程

主编 杨小雪

主审 西南交通大学实验室及设备管理处

SHUZI DIANZI JISHU
SHIYAN JIAOCHENG



西南交通大学“323 实验室工程”系列教材

数字电子技术实验教程

主编 杨小雪

主审 西南交通大学实验室及设备管理处

西南交通大学出版社

· 成 都 ·

内容简介

全书共有 6 章, 第 1 章介绍数字电子技术基本知识; 第 2 章数字电路基本实验, 实验项目有通用数字器件、脉冲电路、D/A 转换器、A/D 转换器; 第 3 章、第 4 章介绍可编程逻辑器件应用必需的入门级基础知识: Quartus II 工具软件和 Verilog HDL 硬件描述语言; 第 5 章为可编程逻辑实验; 第 6 章为数字系统综合实验, 可供综合性实验和电子技术课程设计选题使用。

本书具有电子设计自动化 (EDA) 特点, 实验项目分三个层次: 基础实验、可编程逻辑基础实验及数字系统综合实验, 可以满足不同学习阶段及因材施教的教学需要。

本书可作为高等院校电子类、电气类专业及其他相近专业本科生教材, 也可供成人教育或有关工程技术人员参考。

图书在版编目 (CIP) 数据

数字电子技术实验教程 / 杨小雪主编. —成都:
西南交通大学出版社, 2011.8
西南交通大学“323 实验室工程”系列教材
ISBN 978-7-5643-1329-6

I. ①数… II. ①杨… III. ①数字电路—电子技术—
实验—高等学校—教材 IV. ①TN79-33

中国版本图书馆 CIP 数据核字 (2011) 第 162209 号

西南交通大学“323 实验室工程”系列教材

数字电子技术实验教程

主编 杨小雪

*

责任编辑 黄淑文

封面设计 本格设计

西南交通大学出版社出版发行

(成都二环路北一段 111 号 邮政编码: 610031 发行部电话: 028-87600564)

<http://press.swjtu.edu.cn>

四川锦祝印务有限公司印刷

*

成品尺寸: 185 mm×260 mm 印张: 11.875

字数: 295 千字

2011 年 8 月第 1 版 2011 年 8 月第 1 次印刷

ISBN 978-7-5643-1329-6

定价: 19.00 元

图书如有印装质量问题 本社负责退换
版权所有 盗版必究 举报电话: 028-87600562

前 言

随着集成电路和计算机软件技术的发展,数字化电子系统的理论、技术和电路发生了巨大的变化,这对数字电子技术实验课程提出了更高的要求,需要不断地更新课程内容。本书遵从教学循序渐进规律及满足可编程逻辑器件广泛普及的应用需要,在保证数字电路基本测试技术训练的前提下,加强了可编程逻辑器件应用的基础知识,以通俗易懂的实例的方式介绍电子设计自动化(EDA)工具软件 Quartus II 和国际通用的硬件描述语言 Verilog HDL,通过可编程逻辑实验的实践,让学生掌握高效地实现数字硬件电路的技术和方法。

全书共分三部分:

第一部分——数字电子技术基础知识与实验,由第 1 章数字电子技术基本知识和第 2 章数字电路基本实验组成。第 1 章简介数字器件与数字电路的基本测试方法;第 2 章基本实验中主要采用通用 SSI、MSI 器件,通过设计数字电路的底层实验,掌握基本的实验方法和技能,培养观察和分析实验现象的能力,为进行更高层次的实验打下基础。同时在各个实验项目中还设有提高性实验,读者可以采用小规模的可编程器件实现数字电路基本实验,供学有余力的学生课内实验选做。

第二部分——可编程逻辑器件应用基础知识和大规模可编程逻辑实验,由第 3 章、第 4 章和第 5 章组成,是本书的主要实验教学类型。第 3 章和第 4 章是可编程逻辑器件应用必需的入门级基础知识,介绍 Quartus II 工具软件和 Verilog HDL 的一些实用句法;第 5 章是可编程逻辑实验,实验题目类型多样化,设计方式软件化,适合课外设计、课内通电测试的教学方式,有利于提高实验效率和培养自主学习的能力。

第三部分——数字系统综合实验,包括第 6 章的内容,可供数字系统课题和电子技术课程设计选题使用。

本书具有电子设计自动化(EDA)特点,实验项目分三个层次:基础实验、可编程逻辑基础实验及数字系统综合实验,可以满足不同学习阶段及因材施教的教学需要。

本书编写工作的教师分工如下:第 1 章由史燕独立完成;第 2、3、4 章由杨小雪独立完成;第 5、6 章由杨小雪和史燕共同完成;附录由龙文杰、史燕、杨小雪共同完成。全书由杨小雪负责协调和统稿。

由于时间仓促且作者水平有限,书中不妥之处恳请读者指正。

编 者

2011 年 5 月

目 录

第 1 章 数字电子技术基本知识	1
1.1 概 述	1
1.2 数字电路基本测量技术	5
1.3 数字电路故障检测方法	6
第 2 章 数字电路基本实验	9
实验 1 基本逻辑门特性测试	9
实验 2 SSI 组合逻辑电路设计	14
实验 3 集成触发器应用	16
实验 4 计数、译码、显示电路	20
实验 5 模拟开关及其应用	25
实验 6 集成单稳触发器的应用	29
实验 7 555 集成定时器的应用	32
实验 8 D/A 转换器的功能测试	37
实验 9 A/D 转换器的功能测试	41
第 3 章 Quartus II 工具软件使用入门	45
3.1 概 述	45
3.1.1 Quartus II 设计流程简介	45
3.1.2 Quartus II 安装	47
3.2 Quartus II 的图形输入法	48
3.2.1 设计项目建立及源文件设计输入	48
3.2.2 综合设计文件	53
3.2.3 仿真设计文件	55
3.2.4 编程（配置）下载设计文件	58
3.3 Quartus II 文本输入法	61
3.3.1 一位全加器的设计实例	61
3.3.2 Quartus II 的RTL阅读器	63
3.4 Quartus II 图形及文件混合输入法	64
3.4.1 四位累加法器层次文件设计	65
3.4.2 四位累加器实验	68
3.5 Quartus II 参数化宏功能模块的使用	68
3.5.1 常用参数化宏模块介绍	68
3.5.2 ROM（只读存储器）的定制	69
3.5.3 设计实例：三角波发生器	72

第4章 Verilog HDL 简介	78
4.1 概 述	78
4.2 用 Verilog 描述组合逻辑电路	79
4.2.1 门级描述及逻辑表达式描述	79
4.2.2 真值表描述	82
4.2.3 for循环语句与if-else条件句	85
4.3 用 Verilog 描述时序电路	87
4.3.1 寄存器及计数器描述	87
4.3.2 异步时序电路描述	89
4.3.3 有限状态机描述	90
4.4 赋值语句	92
4.4.1 连续赋值语句	92
4.4.2 过程赋值语句	92
4.5 Verilog 层次文件设计实例——数字跑表	95
4.5.1 顶层Verilog文件设计	95
4.5.2 子模块Verilog文件设计	97
4.5.3 引脚锁定及实验	104
第5章 可编程逻辑基本实验	109
实验1 用原理图设计组合逻辑电路	109
实验2 通用组合逻辑电路模块实验	110
实验3 亲子判定器	112
实验4 BCD/二进制码变换器	113
实验5 通用时序逻辑电路模块设计及应用	114
实验6 秒脉冲发生器的设计	116
实验7 可数控分频器及应用	117
实验8 巴克码检测/发生器	119
实验9 交通灯控制器	120
实验10 步进电机控制器	122
实验11 六点魔方游戏机	124
实验12 简单任意波形发生器	126
实验13 脉冲宽度调制(PWM)实验	128
第6章 数字系统综合设计性实验	131
课题1 数字频率计	131
课题2 多功能数字钟	134
课题3 数字水位计	138
课题4 中文字符显示器	140
课题5 超低频三相基准信号发生器	144
课题6 电梯控制器	145

课题 7 简易数控电源控制电路	147
课题 8 数字脉搏计	148
课题 9 简易电子琴电路	149
课题 10 红外感应亮度控制 LED 灯	151
附录 1 本书实验用器件速查手册	153
附录 2 MFB-3 数字电子技术实验器	156
附录 3 MFB-5 型数字电路自主学习实验器	160
附录 4 DE2 开发平台	168
参考文献	182

第 1 章 数字电子技术基本知识

1.1 概 述

数字电路是一门实践性很强的课程,具有工程特点。一个实际的工程问题往往比较复杂,涉及器件、工艺、电路、环境等诸多实际因素,这使得一些实验现象和结果与书本上所介绍的存在一定的差别。分析实验中出现的现象、解决出现的问题,不但需要扎实的理论基础,更需要在实践中积累起来的经验和实验能力。数字电路实验有助于培养学生的工程实践素质以及解决实际问题的能力。

1.1.1 数字集成电路的分类

1. 根据集成电路规模的大小进行分类

根据集成电路规模的大小,通常将其分为小规模集成电路 (Small Scale Integration, SSI)、中规模集成电路 (Medium Scale Integration, MSI)、大规模集成电路 (Large Scale Integration, LSI)、超大规模集成电路 (Very Large Scale Integration, VLSI)。分类的依据是一片集成电路芯片上包含的逻辑门个数或元件个数。

SSI 通常指含逻辑门数小于 10 门 (或含元件数小于 100 个) 的电路。MSI 通常指含逻辑门数为 10~99 门 (或含元件数 100~999 个) 的电路。LSI 通常指含逻辑门数为 100~9 999 门 (或含元件数 1 000~99 999 个) 的电路。VLSI 通常指含逻辑门数大于 10 000 门 (或含元件数大于 100 000 个) 的电路。逻辑门和触发器属于小规模集成电路。

2. 根据所采用的半导体器件进行分类

根据所采用的半导体器件进行分类,数字集成电路可以分为双极型集成电路和单极型集成电路两大类。

(1) 双极型集成电路采用双极型半导体器件作为元件。其主要特点是:速度快、负载能力强,但功耗较大、集成度较低。

双极型集成电路又可分为 TTL (Transistor Transistor Logic) 电路、ECL (Emitter Coupled Logic) 电路和 I²L (Integrated Injection Logic) 电路等类型。

TTL 电路的“性能价格比”最佳,应用最广泛。TTL 型集成电路有多种系列,所有的 TTL 系列都是兼容的,它们用同样的电源电压和逻辑电平,但在速度、功耗和价格上各有优点。

- 74-系列:这是早期的产品,现仍在使用,但正逐渐被淘汰。
- 74H-系列:这是 74-系列的改进型,属于高速 TTL 产品。“与非门”的平均传输时间

达 10 ns 左右，但电路的静态功耗较大，目前该系列产品使用越来越少。

- 74S-系列：这是 TTL 的高速型肖特基系列。在该系列中，采用了抗饱和肖特基二极管，速度较高，但品种较少。

- 74LS-系列：这是当前 TTL 类型中的主要产品系列。品种和生产厂家都非常多。性能价格比比较高，目前在中小规模电路中应用非常普遍。

- 74ALS-系列：这是“先进的低功耗肖特基”系列。属于 74LS-系列的后继产品，速度（典型值为 4 ns）、功耗（典型值为 1 mW）等方面都有较大的改进，但价格比较高。

- 74AS-系列：这是 74S-系列的后继产品，尤其速度（典型值为 1.5 ns）有显著的提高，称“先进超高速肖特基”系列。

(2) 单极型集成电路（又称为 MOS 集成电路）：采用金属-氧化物半导体场效应管（Metal Oxide Semi-conductor Field Effect Transistor, MOSFET）作为元件。其主要特点是结构简单、制造方便、集成度高、功耗低，但速度较慢。

MOS 集成电路又可分为 PMOS（P-channel Metal Oxide Semiconductor）、NMOS（N-channel Metal Oxide Semiconductor）和 CMOS（Complement Metal Oxide Semiconductor）等类型。

CMOS 电路应用较普遍，因为它不但适用于通用逻辑电路的设计，而且综合性能最好。其主要系列有：

- 标准型 4000B/4500B 系列：这是第一个商业上成功的 CMOS 系列。尽管 4000 系列电路有功耗低的优点，但它们的速度也低，目前正被能力更强的 CMOS 系列所代替。

- 74HC 和 HCT-系列：HC（高速 CMOS, High-speed CMOS）和 HCT（高速 CMOS, TTL 兼容, High-speed CMOS, TTL compatible）系列具有与 74LS-系列同等的工作速度且功耗低。74HCxxx 是 74LSxxx 同序号的翻版，型号最后几位数字相同，表示电路的逻辑功能、管脚排列完全兼容，为用 74HC 替代 74LS 提供了方便。HCT 供电电压 V_{CC} 为 5 V，HC 供电范围 V_{CC} 为 2~6 V。

- 74AC-系列：该系列又称“先进的 CMOS 集成电路”，54/74AC 系列具有与 74AS 系列等同的工作速度，且功耗低、电源电压范围宽。

数字集成电路的产品型号的前缀为公司代号，如 MC、CD、uPD、HFE 分别代表摩托罗拉（MOTOROLA）、美国无线电（RCA）、日本电气（NEC）、飞利浦等公司。一般产品型号的中间数字相同的产品均可互换，但如果电路对元件要求比较严格，就要对厂家提供的资料进行分析再作决定。

1.1.2 数字设计的软件技术

过去的数字设计并不需要涉及软件工具，有一个原始的工具足矣。然而今天，软件工具却成为数字设计的重要组成部分，在过去几年间，硬件描述语言（HDL）的可用性和实践性，以及随之而来的电路模拟和综合工具，已经完全改变了数字设计的整个面貌。

1.1.3 可编程逻辑器件

早期的可编程逻辑器件只有可编程只读存储器（PROM）、紫外线可擦除只读存储器

(EPROM) 和电可擦除 (EEPROM) 三种。由于结构限制，它们只能完成功能简单的数字逻辑功能。其后，出现了一类结构上稍复杂的可编程芯片，即可编程逻辑器件 (PLD)，它能够完成各种数字逻辑功能。典型的 PLD 由一个“与”门和一个“或”门阵列组成，而任意一个组合逻辑都可以用“与-或”表达式来描述，所以 PLD 能以“乘积和”的形式完成大量组合逻辑功能。这一阶段的产品主要是 GAL (通用阵列逻辑)，且至今仍有许多人使用 GAL。这些早期 PLD 器件的一个共同特点是可实现速度特性较好的逻辑功能，但其过于简单的结构也使它们只能实现较小规模的电路。

由于技术原因，PLD 的两级“与-或”结构不能扩展到更大的规模，因此人们又发明了复杂 PLD (complex PLD, CPLD) 来完成所需要的扩展。CPLD 是处于同一个芯片上的多个 PLD 及其互连结构的集合，除了单个 PLD 可以编程外，芯片上的互连结构也是可以编程的，从而丰富了设计能力。

现场可编程逻辑门阵列 (field-programmable gatearray, FPGA)，采用与 CPLD 不同的方法来扩展可编程逻辑芯片的规模，包含数量更多的逻辑构件，并提供更大的、支持整个芯片的分布式互连结构。图 1.1.1 说明了两种设计方法之间的区别。

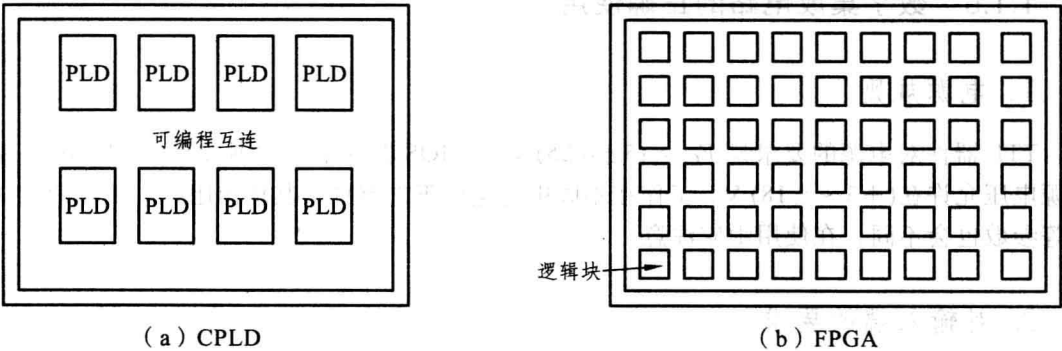


图 1.1.1 大型可编程逻辑元件的扩展方法

当今应用最广泛的可编程逻辑器件当属 CPLD 和 FPGA。

1.1.4 数字集成电路的封装

1) 双列直插式 (DIP)

数字集成电路器件有多种封装形式。一般实验中所用的 74 系列器件为双列直插式 (DIP) 封装，图 1.1.2 所示是双列直插封装的正面示意图。其特点如下：

- 从正面看，器件一端有一个半圆缺口，这是正方向的标志。将 IC 芯片有半圆缺口的一端朝左，以半圆缺口为参考点定位，缺口左下边的第一个引脚编号为 1，IC 引脚编号按逆时针方向增加。DIP 封装的数字集成电路引脚数有 8、14、16、20、24、28 等多种。



图 1.1.2 双列直插封装

- 74 系列器件一般右下角的最后一个引脚是 GND，左上角的引脚是 Vcc。例如，14 引

脚器件引脚 7 是 GND；引脚 14 是 Vcc；16 引脚器件的 8 引脚是 GND，16 引脚是 Vcc。但也有例外，如 16 引脚的双 JK 触发器 74LS76，引脚 13 是 GND，引脚 5 是 Vcc。

因此，使用集成电路器件时要先看清楚它的引脚分配图，找对电源和地引脚，避免因接线错误造成器件损坏。

2) 复杂可编程逻辑器件 (CPLD) 封装

一般实验中复杂可编程逻辑器件 CPLD (如 EPM7128SLC84) 选用 PLCC (Plastic Leaded Chip Carrier) 封装，图 1.1.3 是封装正面。器件的正面上方的小圆点指示引脚 1，引脚编号按逆时针方向增加，引脚 2 在引脚 1 的左边，引脚 84 在引脚 1 的右边。插 PLCC 器件时，器件正面的左上角（缺角）要对准插座的左上角。拔 PLCC 器件应使用专门的起拔器。

必须注意：不能带电插拔器件。插拔器件、连接或安装线路只能在关断电源的情况下进行。



图 1.1.3 PLCC 封装正面

1.1.5 数字集成电路的正确使用

1. 电源规则

TTL 器件对电源的要求是 $V_{CC} = (5 \pm 0.25) \text{ V}$ 。CMOS 器件电源范围较宽，一般 4000 系列电源电压允许在 $(+3 \sim \pm 18) \text{ V}$ 。工作在不同电源电压下的器件，其输出阻抗、工作速度和功耗等参数也会不同，在使用中应注意。

2. 对输入端的要求

- ① 输入端不要加超过电源电压的信号。
- ② 不用的输入端必须按逻辑功能接电源或接地，不要悬空。
- ③ 输入信号上升沿或下降沿不宜太长。对 TTL 电路上升沿或下降沿时间一般限于 $50 \sim 100 \text{ ns/V}$ ，对 CMOS 的 4000B 系列限于 $15 \mu\text{s/V}$ ，对 74HC 系列限于 $0.5 \mu\text{s/V}$ 。因此，当外加输入信号不满足此要求时，必须加施密特触发整形器。

3. 对输出端的要求

- ① 输出端不能直接连至电源端或地端。
- ② 输出端一般不允许直接连在一起，否则不仅会使电路逻辑混乱，还有可能导致器件损坏，除非是其输入端也连在了一起或是三态门和集电极开路门 (OC)。

4. TTL 与 CMOS 接口电路

数字集成电路在使用过程中，常常涉及 TTL 与 CMOS 之间的接口问题。由于这些电路相互的电源电压和输入输出电平及电流不尽相同，因此常常需要转换电路，使前级器件输出

的逻辑电平满足后级器件对输入电平的要求；使前级器件输出电流大于后级器件对输入电流的要求，并不得对器件造成损害。

1) TTL→CMOS 接口

当 CMOS 的电源电压 $V_{DD}=5\text{ V}$ 时，CMOS 电路的最低输入高电平 V_{IH} 约为 3.5 V ，最高输入低电平 V_{IL} 约为 1.5 V ，而 TTL 电路的最低输出高电平 V_{OH} 约为 2.4 V ，最高输出低电平 V_{OL} 约为 0.4 V 。可见在低电平时用 TTL 电路直接驱动 CMOS 电路是没有问题的，而且还有较大的噪声容限。而在高电平时就不能保证满足 CMOS 的要求，所以一般需要用上拉电阻来提高 TTL 的输出高电平，如图 1.1.4 所示。

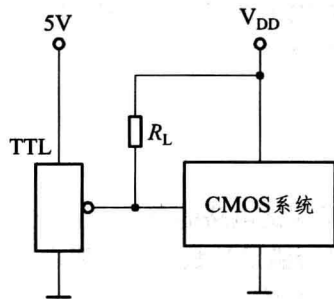


图 1.1.4 TTL/CMOS 接口

2) CMOS→TTL 接口

当 CMOS 的电源电压 $V_{DD}=5\text{ V}$ 时，其 V_{OH} 、 V_{OL} 完全适合于 TTL74 或 TTL74LS 系列，故电压匹配没有问题。

1.2 数字电路基本测量技术

数字电路测试的基本项目有静态测试和动态测试，一般按先静态后动态的顺序进行测试。静态测试时，电路只加电源或固定电位信号，用内阻较高的万用表来测试电路各点的电位或用逻辑笔测试各点的逻辑电平。动态测试时，电路的输入端加上合适的脉冲信号，用示波器或逻辑分析仪测量和分析电路各点的工作波形及其逻辑关系，主要包括对输入/输出脉冲波形、信号幅度、脉冲宽度、占空比、上升时间和下降时间的测试等。通过对测试结果进行分析，可以检查电路的连接关系和逻辑关系是否正确，电路的各项指标是否达到预期的要求。

有些数字电路只需进行静态测试即可，有些数字电路则必须进行动态测试。一般来说，时序电路应进行动态测试。下面介绍几种基本电路的测试方法。

1.2.1 集成逻辑门电路测试

静态测试时，在各输入端分别接入不同的电平值，即逻辑“1”接高电平（输入端通过 $1\text{ k}\Omega$ 电阻接电源正极），逻辑“0”接低电平（输入端接地）。用万用表测量各输出端的逻辑

电平，并分析各逻辑电平值是否符合电路的逻辑关系。动态测试时，各输入端分别接入规定的脉冲信号，用示波器观察各输出端的信号，并画出这些脉冲信号的时序波形关系图，分析它们之间是否符合电路的逻辑关系。

1.2.2 集成触发器电路测试

集成触发器的静态测试主要是测试触发器的复位、置位、翻转等功能。动态测试时，在时钟脉冲的作用下测试触发器的计数功能，用示波器观察电路各点波形的变化情况，据此可以测定输出与输入信号之间的分频关系、输出脉冲的上升沿和下降沿时间、触发灵敏度和抗干扰能力，以及不同性质的负载对输出波形参数的影响。测试时，触发脉冲的宽度一般要大于数微秒，且脉冲的上升沿和下降沿要陡。

1.2.3 计数器电路测试

计数器电路的静态测试主要是测试电路的复位、置位功能。动态时，在时钟脉冲的作用下，测试计数器各输出端的状态是否满足计数功能的要求，可用示波器观察各输出端的波形，并记录这些波形与时钟脉冲之间的关系。

1.2.4 译码显示电路测试

首先测试数码管各笔段工作是否正常，例如共阴极发光二极管显示器，可以将阴极接地，再将各笔段通过 $1\text{ k}\Omega$ 电阻接电源正极，各笔段应亮。再将译码器的数据输入端依次输入 $0001\sim 1001$ ，则显示器对应显示出数字 $1\sim 9$ 。

1.3 数字电路故障检测方法

在数字逻辑电路实验中，出现问题是难免的，重要的是分析问题，找出出现问题的原因，从而解决问题。一般导致故障的原因有三个方面：器件故障、接线错误、设计错误。其中大量的故障出现在布线错误上，具体表现有漏线和错线。数字电路故障的一般检查步骤如下：

(1) 加电后，首先要观察稳压电源短路指示灯是否亮（电源接通前就应用万用表测量电路的电源端与地线端之间的阻值，排除电源与地线间的短路现象）。若亮，则有短路现象，必须立即关闭电源，重新检查；若不亮，检查各集成电路是否已加上电源，可靠的检查方法是用万用表的表笔直接测量集成块电源端与地线两管脚之间的电压是否为所要求的电压值。此法可检查因底板、集成块管脚或连线原因造成的故障。

(2) 若无论输入信号怎样变化，输出一直保持高电平不变，则可能是集成块未接地或接地不良；若输出信号与输入信号变化规律相同，则可能是集成块未接电源。

(3) 检查是否有不允许悬空的输入端（如 COMS 电路中不用的输入端）。

(4) 进行静态测量。使电路处于某一输入状态下，观察电路的输出是否与设计要求一致；

用真值表检查电路是否正常，若发现差错，必须重复测试；仔细观察故障现象，然后把电路固定在某一故障状态，用逻辑笔或万用表测试电路中各器件输入、输出端的直流电压（TTL 电路输出高电平 $\geq 2.7\text{ V}$ ，输出低电平 $\leq 0.35\text{ V}$ ）。在检查时要注意区分高阻状态和逻辑低电平。对于门电路，可由后向前逐级检查，例如某个输入组合情况下，输出状态应为“低”，而发生“高”的错误，此时应先用万用表检查最后一级与非门的各输入端，根据与非门“有低出高，全高出低”的原则，可判断出输出端中为低电平的该端前级通道有故障，依次向前递推，可很快找出问题所在。下面举例说明。

一组合逻辑电路表达式如下：

$$Y(D,C,B,A)=\sum (0,1,2,3,4,5,6,9,13)$$

用 74LS151 和门电路实现的逻辑电路图示于图 1.3.1，现有一接线错误，该电路的真值表和测试结果如表 1.3.1 所示。

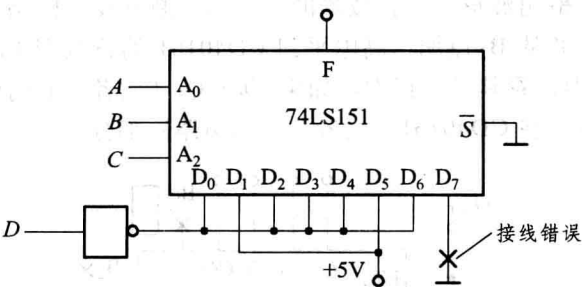


图 1.3.1 排查故障例 1

表 1.3.1 测量表

输入				输出	测量值	输入			输出		测量值
D	C	B	A	F	F	D	C	B	A	F	F
0	0	0	0	1	1	1	0	0	0	1	0
0	0	0	1	1	1	1	0	0	1	1	1
0	0	1	0	1	1	1	0	1	0	1	0
0	0	1	1	1	1	1	0	1	1	1	0
0	1	0	0	1	1	1	1	0	0	1	0
0	1	0	1	1	1	1	1	0	1	1	1
0	1	1	0	0	1	1	1	1	0	0	0
0	1	1	1	0	1	1	1	1	1	0	1

对于这种故障，通过将实际接线与逻辑电路图逐一比较是可以找出故障点的，但通过下面的方法一般更快。

首先，固定故障状态， $Y(DCBA=0111)=1$ ，对应 74LS151 的地址输入 $A_2A_1A_0=111$ ，而由 74LS151 真值表知，其输入 $A_2A_1A_0=111$ 时，选通 $Y=D_7$ ，因此这时只要检查 D_7 端的输入是否正确，这样便可以快速地检查出电路是因 D_7 端应接低电平而未接好导致的故障。

(5) 动态检查。一般时序电路都需要动态检查，动态检查需在某一规律信号作用下用示波器检查各级工作波形，具体检查次序可以从输入端开始，按信号流程依次逐级向后检查，也可以从故障输出端向输入方向逐级向前检查，直至找到故障点为止。

(6) 如果电路比较复杂，为提高故障诊断效率，可以根据功能将电路尽可能分为信号互不影响的几个部分，然后根据故障现象，判断故障可能出现的位置，逐个测试各个部分的输入、输出信号，检查是否符合其逻辑功能，以排除法锁定故障源。也可视不同情况采用“对分”、“分割”、“对比”或“替代”等方法。应当指出，对于有反馈环的电路故障诊断是比较困难的，在这个闭环回路中，只要有一个元器件（或功能块）发生故障，则往往整个回路处处都存在故障现象。此时，一般的做法是，先把反馈回路断开，使系统成为一个开环系统，然后再接入适当的输入信号，利用信号寻迹法逐一寻找发生故障的部位。例如，图 1.3.2 为利用预置数端的反馈式计数器。计数器 CD40161 的进位输出 CO 作为与非门的输入，该与非门的输出又作为计数器的置数输入。不论计数器 CD40161 部分或是与非门部分发生故障，都将可能导致整个计数器无输出波形。寻找故障的方法是，断开反馈回路中的一点（如 B₁ 或 B₂ 点），假设断开 B₂ 点，并从 B₂ 点加一高电平到 CD40161 的置数端 LD，用示波器观测 Q₀~Q₃ 和与非门电路输出波形，看其是否正常。如果 Q₀~Q₃（或者与非门电路输出）没有波形或波形异常，则故障就发生在 CD40161（或者与非门电路）部分。

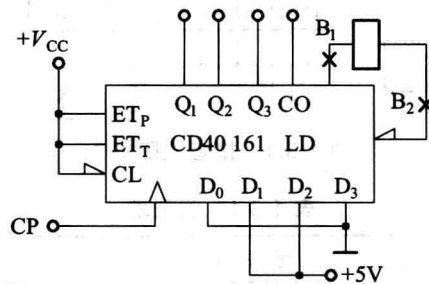


图 1.3.2 排查故障例 2

(7) 使用器件替换方法，以排除器件功能不正常引起的电路故障。

第 2 章 数字电路基本实验

实验 1 基本逻辑门特性测试

一、实验目的

- (1) 认识数字逻辑“1”与“0”所对应的实际电压值及逻辑门（TTL、CMOS）电气特性。
- (2) 掌握门电路主要参数的测试方法。

二、预习要求与思考题

- (1) 认真阅读本书附录 2，详细了解 MFB-3 多功能实验器的使用方法，特别注意逻辑变量输入信号（ $K_7 \sim K_0$ ）及发光二极管显示（ $L_7 \sim L_0$ ）的使用方法。
- (2) 阅读本实验原理与参考电路内容，熟悉各测试电路，了解其原理及测试方法。
- (3) 查本书附录 1，了解集成芯片 74LS00、CD4011 的引脚排列图。
- (4) 通过与非门输入负载特性的测试，你能决定 TTL 门电路允许串接的最大输入电阻值吗？对 CMOS 器件有无此限制？
- (5) 为什么测量 CMOS 与非门的 V_{OL} 值时（见图 2.1.2）， R_L 取值要做修改？

三、实验原理与参考电路

本实验以目前使用较普遍的 TTL、CMOS 与非门为例，介绍集成逻辑门静态参数及逻辑功能的测试方法。

1. TTL 与非门（SN74LS00）的静态参数

1) 输出高电平 V_{OH}

V_{OH} 是指有一个以上的输入端接地时的输出电平值。典型值 $V_{OH}=3.4\text{ V}$ ，一般满足逻辑“1”允许的最低电压值不能小于 2 V ，测试电路如图 2.1.1 所示。

2) 输出低电平 V_{OL}

V_{OL} 是所有输入端接 5 V 时的输出电平值。典型值： $V_{OL}=0.35\text{ V}$ （ $I_{OL}=8\text{ mA}$ ），一般满

是逻辑“0”允许的最高电压值不能高于 0.8 V，测试电路如图 2.1.2 所示。

3) 输入短路电流 I_{IS}

测试电路如图 2.1.3 所示，一个输入端串接电流表到地，其余开路，输出空载。 $I_{IS} \leq 0.4 \text{ mA}$ 。

4) 空载截止功耗 P_H

测试电路如图 2.1.4 所示，一个输入端接地，其余开路，输出空载。

$$P_H = V_{CC}I_{CH}$$

5) 空载导通功耗 P_L

测试电路如图 2.1.5 所示，输入端全部开路，输出空载。

$$P_L = V_{CC}I_{CL}$$

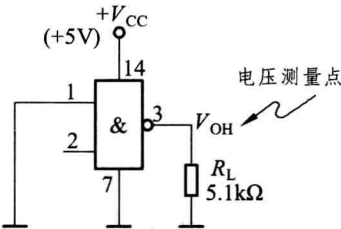


图 2.1.1 V_{OH} 的测试电路

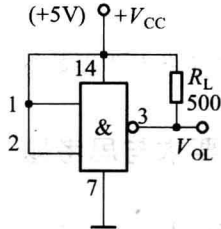


图 2.1.2 V_{OL} 的测试电路

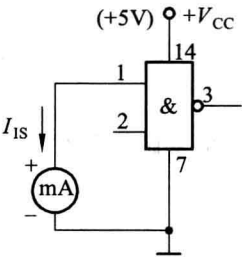


图 2.1.3 I_{IS} 的测试电路

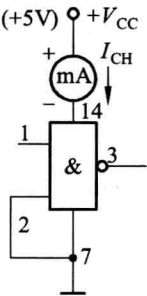


图 2.1.4 P_H 的测试电路

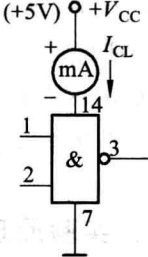


图 2.1.5 P_L 的测试电路

6) 扇出系数 N

扇出系数是指能驱动同类门电路的数目，用以衡量带负载的能力。图 2.1.6 所示电路能测试输出为低电平时 ($\leq 0.35 \text{ V}$) 最大允许负载电流 I_{OL} ，然后求得 $N = I_{OL}/I_{IS}$ 。

2. TTL 与非门的电压传输特性

利用电压传输特性不仅能检查和判断 TTL 与非门的好坏，还可以从传输特性上直接读出其主要静态参数及噪声容限，传输特性的测试电路如图 2.1.7 所示。