



普通高校“十二五”规划教材



徐科军 张 瀚 陈智渊 编著

TMS320X281x DSP 原理与应用

(第2版)



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS



普通高校“十二五”规划教材

TMS320X281x DSP 原理与应用

(第2版)

徐科军 张 瀚 陈智渊 编著

北京航空航天大学出版社

内 容 简 介

C2000 系列 DSP 是 TI 公司 TMS320 DSP 的 3 大系列之一,既具有一般 DSP 芯片的高速运算和信号处理能力,又同单片机一样,在片内集成了丰富的外设,因而,特别适用于高性能数字控制系统。本书以 TMS320X281x 为代表,详细介绍其 CPU 和片内外围设备。全书共分 7 章,具体内容包包括:CPU 内核结构,存储器及 I/O 空间,片内外围设备,寻址方式和指令系统,C28x 内核与 C2xLP 内核的区别,DSP 程序的编写和调试,以及 TMS320F2812 最小系统的软、硬件设计。

本书可供自动控制、电气工程、计算机应用和仪器仪表等领域从事 DSP 应用技术开发的科研和工程技术人员参考,也可以作为高校相关专业本科生和研究生的参考书。

图书在版编目(CIP)数据

TMS320X281x DSP 原理与应用 / 徐科军,张瀚,陈智渊编著. --2 版. --北京:北京航空航天大学出版社, 2011.10

ISBN 978-7-5124-0585-1

I. ①T… II. ①徐… ②张… ③陈… III. ①数字信号处理②数字信号—微处理器 IV. ①TN911.72 ②TP332

中国版本图书馆 CIP 数据核字(2011)第 177570 号

版权所有,侵权必究。

TMS320X281x DSP 原理与应用(第 2 版)

徐科军 张 瀚 陈智渊 编著

责任编辑 张 楠 王 松

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:emsbook@gmail.com 邮购电话:(010)82316936

涿州市新华印刷有限公司印装 各地书店经销

*

开本:787×1 092 1/16 印张:22.5 字数:576 千字

2011 年 10 月第 1 版 2011 年 10 月第 1 次印刷 印数:4 000 册

ISBN 978-7-5124-0585-1 定价:42.00 元

第2版前言

美国德州仪器公司 C2000 系列数字信号处理器(Digital Signal Processor,简称 DSP)既具有一般 DSP 芯片的高速信号处理和运算能力,又与单片机一样在片内集成了丰富的外设,主要应用于电机控制、数字电源和先进传感等领域,近年来发展相当迅速、应用非常广泛。

本书的第1版于2006年8月出版,重点介绍 TMS320F2812 的中央处理单元(CPU)和片内外围设备,具体内容包括:CPU 内核结构,存储器及 I/O 空间,片内外围设备,寻址方式和指令系统,C28x 内核和 C2xLP 内核的区别,DSP 程序的编写和调试,以及 TMS320F2812 最小系统的软、硬件设计。当时,定位在技术书的层面,所以叙述比较细致,内容比较详尽。但是,当作为教材使用时,就显得篇幅过长、内容过细。为此,在这次再版时,在保持原有框架和主要内容不变的情况下,删减了一些细节,例如,一些寄存器的定义以及 TMS320C28x 与 TMS320LF240x 内核的比较等,以便读者在有限的时间内,学习和掌握 TMS320F2812 DSP 芯片的工作原理、系统结构、片内外设、指令系统和开发过程的主要内容。

徐科军

合肥工业大学电气与自动化工程学院

2011 年 8 月

第 1 版前言

数字信号处理器(Digital Signal Processor,简称 DSP)是一种运算速度快、处理功能强、内存容量大的单片微处理器,广泛应用于控制系统、电气设备、信号处理及通信系统、互联网、仪器仪表和消费电子产品等方面。C2000 系列 DSP 是美国 TI(Texas Instruments)公司 TMS320 DSP 的 3 大系列之一,既具有一般 DSP 芯片的信号高速处理和运算能力,又同单片机一样,在片内集成了丰富的外设。随着这一系列芯片应用的不断普及和研究的逐层深入,新的应用场合对其性能提出了更高的要求。于是,TI 公司推出了新一代的 DSP 芯片——TMS320C28x,它是到目前为止 C2000 系列中性能最强大的一代产品。它的出现,为高性能、高精度和高集成度控制器的实现提供了优越的解决方案。

由于这一代 DSP 芯片的 CPU 都基于 TI 公司最新的 C28x 内核,所以一般用 TMS320C28x 来统称这一代芯片。目前这一代芯片分为两个子系列:TMS320X281x(X 可以取 F、C 和 R,x 可以取 0、1 和 2)和 TMS320F280x(x 可以取 1、6 和 8),如下表所列。这两个子系列共有 11 个芯片型号。

TMS320C28x 系列芯片

TMS320X281x 系列	TMS320F280x 系列
TMS320F2810,TMS320F2811,TMS320F2812(片内 Flash ROM)	TMS320F2801
TMS320C2810,TMS320C2811,TMS320C2812(片内 OTP ROM)	TMS320F2806
TMS320R2811,TMS320R2812(无片内 Flash 或者 ROM,增加 2 KB RAM)	TMS320F2808(集成片内 Flash)

总体来说,这两个子系列芯片的主要配置基本相同,后者的性能和扩展性稍差,但具有很高的性价比。

本书以 TMS320X281x 系列 DSP 为代表,介绍其中央处理单元(CPU)、片内外围设备、指令系统、软件开发工具以及 TMS320F2812 最小系统的软硬件设计。全书共分 7 章,具体内容

包括:

第 1 章,简要介绍 DSP 技术以及 TI 公司的 TMS320C2000 系列 DSP;

第 2 章,介绍 TMS320C28x 的 CPU 内核结构及其存储器映射;

第 3 章,介绍 TMS320X281x DSP 的片内外围设备,包括系统控制和外设中断模块、系统外部接口、模/数转换器(ADC)、事件管理器(EV)、串行外设接口(SPI)、串行通信接口(SCI)、CAN 控制器模块、多通道缓冲串口(McBSP)以及引导 ROM 等;

第4章,介绍 TMS320C28x 寻址方式和指令系统;

第5章,介绍 C28x 内核与 C2xLP 内核的区别;

第6章,介绍 DSP 程序的编写和调试;

第7章,介绍 TMS320F2812 最小系统的软硬件设计。

本书在介绍 TMS320X281x DSP 硬件(中央处理单元、片内外围设备)和软件(指令系统、开发工具)的基础上,给出了 TMS320F2812 最小系统的硬件原理和软件例程,以加深读者的理解,也为读者开发自己的应用系统打下基础。同时,考虑到 24x 系列原有的读者,本书还简要介绍了 28x 系列芯片内核与 24x 系列内核的区别,以帮助这部分读者顺利过渡到 28x 芯片上来。

陈智渊编写 2.3 节~2.8 节,3.3 节、3.5 节、3.6 节、3.7 节和 7.1 节;张瀚编写 3.1 节、3.2 节、3.4 节、3.8 节、3.9 节,以及第 4 章、第 5 章、第 6 章和 7.2 节;徐科军编写第 1 章、2.1 节和 2.2 节,并审阅书稿;曾宪俊参加了本书的校对工作。

由于 DSP 技术发展非常迅速,作者的水平有限,书中可能存在不妥之处,敬请广大读者批评指正,作者的联系方式为:

安徽省合肥市合肥工业大学电气与自动化工程学院

合肥工业大学—德州仪器数字信号处理方案实验室

邮编:230009

电子信箱:dsplab@hfut.edu.cn

徐科军

2006 年 6 月

目 录

第 1 章 绪 论

1.1 TMS320F281x 系列 DSP 的性能	1
1.2 TMS320F281x 系列 DSP 的结构	3
1.3 TMS320F281x 系列 DSP 的引脚分布	4
1.4 信号说明	5

第 2 章 CPU 内核结构及存储器映射

2.1 CPU 结构	15
2.2 CPU 寄存器	16
2.2.1 累加器(ACC,AH,AL)	18
2.2.2 被乘数寄存器(XT)	18
2.2.3 乘积寄存器(P、PH 和 PL)	19
2.2.4 数据页指针(DP)	19
2.2.5 堆栈指针(SP)	20
2.2.6 辅助寄存器(XAR0~XAR7 和 AR0~AR7)	20
2.2.7 程序计数器(PC)	21
2.2.8 返回程序寄存器(RPC)	21
2.2.9 中断控制寄存器(IFR,IER,DBGIER)	21
2.2.10 状态寄存器(ST0,ST1)	21
2.3 程序流	29
2.3.1 中 断	29
2.3.2 分支、调用和返回	29
2.3.3 单个指令的重复执行	29
2.3.4 指令流水线	29
2.4 乘法操作	30
2.4.1 16 位×16 位乘法	30
2.4.2 32 位×32 位乘法	30
2.5 移位操作	31
2.6 CPU 中断与复位	35

2.6.1 CPU 中断概述	35
2.6.2 CPU 中断向量和优先级	35
2.6.3 可屏蔽中断	37
2.6.4 可屏蔽中断的标准操作	40
2.6.5 非屏蔽中断	42
2.6.6 非法指令陷阱	45
2.6.7 硬件复位(RS)	45
2.7 流水线	46
2.7.1 指令流水线	47
2.7.2 可视流水线活动	49
2.7.3 流水线活动的冻结	51
2.7.4 流水线保护	52
2.7.5 避免无流水线保护操作	54
2.8 存储器映射	56
2.8.1 Flash 存储器(仅 F281x)	61
2.8.2 M0 和 M1 SARAM	62
2.8.3 L0、L1 和 H0 SARAM	62
2.8.4 Boot ROM	62
2.8.5 安 全	62
第3章 TMS320X281x DSP 的片内外设	
3.1 系统控制和外设中断	63
3.1.1 Flash 和 OTP 存储器	63
3.1.2 代码安全模块	63
3.1.3 时 钟	66
3.1.4 通用 I/O 端口(GPIO)	77
3.1.5 外设寄存器帧及 EALLOW 保护寄存器	83
3.1.6 外设中断扩展(PIE)	84
3.2 系统外部接口(XINTF)	97
3.2.1 总体功能描述	97
3.2.2 XINTF 配置	99
3.2.3 前导、有效和结束三个阶段等待状态的配置	103
3.2.4 XINTF 寄存器	104
3.2.5 外部 DMA 支持	104
3.3 模/数转换器(ADC)	105
3.3.1 特 点	105
3.3.2 自动排序器的工作原理	108
3.3.3 非中断自动排序模式	113
3.3.4 ADC 时钟的预标定	118
3.3.5 ADC 的供电模式和上电顺序	118

3.3.6	排序器覆盖功能	119
3.3.7	ADC 控制寄存器	120
3.3.8	最大转换通道寄存器(ADCMAXCONV)	126
3.3.9	自动排序状态寄存器(ADCASEQSR)	127
3.3.10	ADC 状态和标志寄存器(ADCST)	128
3.3.11	ADC 输入通道选择排序控制寄存器	130
3.3.12	ADC 转换结果缓冲寄存器(ADCRESULTn)	130
3.3.13	F2810, F2811 和 F2812 内部 ADC 的校正	131
3.4	事件管理器	137
3.4.1	概 述	138
3.4.2	通用定时器	141
3.4.3	全比较单元	152
3.4.4	PWM 电路	154
3.4.5	PWM 波形的产生	158
3.4.6	捕获单元	162
3.4.7	正交编码器脉冲 QEP 电路	164
3.4.8	EV 中断	166
3.4.9	事件管理器的寄存器	168
3.5	串行外设接口(SPI)	191
3.5.1	增强型 SPI 模块简介	191
3.5.2	操作介绍	195
3.5.3	SPI 中断	197
3.5.4	SPI FIFO 介绍	201
3.6	串行通信接口	203
3.6.1	增强型 SCI 模块概述	203
3.6.2	SCI 模块的结构	206
3.6.3	SCI 模块寄存器概述	216
3.7	增强型 CAN 控制器模块	217
3.7.1	CAN 简介	218
3.7.2	CAN 的网络和模块	219
3.7.3	eCAN 控制器简介	221
3.7.4	消息对象	223
3.7.5	消息邮箱	224
3.8	多通道缓冲串口	225
3.8.1	McBSP 模块的功能和结构总览	226
3.8.2	McBSP 模块的操作	227
3.8.3	多通道选择模式	233
3.8.4	接收器和发送器配置	236
3.8.5	McBSP 初始化流程	237

3.8.6	McBSP 的 FIFO 和中断	237
3.8.7	McBSP 的其他寄存器	243
第4章 TMS320C28x DSP 的寻址方式和指令系统		
4.1	寻址方式	258
4.1.1	寻址方式概述	258
4.1.2	寻址方式选择位	259
4.1.3	汇编器/编译器对 AMODE 位的追踪	261
4.1.4	各寻址方式的具体说明	261
4.1.5	32 位操作的定位	268
4.2	C28x 汇编语言简介	268
第5章 TMS320X281x DSP 的程序编写和调试		
5.1	DSP 集成开发环境 CCS	269
5.1.1	CCS 中的工程	269
5.1.2	CCS 的界面组成	270
5.2	TMS320X281x DSP 的软件开发流程	271
5.2.1	CCS 集成开发环境的设置	272
5.2.2	CCS 集成开发环境的应用	274
5.2.3	通用扩展语言(GEL)	281
5.3	DSP/BIOS 开发工具介绍	282
第6章 实验系统及实验例程		
6.1	实验系统硬件介绍	286
6.1.1	eZdsp™ F2812 简介	286
6.1.2	eZdsp™ F2812 使用	286
6.1.3	TMS320F2812 重要电气参数	292
6.2	应用实验例程	296
6.2.1	实验例程中的文件	296
6.2.2	实验程序的主要代码	300
附录 A 汇编指令集		328
附录 B eZdsp™ F2812 原理图		343
参考文献		347

第 1 章

绪 论

TMS320X281x 是美国德州仪器公司(Texas Instruments Incorporation, 简称 TI 公司)推出的新一代 32 位定点数字信号处理器(Digital Signal Processor, 简称 DSP), 具体型号包括: TMS320F2811, TMS320F2812, TMS320C2810, TMS320C2811 和 TMS320C2812 等。在本书中, TMS320F2810, TMS320F2811 和 TMS320F2812 分别缩写为 F2810, F2811 和 F2812, F281x 表示这三种含有 Flash 的器件; TMS320C2810, TMS320C2811 和 TMS320C2812 分别缩写为 C2810, C2811 和 C2812, C281x 表示这三种含有 ROM 的器件。2810 表示 F2810 和 C2810 器件; 2811 表示 F2811 和 C2811 器件; 2812 表示 F2812 和 C2812 器件。

该系列芯片每秒可执行 1.5 亿次指令(150 MIPS), 具有单周期 32 位 $\times$ 32 位的乘和累加操作(MAC)功能。F281x 片内集成了 128K/64K $\times$ 16 位的闪速存储器(Flash), 可方便地实现软件升级; 此外, 片内还集成了丰富的外围设备, 例如: 采样频率达 12.5 MIPS 的 12 位 16 路 A/D 转换器, 面向电机控制的事件管理器, 以及可为主机、测试设备、显示器和其他组件提供接口的多种标准串口通信外设等。可见, 该类芯片既具备数字信号处理器卓越的数据处理能力, 又像单片机那样具有适于控制的片内外设及接口, 因而又被称为“数字信号控制器”(Digital Signal Controller, 简称 DSC)。

TMS320X281x 与 TMS320F24x/LF240x 的原代码和部分功能相兼容, 一方面保护了 TMS320F24x/LF240x 升级时对软件的投资; 另一方面扩大了 TMS320C2000 的应用范围, 从原先的普通电机数字控制拓展到高端多轴电机控制、可调谐激光控制、光学网络、电力系统监控和汽车控制等领域。

本章主要以 TMS320F281x 系列芯片为例介绍其性能、特点和结构, 并给出该系列芯片的引脚分布和引脚功能。

1.1 TMS320F281x 系列 DSP 的性能

TMS320F281x 系列芯片的主要性能为:

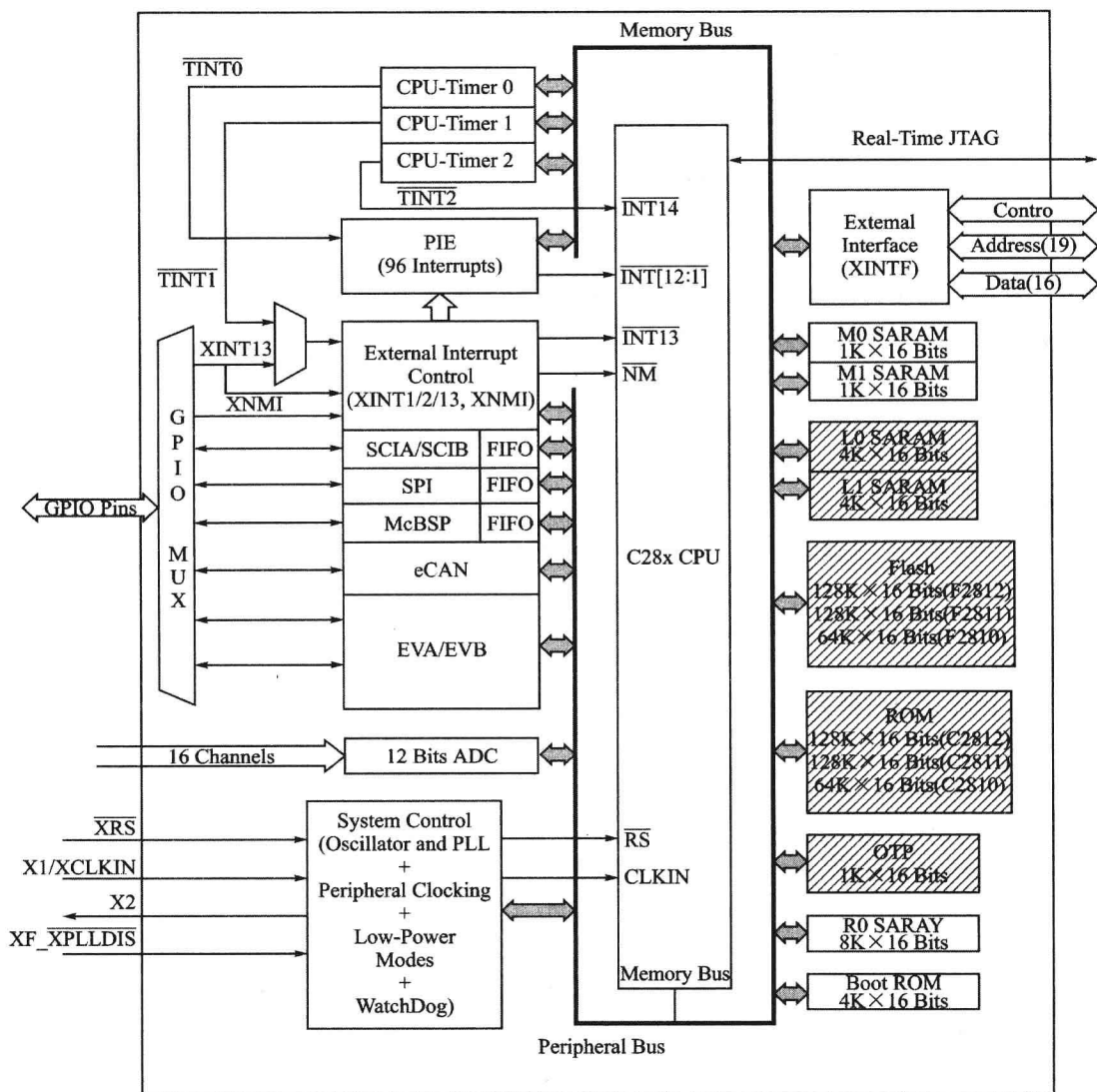
- 高性能静态 CMOS 技术
 - 150 MHz 时钟频率(6.67 ns 时钟周期);
 - 低功耗设计(核心电压为 1.8 V @135 MHz, 1.9 V @150 MHz, I/O 端口为 3.3 V);
 - Flash 编程电压 3.3 V。

- 高性能 CPU
 - 16 位 $\times$ 16 位和 32 位 $\times$ 32 位的乘和累加操作;
 - 双 16 位 $\times$ 16 位的乘加单元(MAC);
 - 哈佛总线结构;
 - 强大的操作能力;
 - 迅速的中断响应和处理;
 - 统一的存储器编程模式;
 - 可达 4M 字的线性程序/数据地址;
 - 代码效率高(兼容 C/C++ 或者汇编语言);
 - 与 TMS320F24x/LF240x 处理器的源代码兼容。
- 片上存储器
 - 多达 128K $\times$ 16 位 Flash 存储器(4 个 8K $\times$ 16 位和 6 个 16K $\times$ 16 位的扇区);
 - 1K $\times$ 16 位的 OTP 型只读存储器;
 - 两个 4K $\times$ 16 位的单口随机存储器(SARAM):L0 和 L1;
 - 一块 8K $\times$ 16 位 SARAM:H0;
 - 两块 1K $\times$ 16 位 SARAM:M0 和 M1。
- 引导 ROM(4K $\times$ 16 位)
 - 带有软件的引导模式;
 - 标准的数学表。
- 外部接口(仅 F2812 有)
 - 多达 1.5M $\times$ 16 位的存储器;
 - 可编程等待状态;
 - 可编程读/写选通计数器;
 - 四个独立的片选端。
- 时钟和系统控制
 - 支持动态的锁相环倍率调整;
 - 片上振荡器;
 - 看门狗定时器模块。
- 三个外部中断
- 外部中断扩展(PIE)模块
 - 可支持 45 个外部中断。
- 三个 32 位 CPU 定时器
- 128 位密钥
 - 保护 Flash/OTP 和 L0/L1 SARAM;
 - 防止 ROM 中的程序被解密。
- 马达控制外设
 - 两个事件管理器(EVA,EVB);
 - 与 240xA 器件兼容。
- 串行接口外设

- 串行外设接口(SPI);
- 两个串行通信接口(SCI),标准的 UART;
- 增强型局域网络控制器(eCAN);
- 多通道缓冲串口(McBSP)。
- 12 位 ADC,16 通道
 - 2 个 8 通道的输入多路转换器;
 - 两个采样保持器;
 - 单个/双路同步采样;
 - 高速通道转换速率:80 ns/12.5 MSPS。
- 最多可有 56 个可编程通用输入/输出(GPIO)引脚
- 高级的仿真性能
 - 分析和设置断点的功能;
 - 实时的硬件调试功能。
- 开发工具包括
 - ANSI C/C++ 编译器/汇编器/连接器;
 - 支持 TMS32024x/20x 指令;
 - 代码编辑集成开发环境;
 - DSP BIOS;
 - JTAG 扫描控制器(TI 或者第三方);
 - 评估板;
 - 广泛的第三方数字电机控制支持。
- 低功耗模式和节能模式
 - 支持空闲模式、等待模式和挂起模式;
 - 独立的停止外设的时钟。
- 封装形式
 - 带外部接口的 179 引脚球形触点 BGA 封装(GHH,ZHH 和 2812);
 - 带外部接口的 176 引脚低剖面四方扁平 LQFP 封装(PGF,2812);
 - 不带外部接口的 128 LQFP 封装(PBK,2810 和 2811)。
- 工作温度范围
 - A: -40~+85 ℃;
 - S/Q: -40~+125 ℃。

1.2 TMS320F281x 系列 DSP 的结构

F281x 功能框图如图 1-2-1 所示。



注：① 表示代码保护模块。② 器件上提供 96 个中断, 45 个可用；③ XINTF 在 F2810 上不可用。

图 1-2-1 F281x 功能框图

1.3 TMS320F281x 系列 DSP 的引脚分布

图 1-3-1 为 F2812 的 176 引脚 PGF 低剖面四方扁平封装(LQFP)的引脚分布。

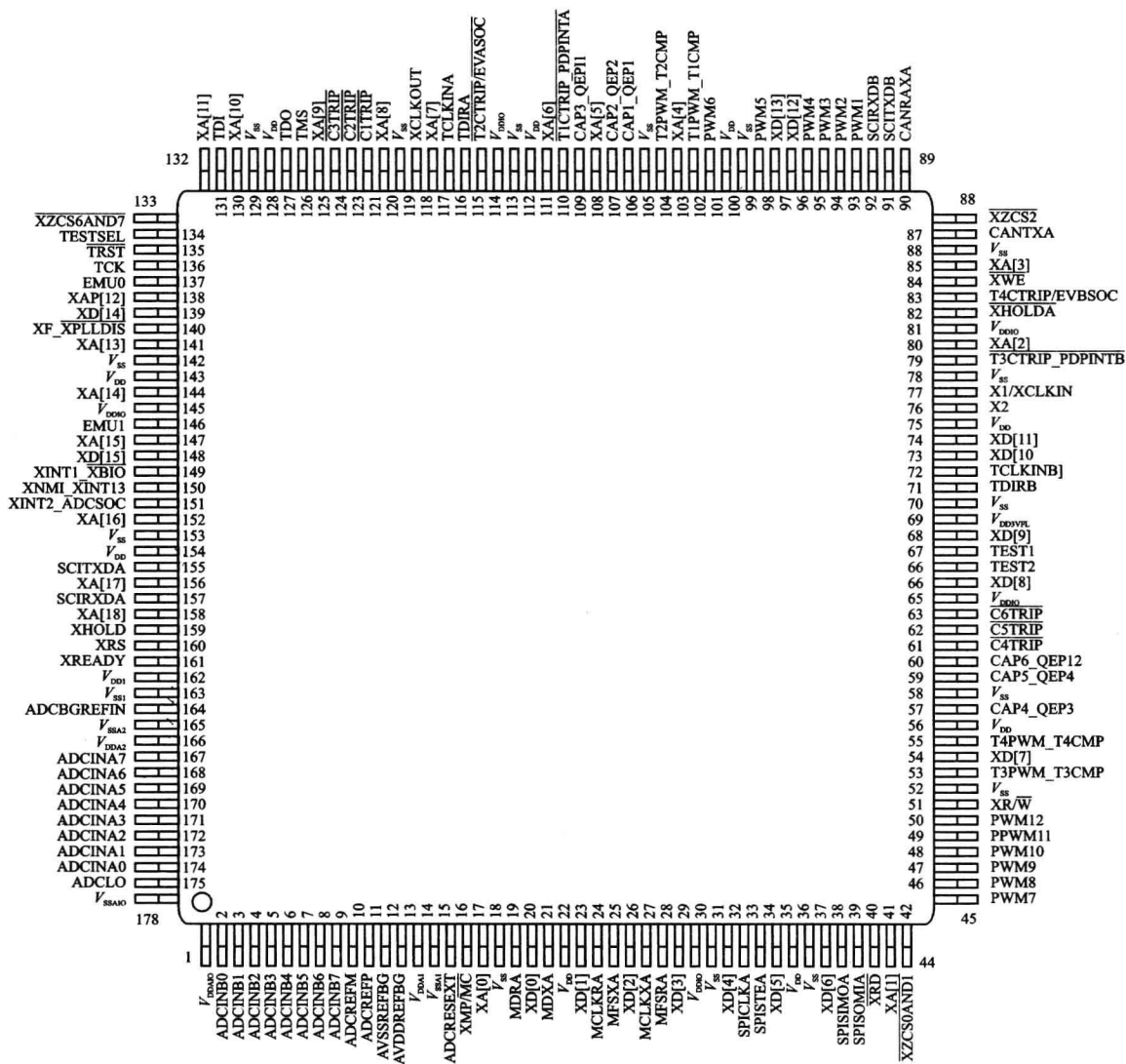


图 1-3-1 TMS320F2812 176 引脚 PGF LQFP(顶视图)

1.4 信号说明

表 1-4-1 列出了 F281x 和 C281x 器件的信号说明。

表 1-4-2 列出了外设信号说明。

所有的数字输入都与 TTL 兼容；

所有的输出都是 3.3 V 的 CMOS 电平,不能接受 5 V 输入；

内部使用一个上拉或下拉电流为 100 μ A(或者 20 μ A)的上拉/下拉电阻。

表 1-4-1 信号说明*

名 称	引脚编号			I/O/Z [‡]	PU/PD [§]	描 述
		176 引脚 PGF				
XINTF 信号 (只适用于 2812)						
XA[18]		158		O/Z	—	19 位 XINTF 地址总线
XA[17]		156		O/Z	—	
XA[16]		152		O/Z	—	
XA[15]		148		O/Z	—	
XA[14]		144		O/Z	—	
XA[13]		141		O/Z	—	
XA[12]		138		O/Z	—	
XA[11]		132		O/Z	—	
XA[10]		130		O/Z	—	
XA[9]		125		O/Z	—	
XA[8]		121		O/Z	—	
XA[7]		118		O/Z	—	
XA[6]		111		O/Z	—	
XA[5]		108		O/Z	—	
XA[4]		103		O/Z	—	
XA[3]		85		O/Z	—	
XA[2]		80		O/Z	—	
XA[1]		43		O/Z	—	
XA[0]		18		O/Z	—	
XC[15]		147		I/O/Z	PU	16 位 XINTF 数据总线
XD[14]		139		I/O/Z	PU	
XD[13]		97		I/O/Z	PU	
XD[12]		96		I/O/Z	PU	
XD[11]		74		I/O/Z	PU	
XD[10]		73		I/O/Z	PU	
XD[9]		68		I/O/Z	PU	
XD[8]		65		I/O/Z	PU	
XD[7]		54		I/O/Z	PU	
XD[6]		39		I/O/Z	PU	
XD[5]		36		I/O/Z	PU	
XD[4]		33		I/O/Z	PU	
XD[3]		30		I/O/Z	PU	
XD[2]		27		I/O/Z	PU	
XD[1]		24		I/O/Z	PU	
XD[0]		21		I/O/Z	PU	

* 除 TDO、XCLKOUT、XF、XINTF、EMU0 和 EMU1 引脚驱动能力是 8 mA 以外,其他脚的输出缓冲器的驱动能力的典型值是 4 mA;

‡ I: 输入, O: 输出, Z: 高阻态;

§ PU: 引脚有内部上拉; PD: 引脚有内部下拉。

续表 1-4-1

名 称	引脚编号			I/O/Z	PU/PD	描 述
		176 引脚 PGF				
XINTF 信号(仅 F2812)						
XMP/ $\overline{MC}$		17		I	PU	微处理器/微计算机模式选择,可在两者之间切换。为高电平时,外部接口上的区域 7 有效;为低电平时,区域 7 无效,取而代之为使用片内的 boot ROM 功能。复位时,该信号被锁存在 XINTCNF2 寄存器中,可通过软件修改此位,其状态被忽略
$\overline{XHOLD}$		159		I	PU	外部保持请求信号。为低电平时,请求 XINTF 释放外部总线,并把所有的总线与选通端置为高阻态。当对总线操作完成且不存在等待的操作时,XINTF 释放总线
$\overline{XHOLDA}$		82		O/Z	—	外部保持确认信号。当 XINTF 响应 $\overline{XHOLD}$ 的请求时,它呈现低电平。所有的 XINTF 总线和选通端呈现高阻态。 $\overline{XHOLD}$ 和它同时发出。当它有效(低)时,外部器件只能使用外部总线
$\overline{XZCS0AND1}$		44		O/Z	—	XINTF 的区域 0 和区域 1 的片选。当访问 XINTF 区域 0 或 1 时有效(低)
$\overline{XZCS2}$		88		O/Z	—	XINTF 的区域 2 的片选。当访问 XINTF 区域 2 时有效(低)
$\overline{XZCS6AND7}$		133		O/Z	—	XINTF 区域 6 和 7 的片选。当访问 XINTF 区域 6 和 7 时有效(低)
$\overline{XWE}$		84		O/Z	—	写使能。有效时为低电平。写选通信号按每个区域为基础,由 XTIMINGx 寄存器的前一周、当前周期和后一周给定
$\overline{XRE}$		42		O/Z	—	读使能。低电平读选通。读选通信号按每个区域为基础,由 XTIMINGx 寄存器的前一周、当前周期和后一周给定。注意: $\overline{XWE}$ 和 $\overline{XRE}$ 是互斥信号
XR/ $\overline{W}$		51		O/Z	—	读/写选通。通常为高电平。当为低电平时,表示处于写周期;当为高电平时,表示处于读周期
XREADY		161		I	PU	准备信号。为 1 时,表示外设已为访问做好准备。XREADY 可被设置为同步或异步输入。详见时序图