

长达 7 年的考点跟踪

深入解析考试大纲，详细分析历年考试中的重点和难点。

覆盖 8 年的真题详解

从历年考试真题中总结考试规律，能帮助考生尽早地熟悉考题形式、深度和广度，以及内容的分布、解答问题的方法和技巧。

高达数十位在线专家

在线测试平台、软考交流论坛，为读者提供全程的答疑解惑服务。

全国计算机技术与软件专业技术 资格（水平）考试用书

系统分析师考试



历年试题

与解答

希赛教育软考学院 主编

（综合知识篇）



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
http://www.phei.com.cn

全国计算机技术与软件专业技术资格(水平)考试用书

系统分析师考试 历年试题分析与解答

(综合知识篇)

希赛教育软考学院 主编

电子工业出版社

Publishing House of Electronics Industry

北京•BEIJING

内 容 简 介

本书由希赛教育软考学院组织编写,作为计算机技术与软件专业技术资格(水平)考试中的系统分析师级别考试辅导培训教材。本书根据最新的系统分析师考试大纲及培训指南,按照信息系统综合知识的所有知识点对历年(2004—2011年)考试试题进行了分析和总结,对新版的考试大纲规定的内容有重点地进行细化和深化。

考生可通过阅读本书掌握考试大纲规定的知识,掌握考试重点和难点,熟悉考试方法、试题形式、试题的深度和广度,以及内容的分布、解答问题的方法和技巧。

本书可作为系统分析师考试的辅导书籍,也可作为信息系统项目管理师、系统架构设计师和网络规划设计师考试的参考书籍。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

系统分析师考试历年试题分析与解答. 综合知识篇 / 希赛教育软考学院主编. —北京: 电子工业出版社, 2012.2
全国计算机技术与软件专业技术资格(水平)考试用书
ISBN 978-7-121-15569-7

I. ①系… II. ①希… III. ①软件工程—系统分析—工程技术人员—资格考核—题解 IV. ①TP311.5-44

中国版本图书馆 CIP 数据核字(2011)第 268224 号

策划编辑: 孙学瑛

责任编辑: 白 涛

印 刷: 涿州市京南印刷厂

装 订: 涿州市桃园装订有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 25.25 字数: 570 千字

印 次: 2012 年 2 月第 1 次印刷

印 数: 3000 册 定价: 69.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前言

全国计算机技术与软件专业技术资格（水平）考试（以下简称“软考”）是一个难度很高的考试，考生的平均通过率很低，主要原因是考试范围十分广泛，涉及计算机专业的每门课程，还要加上数学、英语、系统工程、信息化和知识产权等知识，且注重考查新技术和新方法的应用。考试不但注重广度，而且还有一定深度。特别是高级资格考试，不但要求考生具有扎实的理论基础知识，还要具备丰富的实战经验。

本书是为软考中的系统分析师级别而编写的考试用书，全书分析了历年（2004—2011 年）系统分析师考试的所有考题，对试题进行详细的分析与解答，对有关重点和难点进行了深入的分析。

作者权威，阵容强大

希赛教育（www.educity.cn）专业从事人才培养、教育产品开发、教育图书出版，在职业教育方面具有极高的权威性。特别是在在线教育方面，稳居国内首位，希赛教育的远程教育模式得到了国家教育部门的认可和推广。

希赛教育软考学院（www.csairk.com）是全国计算机技术与软件专业技术资格（水平）考试的顶级培训机构，拥有近 20 名资深软考辅导专家，负责了高级资格的考试大纲制订工作，以及软考辅导教材的编写工作，共组织编写和出版了 80 多本软考教材，内容涵盖了初级、中级和高级的各个专业，包括教程系列、辅导系列、考点分析系列、冲刺系列、串讲系列、试题精解系列、疑难解答系列、全程指导系列、案例分析系列、指定参考用书系列、一本通 11 个系列的书籍。希赛教育软考学院的专家录制了软考培训视频教程、串讲视频教程、试题讲解视频教程、专题讲解视频教程 4 个系列的软考视频，希赛教育软考学院的软考教材、软考视频、软考辅导为考生助考、提高通过率作出了不可磨灭的贡献，在软考领域有口皆碑。特别是在高级资格领域，无论是考试教材，还是在线辅导和面授，希赛教育软考学院都独占鳌头。

本书由希赛教育软考学院主编，参加编写的人员有张友生、桂阳、胡钊源、谢顺、施游、王勇、陈勇军、李雄、左水林、胡光超和何玉云。

在线测试，心中有数

上学吧（www.shangxueba.com）在线测试平台为考生准备了在线测试，其中有数十套全真模拟试题和考前密卷，考生可选择任何一套进行测试。测试完毕，系统自动判卷，立

即给出分数。

对于考生做错的地方，系统会自动记忆，待考生第二次参加测试时，可选择“试题复习”。这样，系统就会自动把考生原来做错的试题显示出来，供考生重新测试，以加强记忆。

如此，读者可利用上学吧在线测试平台的在线测试系统检查自己的实际水平，加强考前训练，做到心中有数，考试不慌。

诸多帮助，诚挚致谢

在本书出版之际，要特别感谢全国软考办的命题专家们，编者在本书中引用了部分考试原题，使本书能够尽量方便读者的阅读。在本书的编写过程中，参考了许多相关的文献和书籍，编者在此对这些参考文献的作者表示感谢。

感谢电子工业出版社孙学瑛老师，她在本书的策划、选题的申报、写作大纲的确定，以及编辑、出版等方面，付出了辛勤的劳动和智慧，给予了我们很多的支持和帮助。

感谢参加希赛教育软考学院辅导和培训的学员，正是他们的想法汇成了本书的源动力，他们的意见使本书更加贴近读者。

由于编者水平有限，且本书涉及的内容很广，书中难免存在错漏和不妥之处，编者诚恳地期望各位专家和读者不吝指正和帮助，对此，我们将十分感激。

互动讨论，专家答疑

希赛教育软考学院（www.csairk.com）是中国最大的软考在线教育网站，该网站论坛是国内人气最旺的软考社区，在这里，读者可以和数十万考生进行在线交流，讨论有关学习和考试的问题。希赛教育软考学院拥有强大的师资队伍，为读者提供全程的答疑服务，在线回答读者的提问。

有关本书的意见反馈和咨询，读者可在希赛教育软考学院论坛“软考教材”版块中的“希赛教育软考学院”栏目上与编者进行交流。

希赛教育软考学院

2011年12月

目 录

第 1 章 计算机组成与体系结构	1
第 2 章 操作系统	27
第 3 章 数据通信与计算机网络	63
第 4 章 数据库系统	100
第 5 章 系统配置与性能评价	128
第 6 章 软件工程	148
第 7 章 面向对象方法学	192
第 8 章 安全性知识	220
第 9 章 知识产权	248
第 10 章 标准化知识	261
第 11 章 多媒体技术及其应用	272
第 12 章 信息化与系统集成技术	288
第 13 章 计算机专业英语	313
第 14 章 应用数学与经济管理	329
第 15 章 软件项目管理	375

计算机组成与体系结构

根据考试大纲，本章内容要求考生掌握以下知识点：

- 各种计算机体系结构的特点与应用（SMP、MPP 等）。
- 构成计算机的各类部件的功能及其相互关系。

试题 1（2004 年上半年试题 41~43）

某计算机的 cache 采用相联映像，cache 容量为 16KB，每块 8 个字，每个字 32 位，并且将 cache 中每 4 块分为一组。若主存最大容量为 4GB 且按字节编址，则主存地址应为（41）位，组号应为（42）位。若 cache 的命中率为 0.95，且 cache 的速度是主存的 5 倍，那么与不采用 cache 相比较，采用 cache 后速度大致提高到（43）倍。

- | | | | |
|--------------|---------|---------|---------|
| (41) A. 24 | B. 32 | C. 36 | D. 40 |
| (42) A. 5 | B. 6 | C. 7 | D. 8 |
| (43) A. 3.33 | B. 3.82 | C. 4.17 | D. 4.52 |

试题 1 分析

主存最大容量为 4GB，且按字节编址，由于 $2^{32}=4G$ ，所以主存地址应为 32 位。因为每块 8 个字，每个字 32 位，并且将 cache 中每 4 块分为一组，所以每组的大小为 $32/8 \times 8 \times 4 = 128B$ 。cache 容量为 16KB，共可分成 $16KB/128B = 128$ 组，由于 $2^7 = 128$ ，所以组号应为 7 位。

设主存的存取周期为 h ，因为 cache 的速度是主存的 5 倍，所以 cache 的存取周期为 $1/5h$ ，且 cache 的命中率为 0.95，所以采用了 cache 以后，平均存取周期为 $h \times (1 - 95\%) + 1/5h \times 95\% = 0.24h$ 。因此，速度提高到了原来的 $1/0.24 = 4.17$ 倍。

试题 1 答案

- (41) B (42) C (43) C

试题 2（2004 年上半年试题 44~45）

某流水线浮点加法器分为 5 级，若每一级所需要的时间分别是 6ns、7ns、8ns、9ns 和

6ns，则此流水线的最大加速比为__（44）__。若每一级的时间均为 7ns，则最大加速比为__（45）__。

（44）A. 2.0

B. 4.0

C. 4.5

D. 5.2

（45）A. 4.1

B. 5.0

C. 5.6

D. 6.2

试题 2 分析

流水线技术把一件任务分解为若干顺序执行的子任务，不同的子任务由不同的执行机构负责执行，而这些机构可以同时并行工作。在任一时刻，任一任务只占用其中一个执行机构，这样就可以实现多个任务的重叠执行，以提高工作效率。

（1）指令流水线。计算机中一条指令的执行需要若干步，通常采用流水线技术来实现指令的执行，以提高 CPU 性能。典型的指令执行共分 7 个阶段，分别是：计算指令地址，修改程序计数器 PC；取指，即从存储器中取出指令；指令译码；计算操作数地址；取操作数；执行指令；保存结果。对指令执行阶段的划分也可以把取指作为第一阶段，其他阶段顺序前移，而在最后一个阶段计算下一条指令的地址。若假定指令执行的各个阶段的执行时间相同，都是一个周期。则执行一条指令就需要花费 7 个周期的时间。采用流水线技术以后，满负荷时，每个周期都能从流水线上完成一条指令，性能约改善为原来的 7 倍。实际上，流水线技术对性能的提高程度取决于其执行顺序中最慢的一步。例如，在指令执行的 7 个阶段中，如果访问存储器需要 4 个周期，而其他操作只需一个周期，则一条指令的执行共需访存三次再加上 4 个单周期的执行段，所以共需要 16 个周期。采用流水线以后，由于受限于访存操作，4 个周期才能完成一条指令的执行，因此性能提高为原来的 4 倍。

（2）运算操作流水线。计算机在执行各种运算操作时也可以应用流水线技术来提高运算速度。例如执行浮点加法运算，可以把它分成 3 个阶段：对阶、尾数相加和结果规格化。流水线的 3 个阶段用锁存器进行分割，锁存器用来在相邻两段之间保持处理的中间结果，以供下一阶段使用。这样在满负荷时，该流水线可以同时处理 3 条浮点加法指令。

流水线的关键之处在于重叠执行。为了得到高的性能表现，流水线应该满负荷工作，即各个阶段都要同时并行地工作。但是在实际情况中，流水线各个阶段可能会相互影响，阻塞流水线，使其性能下降。阻塞主要由以下两种情形引起：执行转移指令和共享资源访问冲突。

（1）转移指令的影响。通常在顺序执行指令的情况下，当 CPU 取一条指令时，流水线的地址计算部件可以独立地把当前 PC 值加上当前指令长度来计算下一条指令的地址，从而可以并行地工作。但是当流水线执行一条转移指令时，就会引起流水线的阻塞。因为在该转移指令完成之前，流水线都不能确定出下一条指令的地址。所以为了保证指令的正确执行，必须把取指段和指令地址计算段互锁。在取出转移指令后，立即锁住指令地址计算段，直到转移指令执行完成。互锁阶段流水线处于等待状态，不能满负荷工作，因而性能下降。

（2）共享资源访问冲突。当多条指令以流水线方式重叠执行时，由于可能会引起对共享的寄存器或存储器资源访问次序的变化，因此将导致冲突，这种情况又称为数据相关。

为了避免冲突,就需要把相互有关的指令进行阻塞,这样就会引起流水线效率的下降。一般说来指令流水线级数越多,越容易导致数据相关,阻塞流水线。

在流水线中,因为在同一时刻,有多个任务在重叠地执行,虽然完成一个任务的时间与单独执行该任务相近(甚至由于分段的缘故,可能更多一些),但是从整体上看完成多个任务所需的时间则大大减少。

流水线的加速比定义如下:为完成一批任务,不使用流水线所用的时间与使用流水线所用的时间之比称为流水线的加速比。在本题中,由给定条件可知,如果不采用流水线方式,则平均一条指定的执行时间为 $6+7+8+9+6=36\text{ns}$ 。而采用了流水线后,平均一条指定的执行时间为 9ns (取五级中时间最长的那一级),因此最大加速比为 $36/9=4$ 。若每一级的时间均为 7ns ,则加速比为 $7\times 5/7=5$ 。

试题2 答案

(44) B (45) B

试题3 (2004年下半年试题42)

某磁盘的转速为 7200 转/分,传输速度为 4MB/s ,控制器开销为 1ms 。要保证读或写一个 512B 的扇区的平均时间为 11.3ms 。那么,该磁盘的平均寻道时间最大应不超过 (42) ms。

(42) A. 3.9 B. 4.7 C. 5.5 D. 6.1

试题3 分析

磁盘的存取时间包括寻道时间和等待时间。寻道时间(查找时间, seek time)为磁头移动到目标磁道所需的时间。对于固定磁头磁盘而言,无须移动磁头,只需选择目标磁道对应的磁头即可。等待时间为等待读写的扇区旋转到磁头下方所用的时间。一般选用磁道旋转一周所用时间的一半作为平均等待时间。寻道时间由磁盘机的性能决定。

在本题中,因为磁盘的转速为 7200 转/分,即磁盘每转一圈所需的时间为 8.33ms ,因此,平均等待时间约为 4.17ms 。已知传输速度为 4MB/s ,则读写 512 字节所需时间为 0.122ms 。

又已知控制器开销为 1ms ,且要保证读或写一个 512B 的扇区的平均时间为 11.3ms 。故平均寻道时间最大为 $11.3-1-0.122-4.17=6.008(\text{ms})$ 。

试题3 答案

(42) D

试题4 (2004年下半年试题43~45)

若某分页管理的虚拟存储器共有 8 个页面,每页为 1024B,实际主存为 4096B,采用页表法进行地址映像。若页表的内容如表 1-1 所示,则发生页面失效的全部虚页号为 (43),虚拟地址 1023 所对应的主存实地址页内偏移地址为 (44),主存实地址为 (45)。

表 1-1 页表的内容

虚页号	0	1	2	3	4	5	6	7
实页号	3	1	2	3	2	1	0	0
装入位	1	1	0	0	1	0	1	0

- (43) A. 2、3、5、7 B. 0、1、4、6
 C. 1、5、6、7 D. 0、2、3、4
- (44) A. 656 B. 1023 C. 2047 D. 4095
- (45) A. 656 B. 1023 C. 2047 D. 4095

试题4分析

分页的基本思想是把程序的逻辑空间和内存的物理空间按照同样的大小划分成若干页面，以页面为单位进行分配。

在页式存储管理中，系统中的虚地址是一个有序对(页号,位移)。在本题中，共有8个页面，每页为1024B，则页号为高3位，页内地址（位移）为低10位。实际主存为4096B，所以实存为4页。

系统为每一个进程建立一个页表，其内容包括进程的逻辑页号与物理页号的对应关系、装入状态等。如果该页面已被分配，则装入位置1，否则置0。在本题所给的页表中，虚页号为2、3、5、7的装入位为0，这就是发生页面失效的全部虚页号。

虚拟地址1023所对应的二进制数为000111111111，因此其虚页号为0，页内偏移地址为1023。根据页表，其对应的实页号为3，即主存实地址为4095。

试题4答案

- (43) A (44) B (45) D

试题5（2004年下半年试题49）

数据处理流水线如图1-1所示。若每隔 Δt 流入一个数据，连续流入四个数据，则该流水线的实际吞吐率为___(49)___。

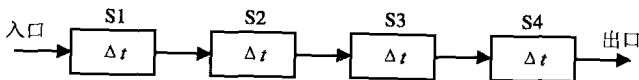


图 1-1 数据处理流水线

- (49) A. $2/(7\Delta t)$ B. $3/(7\Delta t)$ C. $4/(7\Delta t)$ D. $5/(7\Delta t)$

试题5分析

流水线的吞吐率(TP)是指在单位时间内流水线所完成的任务数量或输出的结果数量。 $TP=n/T_k$ ，其中 n 为任务数， T_k 是处理完成 n 个任务所用的时间。

如果在流水线各段的执行时间均相等，输入到流水线中的任务连续的理想情况下，一条 k 段线性流水线能够在 $k+n-1$ 个时钟周期内完成 n 个任务。可以从两个方面来分析流水线完成 n 个任务所需要的总时间。一种分析是从流水线的输出端看，用 k 个时钟周期输出第一个任务，其余 $n-1$ 个时钟周期，每个周期输出一个任务，即用 $n-1$ 个时钟周期输出 $n-1$ 个任务。另一种分析方法是从小流水线的输入端看，用 n 个时钟周期向流水线输入 n 个任务，另外还要用 $k-1$ 个时钟周期作为流水线的排空时间。因此，流水线完成 n 个连续任务需要的总时间为 $T_k=(k+n-1)\Delta t$ ，其中 Δt 为时钟周期。

在本题中， $n=4$ ， $k=4$ ，因此 $T_k=7\Delta t$ ， $TP=4/(7\Delta t)$ 。

试题5 答案

(49) C

试题6 (2005 年上半年试题 7)

已知 $[X/2]_{\text{补}} = \text{C6H}$, 计算机的机器字长为 8 位二进制编码, 则 $[X]_{\text{补}} =$ (7) 。

(7) A. 8CH B. 18H C. E3H D. F1H

试题6 分析

已知 $[X/2]_{\text{补}} = \text{C6H}$, C6H 化成二进制数是 11000110, 求其真值, 得到-0111010。再乘以 2 (即左移一位) 得-1110100, 求此数的补码可得 10001100, 即 8CH。

试题6 答案

(7) A

试题7 (2005 年上半年试题 46~47)

内存地址从 AC000H 到 C7FFFH, 共有 (46) K 个地址单元, 如果该内存地址按字 (16bit) 编址, 由 28 片存储器芯片构成。已知构成此内存的芯片每片有 16K 个存储单元, 则该芯片每个存储单元存储 (47) 位。

(46) A. 96 B. 112 C. 132 D. 156

(47) A. 4 B. 8 C. 16 D. 24

试题7 分析

$\text{C7FFFH} - \text{AC000H} + 1 = \text{1BFFFH}$, 把 1BFFFH 转换为 10 进制数得到 114687, 再化为 K, 即 $114687/1024 = 112\text{K}$ 。已知内存地址按字 (16bit) 编址, 故共有 $112\text{K} \times 16$ 位。该内存由 28 片存储器芯片构成, 每片有 16K 个存储单元, 故该芯片每个存储单元存储 $(112\text{K} \times 16) / (28 \times 16\text{K}) = 4$ 位。

试题7 答案

(46) B (47) A

试题8 (2005 年上半年试题 48~50)

已知某高速缓存 cache 采用组相联映像方式, 即组间直接映像, 组内全相联映像。假设主存容量为 4096 块, 每块 256B, 高速缓存包含 32 块, 分 8 组, 每组 4 块。高速缓存的地址变换表应包含 (48) 个存储单元; 每个存储单元应能存放 (49) 位二进制数; 每次参与相联比较的是 (50) 个存储单元。

(48) A. 8 B. 16 C. 32 D. 48

(49) A. 7 B. 8 C. 9 D. 10

(50) A. 4 B. 8 C. 12 D. 16

试题8 分析

在本题中, 已知主存容量为 $4096 \times 256\text{B} = 1\text{MB}$, 由于 $2^{20} = 1\text{M}$, 所以主存地址应为 20 位。主存分为 $4096/32 = 128$ 个区, 每个区分为 8 组, 每组 4 块。因为 $2^7 = 128$, 所以区号需要 7 位地址, 组内块号地址为 2 位。

高速缓存的地址变换表 (块表) 应包含 32 个存储单元, 每个存储单元的长度为主存

地址区号长度加上组内块号地址长度，即 9 位二进制数。因为主存中的各页与 cache 的组号有固定的映像关系，但可自由映像到对应的 cache 组中的任一块，所以每次参与相联比较的是 4 个存储单元。

试题 8 答案

(48) C (49) C (50) A

试题 9（2005 年下半年试题 23）

$131-45=53$ 在 (23) 进制下成立。

(11) A. 六 B. 七 C. 八 D. 九

试题 9 分析

在六进制中， $131-45=42$ ；在七进制中， $131-45=53$ ；在八进制中， $131-45=64$ ；在九进制中， $131-45=75$ 。

试题 9 答案

(23) B

试题 10（2005 年下半年试题 45）

利用高速通信网络将多台高性能工作站或微型机互连构成机群系统，其系统结构形式属于 (45) 计算机。

(45) A. SISD B. MISD C. SIMD D. MIMD

试题 10 分析

1966 年，Michael J. Flynn 提出根据指令流和数据流的多倍性特征对计算机系统进行分类（通常称为 Flynn 分类法），其中指令流指机器执行的指令序列；数据流指由指令流调用的数据序列，包括输入数据和中间结果，但不包括输出数据；多倍性指在系统性能瓶颈部件上同时处于同一执行阶段的指令或数据的最大可能个数。Flynn 根据不同的指令流与数据流组织方式，把计算机系统分成四类：

(1) 单指令流单数据流 (SISD)。SISD 其实就是传统的顺序执行的单处理器计算机，其指令部件每次只对一条指令进行译码，并只对一个操作部件分配数据。流水线方式的单处理机有时也被当做 SISD。值得注意的是，Intel 公司的奔腾 II 中开始采用 MMX 技术，引进了一些新的通用指令，从某种意义上使用了单指令流多数据流的思想，但是，与其前几代产品 (X86/Pentium) 相比，其指令序列的执行方式和调用数据的方式没有发生根本性的变化，所以从整体上来看，采用奔腾 II 芯片的 PC 仍属于 SISD 类。

(2) 单指令流多数据流 (SIMD)。SIMD 以并行处理机（阵列处理机）为代表，并行处理机包括多个重复的处理单元 $PU1-PU_n$ ，由单一指令部件控制，按照同一指令流的要求为它们分配各自所需的不同数据。相联处理机也属于这一类。

(3) 多指令流单数据流 (MISD)。MISD 具有 n 个处理单元，按 n 条不同指令的要求对同一数据流及其中间结果进行不同的处理。一个处理单元的输出又作为另一个处理单元的输入。这类系统实际上很少见到。有文献把流水线看做多个指令部件，称流水线计算机是 MISD。

(4) 多指令流多数据流 (MIMD)。MIMD 是指能实现作业、任务、指令等各级全面并行的多机系统。多处理机属于 MIMD。当前的高性能服务器与超级计算机大多具有多个

处理机，能进行多任务处理，称为多处理机系统，不论是大规模并行处理机（Massively Parallel Processor, MPP）或对称多处理机（Symmetrical Multi Processor, SMP），都属于这一类。当前的高性能服务器与超级计算机大多具有多个处理器，多任务并行处理，基本上都属于 MIMD。

利用高速通信网络将多台高性能工作站或微型机互连构成机群系统，主要用于中、粗粒度的并行进程的高效并行处理。因为这种机群系统多机并行处理是在进程级、任务级上进行的，所以属于 MIMD 的系统结构。

试题 10 答案

(45) D

试题 11（2005 年下半年试题 49~50）

某数据处理流水线如图 1-2 所示，若每隔 $3\Delta t$ 流入一个数据，连续处理 4 个数据。此数据处理流水线的实际吞吐率为 (49)。此时该流水线的效率为 (50)。



图 1-2 某数据处理流水线

(49) A. $4/(12\Delta t)$ B. $4/(13\Delta t)$ C. $4/(14\Delta t)$ D. $4/(15\Delta t)$

(50) A. $2/3$ B. $2/5$ C. $2/7$ D. $2/9$

试题 11 分析

单流水线处理机的度为 1，即通常所有的线性流水线计算机。在线性流水线中，在流水线各段的执行时间均相等（设为 Δt ），输入到流水线中的任务连续的理想情况下，一条 k 段线性流水线能够在 $(n+k-1)$ 时间内完成 n 个任务。

在时空图上，流水线的效率定义为 n 个任务占用的时空区与 k 个流水段总的时空区之比。实际上， n 个任务占用的时空区就是顺序执行 n 个任务所使用的总的时间 T_0 。而用一条 k 段流水线完成 n 个任务的总的时空区为 kT_k ，其中， T_k 是流水线完成 n 个任务所使用的总时间。计算流水线效率的一般公式为：

$$E = \frac{n \text{ 个任务占用的时空区}}{k \text{ 个流水段的总的时空区}} = \frac{T_0}{kT_k}$$

具体到本题，画出数据处理流水线时空图，如图 1-3 所示。利用时空图可以看到，4 个数据的处理时间为 $15\Delta t$ ，其吞吐率为 $4/(15\Delta t)$ 。4 个数据实际使用的时空区为 $4 \times 6\Delta t$ ，而总的时空区为 $4 \times 15\Delta t$ 。故该流水线的效率为 $24/60=2/5$ 。

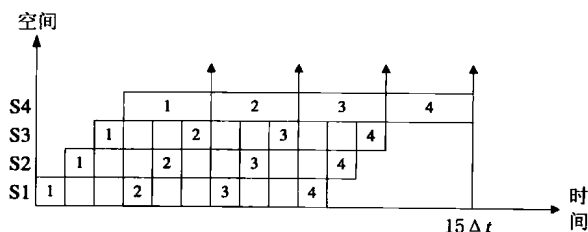


图 1-3 时空图

试题 11 答案

(49) D (50) B

试题 12 (2006 年上半年试题 14~15)

某计算机主存按字节编址，主存与高速缓存 cache 的地址变换采用组相联映像方式（即组内全相联，组间直接映像）。高速缓存分为 2 组，每组包含 4 块，块的大小为 512B，主存容量为 1MB。构成高速缓存的地址变换表相联存储器容量为 (14)。每次参与比较的存储单元为 (15) 个。

- (14) A. $4 \times 10\text{bit}$ B. $8 \times 10\text{bit}$ C. $4 \times 11\text{bit}$ D. $8 \times 11\text{bit}$
 (15) A. 1 B. 2 C. 4 D. 8

试题 12 分析

已知主存容量为 1MB，按字节编址，所以主存地址应为 20 位，主存可分为 $1\text{MB}/512\text{B}=2048$ 块。在组相联映像方式中，主存与 cache 都分组，主存中一个组内的块数与 cache 的分组数相同。因为高速缓存分为 2 组，所以主存每组 2 块，主存可分为 $2048/2=1024=2^{10}$ 个组。因此需要 10 位组号。

因为高速缓存共有 8 块，因此，其地址变换表（块表）应包含 8 个存储单元，每个存储单元的长度为主存地址组号长度，即 10 位二进制数。

因为主存中的各块与 cache 的组号有固定的映像关系，但可自由映像到对应的 cache 组中的任一块，所以每次参与相联比较的是 4 个存储单元。

试题 12 答案

(14) B (15) C

试题 13 (2006 年上半年试题 16~17)

设指令由取指、分析、执行 3 个子部件完成，并且每个子部件的时间均为 Δt 。若采用常规标量流水线处理机（即该处理机的度为 1），连续执行 12 条指令，共需 (16) Δt 。若采用度为 4 的超标量流水线处理机，连续执行上述 12 条指令，只需 (17) Δt 。

- (16) A. 12 B. 14 C. 16 D. 18
 (17) A. 3 B. 5 C. 7 D. 9

试题 13 分析

根据试题 11 的分析，在本题中， $n=12$ ， $k=3$ ，因此，共需时间为 $14\Delta t$ 。

在度为 4 的超标量流水线处理机中，同时运行 4 条流水线，连续执行 12 条指令，则每条流水线执行 3 条。此时， $n=3$ ， $k=3$ ，因此，共需时间为 $5\Delta t$ 。

试题 13 答案

(16) B (17) B

试题 14 (2006 年上半年试题 20~21)

编号为 0、1、2、3、…、15 的 16 个处理器，用单级互连网络互连。当互连函数为 Cube_3 （4 维立方体单级互连函数）时，6 号处理器与 (20) 号处理器相连接。若采用互连函数 Shuffle（全混洗单级互连函数）时，6 号处理器与 (21) 号处理器相连接。

- (20) A. 15 B. 14 C. 13 D. 12
 (21) A. 15 B. 14 C. 13 D. 12

试题 14 分析

并行处理机互联有多种方法，分别列举如下：

(1) 恒等置换。相同编号的输入端与输出端一一对应互联。其表达式如下：

$$I(x_{n-1} \cdots x_k \cdots x_1 x_0) = x_{n-1} \cdots x_k \cdots x_1 x_0$$

(2) 交换置换。实现二进制地址编号中第 0 位位值不同的输入端和输出端之间的连接，其表达式如下：

$$E(x_{n-1} \cdots x_k \cdots x_1 x_0) = x_{n-1} \cdots x_k \cdots x_1 \bar{x}_0$$

(3) 方体置换 (Cube)。实现二进制地址编号中第 k 位位值不同的输入端和输出端之间的连接，其表达式如下：

$$C_k(x_{n-1} \cdots x_k \cdots x_1 x_0) = x_{n-1} \cdots \bar{x}_k \cdots x_1 x_0$$

(4) 均匀洗牌置换 (Shuffle)。将输入端二进制地址循环左移一位得到对应的输出端二进制地址，其表达式如下：

$$S(x_{n-1} x_{n-2} \cdots x_1 x_0) = x_{n-2} x_{n-3} \cdots x_1 x_0 x_{n-1}$$

(5) 蝶式置换 (Butterfly)。将输入端二进制地址的最高位和最低位互换位置，得到对应的输出端二进制地址，其表达式如下：

$$B(x_{n-1} x_{n-2} \cdots x_1 x_0) = x_0 x_{n-2} \cdots x_1 x_{n-1}$$

(6) 位序颠倒置换。将输入端二进制地址的位序颠倒过来得到对应的输出端二进制地址，其表达式如下：

$$P(x_{n-1} x_{n-2} \cdots x_1 x_0) = x_0 x_1 \cdots x_{n-2} x_{n-1}$$

在本题中，编号为 0、1、2、3、…、15 的 16 个处理器，用单级互联网络互联。当互联函数为 Cube_3 (4 维立方体单级互联函数) 时，6 号 (0110 号) 处理器应与 14 号 (1110 号) 处理器相连接。若采用互联函数 Shuffle (全混洗单级互联函数) 时，6 号 (0110 号) 处理器应与 12 号 (1100 号) 处理器相连接。

试题 14 答案

- (20) B (21) D

试题 15 (2006 年上半年试题 36)

假设进行天气预报仅有“晴、云、阴、雨、雪、雾、霜、雹”等天气状况，需要通过某个八进制的数字通信系统传送，每秒钟播报一次，可接受的最低传输速率为 (36) 波特。

- (36) A. 1 B. 2 C. 3 D. 8

试题 15 分析

波特是设备 (例如调制解调器) 每秒钟发生信号变化的度量，它代表的是信号的变化，而不是传输数据的多少。波特表示每秒钟内通信线路状态改变的次数。如果数据不压缩，

波特等于每秒钟传输的数据位数。假设进行天气预报仅有“晴、云、阴、雨、雪、雾、霜、雹”等天气状况，需要通过某个八进制的数字通信系统传送，则只需要占 1 位的空间（用 0~7 分别表示这 8 种天气状况）。因为每秒钟播报一次，即每秒钟传输 1 位，所以可接受的最低传输速率为 1 波特。

试题 15 答案

(36) A

试题 16（2006 年下半年试题 14）

下面关于 RISC 计算机的论述中，不正确的是__（14）__。

- (14) A. RISC 计算机的指令简单，且长度固定
- B. RISC 计算机的大部分指令不访问内存
- C. RISC 计算机采用优化的编译程序，有效地支持高级语言
- D. RISC 计算机尽量少用通用寄存器，把芯片面积留给微程序

试题 16 分析

RISC 计算机指精简指令集计算机，这种计算机有下列特点：

- (1) 指令数量少：优先选取使用频率最高的一些简单指令及常用指令，避免使用复杂指令。大多数指令都是对寄存器操作，对存储器的操作仅提供了读和写两种方式。
- (2) 指令的寻址方式少：通常只支持寄存器寻址方式、立即数寻址方式及相对寻址方式。
- (3) 指令长度固定，指令格式种类少：因为 RISC 指令数量少，格式相对简单，其指令长度固定，指令之间各字段的划分比较一致，译码相对容易。
- (4) 只提供 LOAD/STORE 指令访问存储器：只提供了从存储器读数（LOAD）和把数据写入存储器（STORE）两条指令，其余所有的操作都在 CPU 的寄存器间进行。因此，RISC 需要大量的寄存器。
- (5) 以硬布线逻辑控制为主：为了提高操作的执行速度，通常采用硬布线逻辑（组合逻辑）来构建控制器。而 CISC 计算机的指令系统很复杂，难以用组合逻辑电路实现控制器，通常采用微程序控制。
- (6) 单周期指令执行：因为简化了指令系统，很容易利用流水线技术使得大部分指令都能在一个机器周期内完成。因此，RISC 通常采用流水线组织。少数指令可能会需要多个周期执行，例如 LOAD/STORE 指令因为需要访问存储器，其执行时间就会长一些。
- (7) 优化的编译器：RISC 的精简指令集使编译工作简单化。因为指令长度固定、格式少、寻址方式少，编译时不必在具有相似功能的许多指令中进行选择，也不必为寻址方式的选择而费心，同时易于实现优化，从而可以生成高效率执行的机器代码。

RISC 计算机的指令简单，且长度固定，没有必要采用微程序设计。RISC 计算机仅用 LOAD/STORE 指令访问内存，会使用大量的寄存器，采用优化的编译程序，能有效地支持高级语言。

试题 16 答案

(14) D

试题 17 (2006 年下半年试题 15)

下面关于计算机 cache 的论述中, 正确的是__ (15) __。

- (15) A. cache 是一种介于主存和辅存之间的存储器, 用于主辅存之间的缓冲存储
B. 若访问 cache 不命中, 则用从内存中取到的字节代替 cache 中最近访问过的字节
C. cache 的命中率必须很高, 一般要达到 90% 以上
D. cache 中的信息必须与主存中的信息时刻保持一致

试题 17 分析

使用 cache 改善系统性能的依据是程序的局部性原理。依据局部性原理, 把主存储器中访问概率高的内容存放在 cache 中。当 CPU 需要读取数据时, 首先在 cache 中查找是否有所需内容, 如果有, 则直接从 cache 中读取; 若没有, 再从主存中读取该数据, 然后同时送往 CPU 和 cache。如果 CPU 需要访问的内容大多能在 cache 中找到 (称为访问命中), 则可以大大提高系统性能。

系统的平均存储周期与命中率有很密切的关系, 命中率的提高即使很小也能带来性能上的较大改善。

在 CPU 发出访存请求后, 存储器地址先被送到 cache 控制器以确定所需数据是否已在 cache 中, 若命中则直接对 cache 进行访问。这个过程称为 cache 的地址映射。常见的映射方法有直接映射、相联映射和组相联映射。

在 cache 存储器产生了一次访问未命中之后, 相应的数据应同时读入 CPU 和 cache。但是在 cache 已存满数据后, 新数据必须淘汰 cache 中的某些旧数据。最常用的淘汰算法有随机淘汰法、先进先出法 (FIFO) 和近期最少使用淘汰法 (LRU)。

因为需要保证缓存在 cache 中的数据与主存中的内容一致, 所以相对读操作而言, cache 的写操作比较复杂, 常用的有以下几种方法:

(1) 写直达 (write through)。当要写 cache 时, 数据同时写回主存储器, 有时也称为写通。

(2) 写回 (write back)。CPU 修改 cache 的某一行后, 相应的数据并不立即写入主存储器单元, 而是在该行被从 cache 中淘汰时, 才把数据写回到主存储器中。

(3) 标记法。对 cache 中的每一个数据设置一个有效位。当数据进入 cache 后, 有效位置 1; 而当 CPU 要对该数据进行修改时, 只需将其写入主存储器并同时将该有效位清 0。当要从 cache 中读取数据时需要测试其有效位: 若为 1 则直接从 cache 中取数, 否则从主存中取数。

试题 17 答案

(15) C

试题 18 (2006 年下半年试题 17)

关于相联存储器, 下面的论述中, 错误的是__ (17) __。

- (17) A. 相联存储器按地址进行并行访问
B. 相联存储器的每个存储单元都具有信息处理能力