



国际信息工程先进技术译丛

WILEY

基于FSM和Verilog HDL 的数字电路设计

FSM based digital design using Verilog HDL

[英] 彼德·明斯 (Peter Minns)

著

伊恩·艾利奥特 (Ian Elliott)

姚世扬

译



机械工业出版社
CHINA MACHINE PRESS

国际信息工程先进技术译丛

基于 FSM 和 Verilog HDL 的数字电路设计

[英] 彼德·明斯 (Peter Minns) 著
伊恩·艾利奥特 (Ian Elliott) 译
姚世扬 译



机械工业出版社

Copyright © 2008 by John Wiley & Sons

All Rights Reserved. This translation published under license. Authorized translation from the English language edition, entitled *FSM based Digital Design using Verilog HDL*, ISBN 978 - 0 - 470 - 06070 - 4, by Peter Minns and Ian Elliott. Published by John Wiley & Sons. No part of this book may be reproduced in any form without the written permission of the original copyrights holder.

本书中文简体字版由 Wiley 授权机械工业出版社独家出版。未经出版者书面允许, 本书的任何部分不得以任何方式复制或抄袭。版权所有, 翻印必究。

北京市版权局著作权合同登记 图字: 01 - 2015 - 1927 号。

图书在版编目 (CIP) 数据

基于 FSM 和 Verilog HDL 的数字电路设计 / (英) 明斯 (Minns, P.), (英) 艾利奥特 (Elliott, I.) 著; 姚世扬译. —北京: 机械工业出版社, 2016.5

(国际信息工程先进技术译丛)

书名原文: FSM based digital design using Verilog HDL

ISBN 978-7-111-53292-7

I. ①基… II. ①明…②艾…③姚… III. ①数字电路 - 电路设计
IV. ①TN79

中国版本图书馆 CIP 数据核字 (2016) 第 058305 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 徐明煜 责任编辑: 徐明煜

责任校对: 陈 越 封面设计: 马精明

责任印制: 乔 宇

北京铭成印刷有限公司印刷

2016 年 5 月第 1 版第 1 次印刷

169mm × 239mm · 23.25 印张 · 420 千字

0001—2500 册

标准书号: ISBN 978-7-111-53292-7

定价: 120.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

服务咨询热线: 010-88361066

机工官网: www.cmpbook.com

读者购书热线: 010-68326294

机工官博: weibo.com/cmp1952

010-88379203

金书网: www.golden-book.com

封面无防伪标均为盗版

教育服务网: www.cmpedu.com

本书介绍了基于有限状态机（FSM）的数字电路硬件设计，通过结合工程案例来展示 FSM 是如何融入其中的。同时，本书还运用硬件描述语言 Verilog HDL，通过编写可执行和仿真的代码，让读者从实际应用的角度获得一个完整的数字电路的设计思路。

本书从设计方法，到编程语言，比较系统地介绍了数字电路的硬件设计，并结合实际案例进行详细的剖析。读者能够从本书中学到完整的设计思路，并可以借鉴或整合到自己的方案中，极大地方便了相关高校学生与专业人士的学习和运用。

译 者 序

本书由英国纽卡斯尔诺森比亚大学微电子与通信工程专业的 Peter Minns 先生和 Ian Elliott 先生合著。本人阅读后，认为书中大部分内容能为数字电路系统设计提供一些启发，甚至解决的方案。因此，产生了把这本书翻译成中文，在国内出版的念头。

数字电路的硬件设计，特别是涉及 FPGA 的片内设计已经发展了几十年。市面上有不少这方面的书籍，其中大部分都是根据一些开发板来介绍某类芯片的应用，并附带说明工具软件的使用等方法，虽然对 FPGA 硬件设计有一定帮助，但是大多缺乏一定的深度。本书从设计方法，到编程语言，比较系统地介绍了数字电路的硬件设计，并结合实际案例进行详细的剖析。读者能够从本书中学到完整的设计思路，并可以借鉴或整合到自己的方案中，极大地方便了相关高校学生与专业人士的学习和运用。

如今正是国家大力发展物联网、智慧城市，鼓励科学创新、技术突破的时代。这些都离不开硬件平台的设计和搭建。希望本书的推出，能够为致力于从事硬件开发的朋友们提供一个良好的参考来源和学习途径。

由于本书的翻译全部由本人独立完成，其中会有不少错误、疏漏或者不足之处，在此恳请广大读者及时提出并指正。同时希望借此机会，能够和大家沟通交流，共同学习和进步。

姚世扬

原 书 前 言

本书主要介绍的是在数字系统中如何设计并运用有限状态机 (Finite State Machine, FSM), 其中包括利用微处理器、微控制器, 以及 FSM 直接控制的存储单元等不同方法进行设计的案例和系统, 同时也包含了一些在数字系统设计中经常遇到的情况。因此这里的重点是让读者对有限状态机有一个全面的认识, 并掌握在什么情况下使用它以及如何使用它。

Verilog HDL 近年来得到了广泛的运用, 本书也对其进行了详细的介绍, 许多设计案例都是运用它来描述和验证的。除了用 Verilog 描述逻辑门和布尔代数方程以外, 本书专门用一章的篇幅介绍了硬件描述语言在所谓行为级的应用, 它指的是通过使用 Verilog 语言的一些高级功能进行系统设计。

此外, 本书中有一个章节介绍了独热编码技术, 运用这种技术设计的 FSM, 更多地出现在现场可编程门阵列 (Field Programmable Gate Array, FPGA) 芯片中, 例如动态存储访问 (Dynamic Memory Access, DMA) 控制器和数据检测系统等。本书还用一章介绍了异步 (事件触发) FSM, 它不需要时钟驱动, 对可靠性要求较高的系统比较适用。关于佩特里 (Petri) 网络, 即并行数字 FSM 技术, 也专门用一章来进行讲述。

在数字系统发展的过程中, 微控制器一直被用来控制系统的输入和输出, 同时还被用来处理模拟信号。现在, 使用本书介绍的技巧和方法作为一种设计辅助, 基于状态机的方案可以通过比较固定的模式来实现, 即状态图。一旦设计出状态图, 工程师便可以直接使用它推导系统的布尔代数方程, 也可以根据其流程直接编写 Verilog 硬件描述语言代码。一些外围设备, 例如存储单元、地址计数器或者比较器等, 也可以通过布尔代数方程来定义它们的操作, 或者使用 Verilog 语言去描述它们的行为。

本书主要适用于电子和通信工程专业大学本科最后一年的学生, 也可用于那些想快速掌握如何使用状态机来设计系统的研究生和工程师们。本书的读者应掌握数字电路基础知识, 例如逻辑门电路、布尔代数等。具体章节规划如下:

前 3 章是帮助读者学习并掌握同步状态机的一些重要的基本概念。排版方式和课堂笔记比较类似, 已经作为诺森比亚大学本科最后一年的课件使用了很多年, 并取得了良好的反馈。其内容涵盖了状态机设计和综合的基本要素。从第 4 章开始, 书面排版将和一般书籍一样, 不过这并不影响其连贯性, 读者仍然可以像阅读普通书籍一样来学习前 3 章的内容。

下面将详细地阐述各个章节所涵盖的内容。

第1章介绍了状态机的基本概念,其中包含米利(Mealy)状态机和摩尔(Moore)状态机这两个主要形态的区别,同步状态机(时钟驱动)和异步状态机(事件驱动)的概念,状态图以及如何使用状态图来表示系统的时序行为及输入和输出的状态等。随后介绍了几个代表性的例子,来帮助读者更好地理解如何使用状态机以达到某个具体的设计目的。

第2章主要对外接的硬件设备的应用进行了阐述,着重介绍了如何用状态机来控制它们。其中包括如何通过使用外接计时器产生等待状态,如何控制模-数转换器(ADC)、存储器件等。这些基于状态机的系统级设计理念,可能在其他类似的书中是不多见的。

第3章是课件部分的延续,排版和前两章类似。主要介绍了如何使用T触发器和D触发器来进行状态表的综合,以及系统初始化的方法。

第4章介绍同步(时钟驱动)状态机,并带有仿真结果。这一章主要是向读者展现一些常见的实用案例,例如数字波形发生器和串行异步收发模块等。

第5章介绍了基于“独热编码”技术的同步状态机,其中包括动态存储访问(DMA)控制器和串行数据检测系统等。

第6章介绍了Verilog HDL的基本概念,包括如何用其描述逻辑门和布尔代数方程,如何将不同功能的模块组成一个完整系统等。

第7章介绍了Verilog HDL的基本语法,重点阐述了组合逻辑和时序逻辑的描述方法。

第8章继续深入介绍了Verilog HDL,重点放在状态机的行为建模方面。通过几个实例阐述了使用硬件描述语言在行为模式下描述同步状态机的方法。

第9章专门介绍了异步(事件触发)状态机,从基本概念到设计应用都有详细的阐述。对于异步系统涉及的竞争冒险问题,也做了简要的讨论,并给出了解决方案。

第10章介绍了佩特里网络,以及如何用它实现时序和并行状态机。佩特里网络还可以用来控制同步信号引导多个并行状态机的操作。此外还介绍了如何使用D触发器来设计和综合佩特里网络。

每章都含有许多实例和解决方案,其中很多都被作者整合到实际运用的系统中。

Peter Minns BSc (H) PhD CEng MIET

Ian Elliott BSc (H) MPhil CEng MIET

Newcastle Upon Tyne

目 录

译者序

原书前言

第 1 章 有限状态机和状态图以及数字电路和系统设计的基本概念	1
1.1 概述	1
1.2 学习资料	1
1.3 小结	18
第 2 章 使用状态图控制外部硬件分系统	20
2.1 概述	20
2.2 学习资料	20
2.3 小结	33
第 3 章 根据状态图综合硬件电路	35
3.1 关于 FSM 的综合	35
3.2 学习资料	36
3.3 小结	58
第 4 章 同步 FSM 设计	59
4.1 传统状态图的综合方法	59
4.2 处理未使用的状态	61
4.3 信号高/低位指示系统	63
4.3.1 使用测试平台测试 FSM	66
4.4 简易波形发生器	67
4.4.1 采样频率和每种波形的采样个数	70
4.5 骰子游戏	70
4.5.1 骰子游戏系统公式	72
4.6 二进制数据串行发送系统	74
4.6.1 图 4.15 移位寄存器里的 RE 计数单元	77
4.7 串行异步接收系统	79
4.7.1 FSM 公式	82
4.8 加入奇偶校验的串行接收系统	82
4.8.1 整合奇偶校验	83
4.8.2 图 4.26 对应的 D 触发器公式	85
4.9 异步串行发送系统	87

4.9.1 异步串行发送系统公式	89
4.10 看门狗电路	90
4.10.1 D 触发器公式	92
4.10.2 输出公式	92
4.11 小结	94
第 5 章 运用独热编码技术设计 FSM	95
5.1 独热编码简介	95
5.2 数据采集系统	98
5.3 内存共享系统	103
5.4 简易波形发生器	105
5.4.1 工作原理	106
5.4.2 解决方案	107
5.4.3 D 触发器输入端 d 对应的方程	109
5.4.4 输出公式	109
5.5 运用微处理器 (微控制器) 控制 FSM	109
5.6 存储芯片测试系统	113
5.7 独热编码和第 4 章常规设计方法的对比	116
5.8 动态存储空间访问控制系统	117
5.8.1 触发器公式	121
5.8.2 输出公式	121
5.9 如何运用微处理器来控制 DMA 系统	122
5.10 使用 FSM 检测连续的二进制序列	124
5.11 小结	132
第 6 章 Verilog HDL	133
6.1 硬件描述语言背景介绍	133
6.2 用 Verilog HDL 进行硬件建模: 模块	135
6.3 模块的嵌套: 建立构架	139
6.4 Verilog HDL 仿真: 一个完整的设计过程	142
参考文献	149
第 7 章 Verilog HDL 体系	150
7.1 内置基本单元和类	150
7.1.1 Verilog 的类	150
7.1.2 Verilog 逻辑值和数字值	153
7.1.3 如何赋值	156
7.1.4 Verilog HDL 基本门电路	157
7.2 操作符和描述语句	159
7.3 Verilog HDL 操作符运用案例: 汉明码编码器	172

7.3.1 汉明码编码器的仿真	173
参考文献	182
第8章 运用 Verilog HDL 描述组合逻辑和时序逻辑	183
8.1 描述数据流模式: 回顾连续赋值语句	183
8.2 描述行为模式: 时序模块	184
8.3 时序语句模块: 阻塞和非阻塞	189
8.3.1 时序语句	190
8.4 用时序模块描述组合逻辑	194
8.5 用时序模块描述时序逻辑	202
8.6 描述存储芯片	214
8.7 描述 FSM	223
8.7.1 实例1: 国际象棋比赛计时器	227
8.7.2 实例2: 带有自动落锁功能的密码锁 FSM	234
参考文献	248
第9章 异步 FSM	249
9.1 概述	249
9.2 事件触发逻辑的设计	250
9.3 使用时序公式综合事件 FSM	254
9.3.1 捷径法则	256
9.4 在可编程逻辑器件里运用乘积求和公式的设计方法	256
9.4.1 去掉当前状态和下一个状态的标记: n 和 $n+1$	257
9.5 运用事件触发的方法设计带有指示功能的单脉冲发生器 FSM	258
9.6 另一个事件触发 FSM 的完整案例	260
9.6.1 重要说明	260
9.6.2 带有电流监视器的电机控制系统	260
9.7 用 FSM 控制悬停式割草机	265
9.7.1 系统描述和解决方案	265
9.8 没有输入条件的状态切换	269
9.9 特例: 微处理器地址空间响应	270
9.10 运用米利 (Mealy) 型输出	271
9.10.1 水箱水位控制系统的解决方案	271
9.11 使用继电器的电路	274
9.12 事件触发 FSM 里竞争冒险的条件	277
9.12.1 输入信号之间的竞争	277
9.12.2 二次状态变量之间的竞争	278
9.12.3 主要变量和二次变量之间的竞争	278
9.13 用微处理器系统产生等待周期	279

9.14 用异步 FSM 设计甩干系统	281
9.15 使用两路分支要注意的问题	287
9.16 小结	290
参考文献	290
第 10 章 佩特里 (Petri) 网络	291
10.1 简易佩特里网络概述	291
10.2 使用佩特里网络设计简单时序逻辑	296
10.3 并行佩特里网络	297
10.3.1 另一个并行佩特里网络案例	301
10.4 并行佩特里网络里的同步传输	302
10.4.1 弧线的有效和失效	302
10.5 用有效弧线和失效弧线同步两个佩特里网络	304
10.6 共享资源的控制	305
10.7 二进制数据的串行接收器	307
10.7.1 第一个佩特里网络的公式	311
10.7.2 第一个佩特里网络输出公式	311
10.7.3 主佩特里网络公式	311
10.7.4 主网络输出公式	311
10.7.5 移位寄存器	312
10.7.6 移位寄存器的公式	312
10.7.7 4 位计数器	313
10.7.8 数据锁存器	313
10.8 小结	314
参考文献	314
附录	315
附录 A 本书所使用的逻辑门和布尔代数	315
A.1 本书涉及的基本逻辑门符号和布尔代数表达式	315
A.2 异或门和同或门	315
A.3 布尔代数法则	316
A.3.1 基本或法则	317
A.3.2 基本与法则	317
A.3.3 结合律和交换律	318
A.3.4 分配律	318
A.3.5 针对静态逻辑 1 竞争冒险的辅助法则	318
A.3.6 统一法则	318
A.3.7 逻辑门里信号的延迟效应	320
A.3.8 De Morgan 法则	321
A.4 运用布尔代数的一些例子	322

A. 4. 1 将与门和或门转换成与非门	322
A. 4. 2 将与门和或门转换成或非门	322
A. 4. 3 逻辑相邻定律	322
A. 5 小结	323
附录 B 计数器和移位寄存器电路设计方法	323
B. 1 同步二进制递增或递减计数器	323
B. 2 用 T 触发器构建 4 位同步递增计数器	325
B. 3 并行加载计数器: 运用 T 触发器	328
B. 4 在低成本 PLD 器件平台上用 D 触发器来构建并行加载计数器	329
B. 5 二进制递增计数器: 带有并行输入	330
B. 6 驱动计数器 (包括 FSM) 的时钟电路	331
B. 7 使用自由状态设计计数器	331
B. 8 移位寄存器	332
B. 9 第 4 章里的异步接收器	335
B. 9. 1 异步接收器中用到的 11 位移位寄存器	335
B. 9. 2 4 位计数器	338
B. 9. 3 第 4 章异步接收模块的系统仿真	340
B. 10 小结	341
附录 C 使用 Verilog HDL 仿真 FSM	342
C. 1 概述	342
C. 2 单脉冲同步 FSM 设计: 使用 Verilog HDL 仿真	342
C. 2. 1 系统概述	342
C. 2. 2 模块框图	342
C. 2. 3 状态图	342
C. 2. 4 状态图对应的公式	342
C. 2. 5 Verilog 描述代码	343
C. 3 测试平台和其存在的目的	346
C. 4 使用 SynaptiCAD 公司的 VeriLogger Extreme 仿真器	349
C. 5 小结	352
附录 D 运用 Verilog 行为模式构建 FSM	353
D. 1 概述	353
D. 2 回顾带有指示功能的单脉冲/多脉冲发生器 FSM	353
D. 3 5. 6 节中存储芯片测试系统	358
D. 4 小结	361

第 1 章 有限状态机和状态图以及数字电路和系统设计的基本概念

1.1 概述

本书前 3 章的排版形式类似于连续的讲稿，属于系统化的学习资料。这样做的目的是便于读者可以很快地掌握同步状态机的基本概念，并可以运用 T 触发器和 D 触发器来构建自己的设计。其余的内容将逐步在后续的章节中展开，例如独热编码、异步状态机与佩特里网络等。

本章每一页讲稿虽然和前一页的内容是连贯的，但有时候读者会被引导到其他的章节，这取决于书中提出的问题。尽管如此，还是建议大家按照正常的顺序学习本书前 3 章的内容。

贯穿在章节中的一些“思考题”是用来测试读者对内容的理解和掌握程度。

为了方便大家理解“输入”和“输出”信号，本书中所有输入信号用小写字母表示，而输出信号则一律用大写字母表示。

在学习其他章节之前，请读者完成前 3 章的学习和作业。原因在于本书介绍的方法新颖而有效，如果使用得当，将能够快速帮助大家构建基于状态机的数字系统。

本书第 1~5 章，第 9 章与第 10 章以逻辑门和布尔代数方程为基础，运用不同的方法设计状态机，读者可以掌握系统设计的每一个环节。

本书第 6~8 章是对 Verilog 硬件描述语言（HDL）的单独介绍。

1.2 学习资料

讲稿 1.1

什么是有限状态机？有限状态机（FSM）是一种时序电路，通过控制一个或多个输入信号，实现电路在预设的各种状态里进行转换。每一个状态都可以看成是一个可以被状态机操作的稳固的实体。状态机可以从某一个状态转换到另一个状态，这种行为可以通过控制某一外界输入信号来完成。

图 1.1 展示了一个带有 3 种外部输入信号的 FSM，分别是 p、q 以及时钟（Clock），FSM 的对外输出信号分别是 X、Y 和 Z。带有时钟的 FSM 一般被称作同

步 FSM，换句话说，那些不属于同步 FSM 范畴的可以被称作异步 FSM。然而，这里我们将主要讨论同步状态机，因它是带有时钟输入信号的。至于异步 FSM，将在后续章节中讨论。

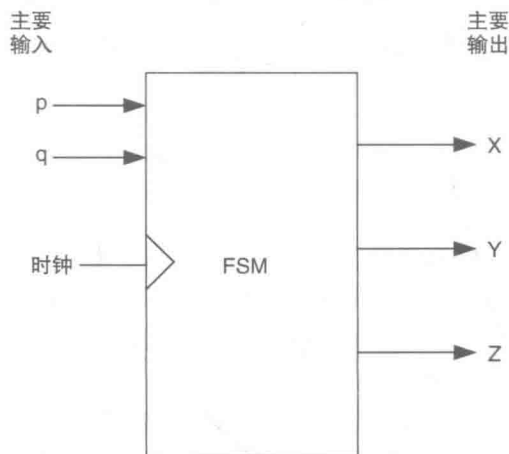


图 1.1 FSM 框图

正如前面所提到的，输入信号用小写字母表示，输出信号用大写字母表示。只有当时钟脉冲出现的时候，同步 FSM 才能够在各种状态之间进行转换。

思考题

画出一个 FSM 框图，它带有 5 个输入，分别是 x 、 y 、 z 、 t 和一个时钟，以及 2 个输出 P 和 Q 。

讲稿 1.2

在讲稿 1.1 的结尾，要求读者画一个 FSM，它带有 5 个输入和 2 个输出，答案如图 1.2 所示。

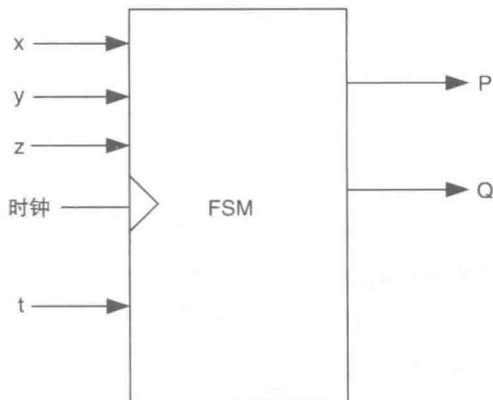


图 1.2 带有输入信号、输出信号和时钟输入信号的状态机框图

读者如果觉得自己画的和答案差别较大,可以重新学习讲稿 1.1。

FSM 的每一个状态都必须有清晰的定义。这是通过使用一定数量的内部触发器(对于 FSM 来说)来实现的。一个带有 4 个状态的 FSM 将需要两个触发器来构建,因为两个触发器可以产生 $2^2 = 4$ 个状态。每一个状态都有自己的状态编号,一般我们用 s0 (第 0 个状态)、s1、s2 和 s3 (以 4 个状态为例)来命名这些状态。

规则就是:状态的个数 = $2^{\text{触发器的数量}}$,而反之可以推断:触发器的数量 = $\frac{\lg(\text{状态的数量})}{\lg(2)}$ 。

因此一个有着 13 个状态的 FSM 将至少需要 4 个触发器(即 16 个状态,其中的 13 个状态是在 FSM 中被使用到的)来组成,计算公式如下:

$$\text{触发器数量} = \frac{\lg(13)}{\lg(2)} = 3.7$$

结果必须四舍五入到整数,这里取 4。

思考题

1. 一个带有 34 个状态的 FSM 需要多少个触发器?
2. 如何给上述 FSM 中的各个状态标记名称?

讲稿 1.3

现在给出讲稿 1.2 中 2 个思考题的答案。

1. 一个带有 34 个状态的 FSM 需要多少个触发器?

答案是 $2^6 = 64$ 。

带有 6 个触发器的 FSM 可以容纳 34 个状态。一般来说 $2^4 = 16$ 个状态, $2^5 = 32$ 个状态, $2^6 = 64$ 个状态, $2^7 = 128$ 个状态等。

2. 如何给上述 FSM 中的各个状态标记名称?

答案是 s0, s1, s2, s3, s4, s5, s6, s7, ..., s33。没有用到的状态是 s34 ~ s63。

除了用触发器来定义 FSM 的每个内部状态之外,定义 FSM 的输出信号是用组合逻辑电路来定义的。同时,每个触发器的输入端是通过组合电路和外部输入信号相连来驱动的。

讲稿 1.4

图 1.3 是米利 (Mealy) FSM 的内部结构。

如图 1.3 所示,FSM 里有一定数量的输入信号连接到“下一状态解码单元”(组合逻辑电路)。由触发器组成的存储单元的输出信号被连接到输出解码电路后,再输出到外部。

触发器的输出同时被输入到“下一状态解码单元”,它们决定了 FSM 下一个状

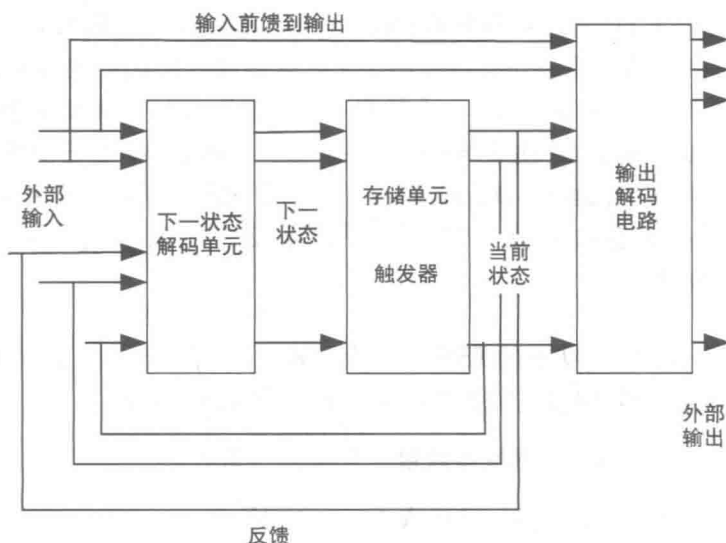


图 1.3 米利状态机的结构示意图

态的走向。一旦 FSM 进入到下一个状态，触发器会获取一个新的“当前状态”，这个“当前状态”将由“下一状态解码单元”产生。

外部输入信号会被直接输入到输出解码电路，这是米利 FSM 的主要特性。

讲稿 1.5

FSM 还有一种结构，被称为摩尔（Moore）FSM。

和米利 FSM 所不同的是，摩尔 FSM（见图 1.4）没有将输入信号直接输送到输出端。

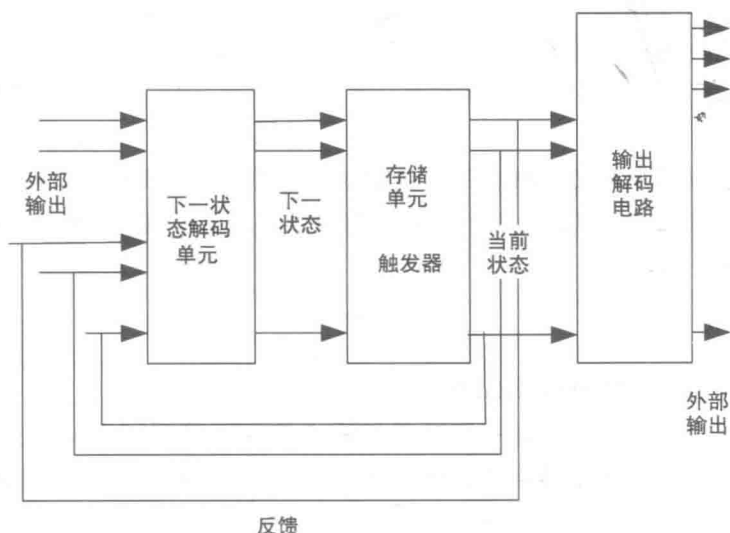


图 1.4 摩尔状态机的结构示意图

这种 FSM 十分普遍。需要注意的是图中外部输出只代表触发器的输出信号（不像米利 FSM，其外部输出包含了触发器的输出信号和一些外部输入信号）。

这两种 FSM 都将在后续做详细介绍。

讲稿 1.6

完成下面的填空：

摩尔 FSM 和米利 FSM 的区别在于它含有_____。

这意味着摩尔 FSM 的输出是取决于_____，而米利 FSM 的输出是取决于_____。

答案可以在讲稿 1.4 和讲稿 1.5 中找到。

讲稿 1.7

请大家再次观察摩尔 FSM 的结构图，如果将所有外部输入信号全部去除，只留下时钟信号。同时将输出解码电路移除，剩下的部分想必大家非常眼熟，如图 1.5 所示。

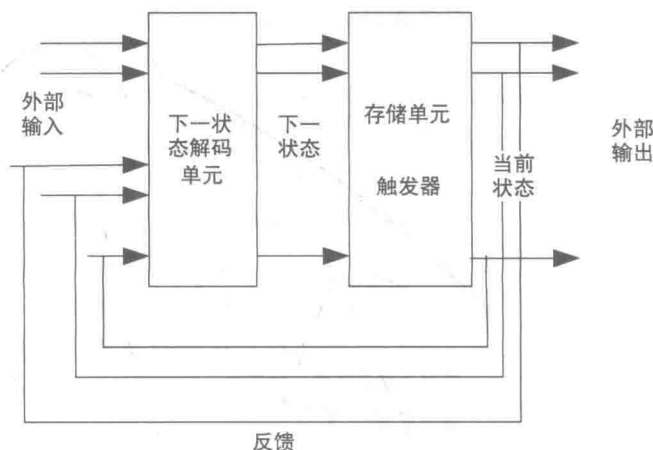


图 1.5 经典 C 状态机结构图

这种结构其实就是一个同步计数器，在许多场合都能够碰到。需要注意的是，如果需要计数器能够递增或递减来计数，则需要在外部分额外增加输入信号，用来控制计数器的计数方向。

触发器的输出信号在这张图中是直接对外输出的。要注意的是，在同步 FSM 中（由时钟驱动），时钟是其中一个输入信号。