

集成电路版图 设计教程

JICHENG DIANLU BANTU SHEJI JIAOCHENG

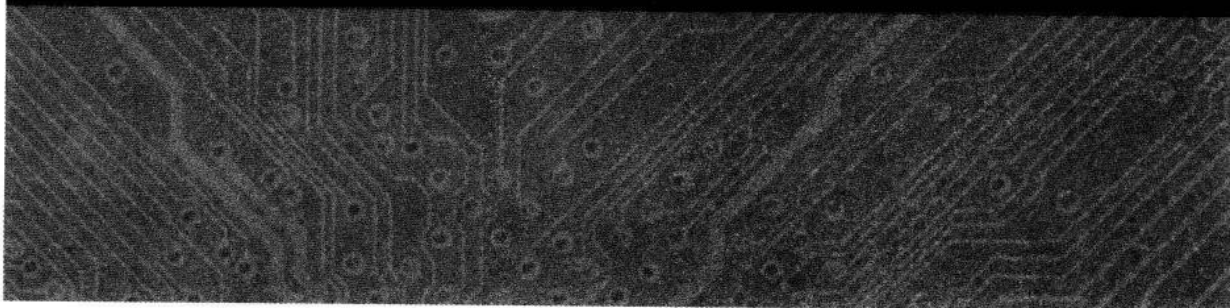
曾庆贵 姜玉稀 编著

上海科学技术出版社

集成电路版图 设计教程

JICHENG DIANLU BANTU SHEJI JIAOCHENG

曾庆贵 姜玉稀 编著



图书在版编目(CIP)数据

集成电路版图设计教程 / 曾庆贵, 姜玉稀编著. — 上海: 上海科学技术出版社, 2012. 3
ISBN 978-7-5478-1036-1

I. ①集… II. ①曾… ②姜… III. ①集成电路—设计—教材 IV. ①TN402

中国版本图书馆 CIP 数据核字 (2011) 第 215533 号

上海世纪出版股份有限公司 出版、发行
上海科学技术出版社

(上海钦州南路 71 号 邮政编码 200235)

新华书店上海发行所经销

常熟市兴达印刷有限公司印刷

开本 787×1092 1/16 印张: 20.5

字数: 458 千字

2012 年 3 月第 1 版 2012 年 3 月第 1 次印刷

ISBN 978-7-5478-1036-1/TN·7

定价: 45.00 元

本书如有缺页、错装或坏损等严重质量问题
重质量问题请向工厂联系调换

内 容 提 要

本书系统讲述使用 Cadence 软件进行集成电路版图设计的原理、编辑和验证方法,包括版图设计从入门到提高的全部内容,包括:半导体集成电路;UNIX 操作系统和 Cadence 软件;Virtuoso 版图编辑器;CMOS 数字电路版图设计;版图验证;版图验证规则文件的编写;外围器件及阻容元件版图设计;CMOS 模拟集成电路的版图设计;铝栅 CMOS 和双极集成电路的版图设计。同时附录介绍了几个版图设计规则、验证文件和编写验证文件常用的命令等。

本书具有以下特点:

- (1) 以培养学生的职业技能为原则来设计结构、内容和形式。
- (2) 基础知识以“必需、够用”为度,强调专业技术应用能力的训练。
- (3) 对基本理论和方法的论述多以图表形式来表达,便于易学易懂,并增加相关技术在生产中的应用实例,降低读者阅读难度。
- (4) 提供电子教案增值服务。

本书可以作为高职高专及本科层次学生集成电路版图设计课程的教材或参考书,或作为版图设计培训班的教材,也可供从事集成电路版图设计的在职人员参考。

前 言

在进行集成电路芯片加工的时候,几乎所有的工作都集中在如何把电子电路中的元器件“做”到半导体单晶片(硅片)上并把它们连接起来,成为一个完整的可以实际应用的集成电路。这个过程的关键在于事先把电路图设计并制成集成电路光刻工艺中使用的版图。用电子计算机把电路图设计成为加工集成电路所用的版图,这个过程称为集成电路版图设计,它是集成电路设计中必不可少的环节,是连接电子电路和集成电路工艺之间的桥梁,在集成电路的发展过程中起着十分重要的作用。

由曾庆贵编著、机械工业出版社出版的高职高专教材《集成电路版图设计》,自2008年出版后,受到读者的欢迎和好评。但由于该书写成和出版的时间仓促,图和文都有不少错误,书籍质量不能令人满意。因此决定在原书基础上出版新的版本,经过一年多的时间对原书进行修改、补充和完善,现已由曾庆贵和姜玉稀共同完成。为了与原书区别,共同编著的新书更名为《集成电路版图设计教程》,由上海科学技术出版社重新出版。

考虑到本书作为教材,需要做到科学性、先进性和内容的完整性相结合。为了不使全书的内容过分庞大,对全书的架构作了调整:①删除了与其他课程重复的内容(原书第1章);②将原书第2、3章删节合并为新书第1章;③原书第5章分拆成2章,成为“Virtuoso版图编辑器”(第3章)和“CMOS数字电路版图设计”(第4章);④把“CMOS模拟集成电路的版图设计”独立成章(第8章);⑤新增“版图验证规则文件的编写”1章(第6章)。⑥各章都提供了习题及部分习题的参考答案。⑦其它章节也略有增删,改正了印错和画错的插图。为了保证全书质量,二位作者分工编写,互相审读和把关。

《集成电路版图设计教程》全书分为9章,第1章~第5章和第9章由曾庆贵编写,第6章~第8章由姜玉稀编写。

由于作者水平有限,缺点和错误难免,敬请读者批评指正。

作 者

目 录

第 1 章 半导体集成电路	1	2.2.1 EDA 厂商简介	49
1.1 集成电路的发明和发展	1	2.2.2 Cadence 软件概述	50
1.2 集成电路的分类	3	2.3 电路图的输入和编辑	54
1.2.1 按器件结构类型分类	3	2.3.1 建立新库	54
1.2.2 按电路功能分类	3	2.3.2 电路图编辑窗	56
1.3 集成电路制造过程	4	2.3.3 电路图的输入	59
1.3.1 设计	4	2.3.4 电路图的层次化设计	66
1.3.2 掩膜版制造	6	2.4 习题	69
1.3.3 单晶材料	6		
1.3.4 芯片制造	6	第 3 章 Virtuoso 版图编辑器	70
1.3.5 封装	7	3.1 版图编辑器概述	70
1.3.6 检测	7	3.1.1 建立版图库和版图单元	70
1.4 CMOS 集成电路	7	3.1.2 打开文件	75
1.4.1 CMOS 数字电路	7	3.1.3 对层选择窗进行设置	76
1.4.2 CMOS 模拟电路	16	3.1.4 版图编辑窗	78
1.5 集成电路制造工艺	22	3.1.5 使用 Option 菜单进行版图 编辑窗设置	84
1.5.1 氧化	22	3.2 版图的建立	87
1.5.2 光刻和刻蚀	24	3.2.1 设置输入层	87
1.5.3 掺杂	26	3.2.2 屏幕显示画图区	88
1.5.4 淀积	29	3.2.3 建立几何图形	88
1.5.5 接触与互连	30	3.2.4 建立 Instance	96
1.5.6 CMOS 工艺的主要流程	31	3.3 版图的编辑	97
1.6 习题	34	3.3.1 设置层的可视性	97
		3.3.2 测量距离或长度	98
		3.3.3 图形显示	99
		3.3.4 选择目标	99
		3.3.5 改变图形的层次	101
		3.3.6 加标记	102
		3.4 习题	103
第 2 章 UNIX 操作系统和 Cadence 软件	36		
2.1 UNIX 操作系统基础	36		
2.1.1 有关目录的操作	36		
2.1.2 有关文件的操作	38		
2.1.3 文件存取权限	41		
2.1.4 命令处理	42		
2.1.5 使用 vi	43		
2.1.6 Linux 简介	49		
2.2 Cadence 软件	49	第 4 章 CMOS 数字集成电路版图 设计	105
		4.1 MOS 场效应晶体管的版图实现	105

4.1.1 单个 MOS 场效应晶体管的 版图实现	105	5.3.2 结果分析	149
4.1.2 MOS 场效应晶体管阵列的 版图实现	110	5.4 运行 Dracula LVS	154
4.2 版图设计规则	112	5.4.1 LVS 原理	154
4.2.1 概述	112	5.4.2 运行过程	157
4.2.2 1.5 μm 硅栅 CMOS 设计 规则	113	5.4.3 输出报告解读	160
4.3 CMOS 数字电路基本单元的版 图设计	116	5.4.4 错误的纠正	164
4.3.1 反相器	116	5.5 关于 ERC	167
4.3.2 传输门	122	5.6 习题	168
4.4 棍棒图	123	第 6 章 版图验证规则文件的编写	170
4.5 CMOS 数字电路版图设计实例	124	6.1 Diva DRC 验证规则文件的建立	170
4.5.1 异或门	124	6.1.1 Diva DRC 规则文件简介	170
4.5.2 全加器	125	6.1.2 层操作命令的图文解释 ...	173
4.5.3 无置位端和复位端的 D 触 发器	127	6.1.3 Diva DRC 命令	180
4.5.4 带复位端的 D 触发器	127	6.1.4 Diva DRC 规则文件的举例	183
4.6 版图设计方法概述	128	6.2 Dracula DRC 规则文件	188
4.6.1 版图设计方法	128	6.2.1 Dracula 规则文件的结构	188
4.6.2 层次化设计简介	129	6.2.2 建立 Dracula DRC 规则 文件	190
4.7 CMOS 数字电路层次化设计 实例	130	6.3 建立 Dracula LVS 规则文件	196
4.7.1 2 输入多路选择器(mux2)	130	6.4 Dracula 规则文件至 Diva 规则 文件的转换	202
4.7.2 SRAM 单元及阵列	133	6.5 习题	203
4.8 常用版图设计技巧	135	第 7 章 外围器件及阻容元件版图设计	204
4.9 习题	138	7.1 特殊尺寸器件的版图设计	204
第 5 章 版图验证	139	7.1.1 大尺寸器件	204
5.1 概述	139	7.1.2 倒比管	208
5.1.1 版图验证的项目	139	7.2 电阻、电容器及二极管的版图 设计	209
5.1.2 Cadence 软件的版图验证 工具	140	7.2.1 MOS 集成电路中的电阻	209
5.1.3 版图验证过程简介	141	7.2.2 MOS 集成电路中的电容器	
5.2 运行 Diva DRC	142		
5.3 运行 Dracula DRC	146		
5.3.1 验证步骤	146		

.....	211	8.7.2 布局需要注意的问题	264
7.2.3 集成电路中的二极管	215	8.7.3 版图布局实例	265
7.2.4 CMOS 工艺下的衬底 PNP 管	215	8.8 运算放大器版图设计实例	266
7.3 CMOS 集成电路的静电放电 保护电路	216	8.9 习题	271
7.3.1 ESD 攻击模型与测试方法	217	第 9 章 铝栅 CMOS 和双极集成电路 的版图设计	273
7.3.2 ESD 保护器件	221	9.1 铝栅 CMOS 集成电路	273
7.3.3 ESD 保护电路	228	9.1.1 铝栅 CMOS 电路的结构	273
7.3.4 全芯片 ESD 版图设计技术	235	9.1.2 铝栅 CMOS 集成电路版图 实例	275
7.4 CMOS 闩锁效应及其预防措施	239	9.2 双极集成电路	277
7.5 压焊块的版图设计	241	9.2.1 双极晶体管的版图图形 ...	277
7.6 电源和地线的设计	242	9.2.2 双极集成电路的版图设计 原则和步骤	281
7.6.1 电源和地线在外围的分布 框架	242	9.3 双极集成电路版图实例	282
7.6.2 电源和地线在内部的分布	243	9.3.1 五管单元与非门的设计 ...	282
7.7 习题	243	9.3.2 μ A741 型通用集成运放的 版图设计	284
第 8 章 CMOS 模拟集成电路的版图 设计	245	9.4 习题	289
8.1 模拟集成电路和数字集成电路 的比较	245	附录	290
8.2 失配的概念	245	附录 A 0.6 μ m 工艺设计规则 (0.6 μ m Technology Topo- logical Design Rule)	290
8.3 MOS 器件的匹配	247	附录 B 1.5 μ m 硅栅 CMOS divaDRC 规则文件(1.5 μ m Si - Gate CMOS divaDRC.rul)	305
8.4 无源元件的匹配	251	附录 C 1.5 μ m 硅栅 CMOS N 阱单层 多晶双层金属 LVS Dracula 规则文件(1.5 μ m Si - Gate CMOS Nwell SPDM LVS Dracula File)	310
8.4.1 电阻的匹配	251	附录 D 习题参考答案	312
8.4.2 电容的匹配	253	参考文献	317
8.5 寄生效应	256		
8.5.1 寄生电容	256		
8.5.2 寄生电阻	258		
8.6 噪声的防护	259		
8.6.1 衬底噪声	259		
8.6.2 金属导线之间的串扰	261		
8.7 版图布局	263		
8.7.1 版图布局的概念	263		

第 1 章 半导体集成电路

在集成电路的产业链中,版图设计是必不可少的设计环节,它不仅关系到集成电路的功能是否正确,而且也会极大程度地影响集成电路的性能、成本和功耗等是否符合设计指标的要求,因此,版图设计成为电子电路(或系统)和制造工艺之间的桥梁。

对于集成电路设计人员来说,需要具有电路系统原理与工艺制造方面的基础知识,对于集成电路版图设计的初学者,这些知识也是学习本书的基础。因此本书第 1 章将简单介绍这些基础知识,首先简述集成电路发明和发展的情况,然后介绍集成电路的分类和设计过程;在集成电路品种方面,由于 CMOS 集成电路具有很多优点,已经成为集成电路的发展方向 and 主流品种,因此本书讲述的版图设计将以 CMOS 集成电路为主,以较多篇幅介绍这种电路(包括数字电路和模拟电路)的电路结构和工作原理。在本书的最后一节介绍集成电路的制造工艺。

1.1 集成电路的发明和发展

集成电路的诞生首先要归功于晶体管的发明。晶体管是 20 世纪最伟大的发明之一,1947 年美国贝尔实验室发明了晶体管,拉开了人类社会步入电子时代的序幕,对人类社会的所有领域都产生了深刻的影响。

在晶体管发明后,于 1958 年诞生了世界上第一块集成电路。集成电路是指通过一系列特定的加工工艺,将多个二极管、晶体管等有源器件和电阻、电容等无源器件,按照一定的电路连接集成在一块半导体单晶片(如硅或 GaAs 等)或陶瓷等基片上,作为一个不可分割的整体执行某一特定功能的电路组件。

由于当时对集成电路还存在许多不同的看法,如:对集成电路的前途不乐观,认为其电特性肯定不如分立元器件好,寄生效应会更大;大型集成电路的成品率将很低;集成电路的设计费很贵,且很难更改。而当时已有的电子电路种类很多,若逐个将这些电路复制成集成电路必然成本很高,甚至有的很难实现。因此,集成电路发明以后,并没有立即就迅速发展起来。

上述矛盾是客观存在的,技术成熟也需要一定时间。但集成电路的一个最大优点是可以利用当时业已成熟的半导体工艺技术,将现有的部分电子系统较快地、高可靠地实现超小型化。

显然,简单地去“复制”那些专家已精心设计好的、种类繁多的电路,对集成电路是不现实的。只有生产用途广、批量大、电路形式简单、性能可规格化的电路才能降低成本、提高成品率,使集成电路具有竞争能力。这类电路是存在的,就是数字电路中的逻辑电路,因为它可以用“逻辑门”的基本单元来组成,即只要用“与非门”、“或非门”、“反相器”等少数几种门电路就足够了。另外,许多常用数字系统的功能也可由一些做在同一芯片上的逻辑门经过适当连接而成。这样就可归纳、设计出一些既能完成各种系统功能,又相互兼容的基本积木单元,充分

发挥集成电路可同时大量生产同一品种的突出优势,使成本大大降低。

从1961年起,便有几种标准逻辑(Standard Logic)的数字电路系列问世,如RTL、DTL、TTL和CMOS等。到了20世纪60年代后期,生产上已具备了制作电路更复杂、集成度更高的单片电路的能力。

经过电子系统设计单位和集成电路生产厂家的共同努力,终于找到了令双方都满意的产品:通用大规模集成电路——半导体存储器;通用小型整机——微处理器。

电子计算机在经历了第一代(电子管)和第二代(晶体管)的发展之后,当时正处于第三代发展时期,即使用集成电路的时期。将电子计算机主存储器的磁芯以半导体存储器代替,不仅可以大大缩小计算机的体积,提高计算机的运算速度、精度、存储容量及可靠性等性能指标,而且使计算机的功耗显著降低。刚开始时,半导体存储器的集成度还很低,只有 8×8 位和256位RAM(随机存取存储器),这不能使整机体积减小,成本又很高。而且,一般半导体存储器具有“挥发性”,一旦停电,存储于它上面的信息就会消失。这种存储器并不受用户欢迎。直到1971年生产出全译码的1K RAM才有转机,因为这样高的集成度(指每个集成电路芯片中包含的晶体管数)每片约有5000个器件,使其每一位的价格和磁芯相当。接着又出现了4K RAM,促使计算机系统设计师愿意使用具有“挥发性”的半导体存储器,因为只要维持低功耗,挥发性的缺点可以用常备电源等措施加以克服。现在,由于集成电路工艺和设备的不断更新,DRAM和SRAM等半导体存储器的集成密度已经达到千兆位的量级。

1968年Intel(英特尔)公司成立,它的取名是从“集成电子”(Integrated Electronics)两个英文单词组合成的,象征该公司将在集成电路市场飞黄腾达。一年后,英特尔为日本设计订购的计算器专用芯片,采用了一个崭新的做法,即把整个结构分成两部分,一边是共用的、进行逻辑控制的处理器,另一边是用来存储指令的只读存储器。对不同的计算器,只需要改变只读存储器的内容。于是,同一个处理器就可以应用在各种不同的计算器,甚至用在各种不同的数字产品上。这种做法有两个主要的突破:在技术方面,只要以集成电路技术设计出这个逻辑处理器,就可以实现盼望已久的“单片电脑”;在商业方面,一套元件可以广泛用于不同的产品上。英特尔将这个逻辑控制的集成电路称作“微处理器”。1971年世界上第一个微处理器4004由Intel公司研发成功正式推向市场,内含2300多只晶体管。这是一个4位的、进行逻辑控制用的处理器,它与另外3种电路——4001(RAM)、4002(ROM)和4003(寄存器)组合起来,即可完成微电脑功能。这几种集成电路都是标准的通用电路,半导体厂可以大量低成本生产和销售,不同的用户则通过不同的软件使整机完成自己特定的任务。

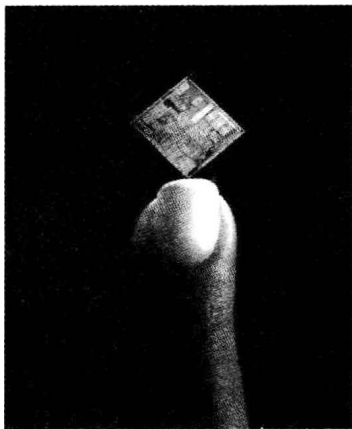


图1-1 微处理器芯片和指甲大小差不多

图1-1就是微处理器芯片,它和我们的指甲大小差不多。

2011年是微处理诞生40周年,40年来,Intel一直没有停止前进的步伐,各种新的微处理器如雨后春笋般地涌向市场。且不说每隔一到两年就有一款新的微处理器上市(1972年8位微处理器8008,1974年8080,1976年8085,1978年8086,……,80286、386、486、……,奔腾,……),也不说各种微处理器性能的提高,单从“集成度”这个指标就足以表明微处理器乃至集成电路的腾飞。作为Intel公司创始人之一的摩尔,通过对集成电路发展情况的总结,于1965年提出摩尔定律:芯片的集成度每三年提高四倍(大约18个月翻倍),器件尺寸则每三年以0.7

的比率缩小。从那时起,以后的发展历史完全证明了摩尔定律与实际趋势惊人地接近。按照摩尔定律,2011年微处理器的集成度将超过10亿个晶体管,而系统的功能大约是奔腾Ⅱ处理器的150倍!

从20世纪80年代中期以来,出现了ASIC这一术语。ASIC(Application Specific Integrated Circuit)直译为“专用集成电路”,它是面向专门用途的电路,以区别于上述标准逻辑电路产品。ASIC电路可以根据用户的特定要求专门设计和制造,能够以低研制成本、短的交货期供货。ASIC的提出和发展表明集成电路进入了一个新阶段。

目前在一块芯片上已经可以集成10亿以上的晶体管,在需求牵引和技术推动的双重作用下,已出现了将整个系统集成在一个芯片上的集成系统(IS)或系统芯片(SOC),对微电子设计而言是一场革命。

集成电路是一门发展极为迅速的技术,高集成度、低功耗、高性能、高可靠性是它的发展方向,它与其他学科结合产生的交叉学科也具有极其广阔的前景。

1.2 集成电路的分类

集成电路的分类方法很多,常见的分类方法主要包括按器件结构类型、集成电路规模、使用的基片材料、电路功能以及应用领域等进行分类。下面将简要介绍按器件结构类型和电路功能两种分类方法。

1.2.1 按器件结构类型分类

1. 双极集成电路

双极集成电路采用的有源器件是双极晶体管,而双极晶体管因为它的工作机制依赖于电子和空穴两种类型的载流子而得名。在双极集成电路中,又可以细分为NPN型和PNP型。

双极集成电路的优点是速度快、驱动能力强,缺点是功耗较大、集成度较低。

2. 金属-氧化物-半导体(MOS)集成电路

这种电路使用MOS晶体管,故称为MOS集成电路。MOS管主要靠半导体表面电场感应产生的导电沟道工作,在MOS管中起主导作用的只有一种载流子(电子或空穴),有时也称它为单极晶体管。根据MOS管的类型,MOS集成电路又可以分为NMOS、PMOS和CMOS集成电路。

MOS集成电路的主要优点是:输入阻抗高、抗干扰能力强、功耗低(为双极集成电路的 $1/10\sim 1/100$)、集成度高(适合于大规模集成),因此,CMOS集成电路已经成为超大规模集成电路时代集成电路的主流。

3. 双极-MOS(BiMOS)集成电路

同时包括双极和MOS晶体管的集成电路称为BiMOS集成电路,它兼有双极和MOS两种器件的优点。但这种电路的制作工艺复杂,而且随着CMOS集成电路器件特征尺寸的减小,速度越来越高,已经接近双极集成电路,因此,目前集成电路的主流技术仍然是CMOS技术。

1.2.2 按电路功能分类

1. 数字集成电路

数字集成电路是指处理数字信号的集成电路,即采用二进制方式进行数字计算和逻辑函

数运算的一类集成电路。由于这些电路都具有某种特定的逻辑功能,因此也称它为逻辑电路。

根据输出信号与输入信号时序的关系,又可以将数字集成电路分为组合逻辑电路和时序逻辑电路,前者的输出结果只与当前的输入信号有关,例如反相器、与非门、或非门等;后者的输出结果则不仅与当前的输入信号有关,而且还与以前的逻辑状态有关,例如触发器、寄存器、计数器等。

2. 模拟集成电路

模拟集成电路是指处理模拟信号(连续变化的信号)的集成电路,它的用途很广,在工业控制、测量、通信、家电等领域都有很广泛的应用。

3. 数模混合集成电路

这种电路既包含数字电路,又包含模拟电路,通常称为数模混合集成电路。早期通常采用混合集成电路技术实现这种电路,随着半导体工艺技术的发展,直到20世纪70年代才研制成功单片数模混合集成电路。

最先发展的数模混合电路是数据转换器,主要用来连接电子系统中的数字部件和模拟部件,实现数字信号和模拟信号的相互转换,因此它可以分为数模(D/A)转换器和模数(A/D)转换器,目前已经成为数字技术和微处理器在信息处理、过程控制等领域推广应用的关键器件。此外,数模混合电路还有电压-频率转换器和频率-电压转换器等。

1.3 集成电路制造过程

由于集成电路的迅速发展,现在已经成为电子信息技术的支柱产业。图1-2表示集成电路的制造过程,现在其中每个工艺过程都逐渐发展成为集成电路的子行业。这些子行业可以独立成为单一性的集成电路公司,如设计公司、芯片制造公司、封装公司、测试公司等,也可以在总公司下面成为分公司,像Intel这样的公司就是包括若干子行业的综合性公司。

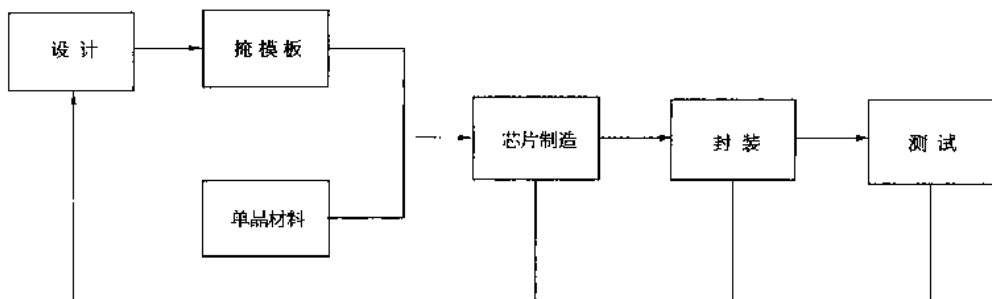


图 1-2 集成电路制造过程

1.3.1 设计

1. 主要设计流程

基于层次化设计思想,按照自顶向下(top-down)的典型设计过程,集成电路设计主要包括系统设计、逻辑和电路设计、版图设计3个阶段。从发展过程看,集成电路设计在经历了手工设计阶段和计算机辅助设计(CAD)阶段后,到20世纪80年代后期,发展到可以提供各种自动综合工具,如逻辑综合、版图综合、测试综合等,真正跨入电子设计自动化阶段(EDA)。从CAD到EDA的突破主要体现在两方面:

① 采用硬件描述语言(HDL)作为设计输入,可以在各个设计阶段和层次进行模拟验证,保证设计过程的正确性,降低设计成本,缩短设计周期。

② 库的引入。如模拟库、综合库、版图库和测试库等。

由于模拟集成电路和数模混合电路的 EDA 工具还不成熟,下面主要针对数字集成电路介绍设计流程,如图 1-3 所示。

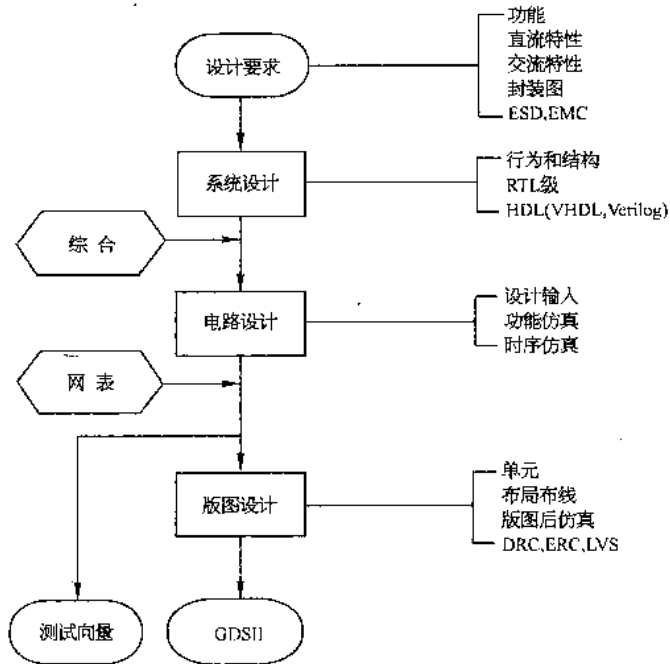


图 1-3 集成电路设计流程

根据设计要求,系统级进行性能分析和功能划分,通过系统级仿真与性价比分析后,确定实现系统的体系结构。接着对每一个功能模块完成行为描述,然后进行行为级优化与 RTL 级(寄存器传送级)描述的转化,完成系统中所包含的每个功能模块的算法描述与功能描述。

综合是指通过附加一定的约束条件从高一设计层次直接转换到低一级设计层次的过程。实现综合的前提是具有综合库的支持,综合库中包含了相应的工艺参数,如门级延时、单元面积、扇入扇出系数等。而对设计要求提出的指标,如时钟频率、芯片面积、端口驱动能力等,作为综合过程的约束条件,最终选出最佳单元,实现综合过程。

系统设计完成后进入电路设计,就是确定由一些电路单元组成且满足一定电路功能的电路,然后通过模拟软件验证功能和时序的正确性。验证通过后,可以生成相应的测试向量,用于芯片制成后的测试。

完成上面两个设计后,就可进行版图设计。版图设计根据电路功能及工艺水平的要求设计出供光刻用的掩膜版图,这是包含若干层版图的一组相互套合的图形,每层版图都与不同的工艺步骤对应。在设计版图前需要确定工艺流程和设计规则。

目前大多数电路的版图设计都是用版图库实现的,可以提高设计效率和正确性。版图库中的单元电路是设计较大单元时经常采用的,包括门电路和触发器等基本单元,也有加法器、乘法器和除法器较大单元。它们的版图都是经过精心设计和精心布局的。版图生成过程包括布图规划、布局、时钟树产生和布线。布图规划是对芯片版图进行总体规划布局,它的输入

是层级网表。

版图生成后,要用 EDA 工具进行版图验证,即运行 DRC、ERC 和 LVS,也要进行后仿真。并且把版图数据转换成 GDS II 表示的数据格式,然后送到制版中心进行制版。

2. 设计途径

通常有两种设计途径:正向设计和逆向设计。

① 正向设计通常用来实现一个新的设计。它由电路指标和功能出发,进行逻辑设计(子系统设计),再由逻辑图进行电路设计,最后由电路进行版图设计,同时还要进行工艺设计。

② 逆向设计又称解剖分析,它是在剖析现有样品的基础上进行某种修改或改进。其作用是进行产品仿制(在原产品的基础上综合各家优点,推出更先进的产品),并可获取先进的集成电路设计和制造的秘密(如设计思想、版图设计技术、制造工艺等)。

1.3.2 掩膜版制造

版图设计完成后的数据送到掩膜版制造部门(tape out),制成光刻工艺使用的掩膜版。掩膜版的材料是玻璃上镀一层金属膜,如铬或氧化铁。版图设计完成的是一个芯片各个层次的版图,制版时,每个层次都要做成一块掩膜版,根据工艺难度的不同,完整的一套掩膜版包含 10 余块。一个管芯的尺寸不过几毫米见方,而一块单晶硅片上可以容纳成千上万个管芯,单晶硅片的直径越大,可以容纳的管芯就越多。制成的掩膜版尺寸与所用单晶相同,即多大直径的单晶就要制造多大尺寸的掩膜版。在掩膜版上管芯排成若干行和若干列,尽可能把整个面积排满。

在版图设计时,每个管芯的四周已经预先留出了划片槽的尺寸,因此当管芯分步重复布置在掩膜版上时,划片槽的位置是有保障的。

1.3.3 单晶材料

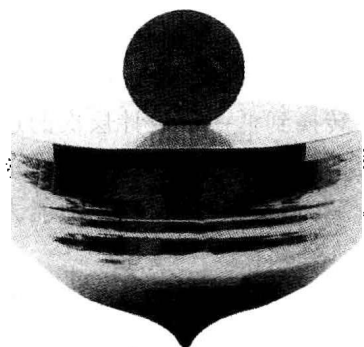


图 1-4 硅单晶锭和晶圆片

硅集成电路使用的原材料为硅单晶,它们在材料厂制成硅锭。硅单晶锭分为 N 和 P 两种导电类型,根据掺入杂质浓度的不同,具有不同的电阻率。硅单晶锭切割成晶圆片,经过单面抛光后就成为制造集成电路的衬底。硅单晶锭(晶圆片)的直径已经从 20 世纪 60 年代的 25 mm(1 in)提高到 20 世纪 90 年代的 200 mm(8 in),现在已经达到 300 mm(12 in)。这表明集成电路的迅速发展,有赖于各种工艺、材料及设备的同步提高和相互匹配。图 1-4 为硅单晶锭和切割后的晶圆片,晶圆片上已经加工了数目众多的管芯,它们排列成 N 行 \times N 列的矩阵。

1.3.4 芯片制造

芯片制造是在代工厂(Foundry)或工艺生产线上进行的。有了掩膜版和单晶材料,就可以通过集成电路制造工艺,如硅片表面氧化、杂质掺杂、光刻和刻蚀、各种薄膜的淀积以及金属互连,在晶圆片上制造出集成电路管芯。

芯片制造生产线一般都是以晶圆片的直径作为建造的标准,例如 4 in 或 8 in 的生产线,它使用的硅单晶、掩膜版、工艺生产使用的离子注入机、光刻机等,都是与这种直径尺寸配套的专

用设备或材料。随着硅单晶直径的增大,集成电路的产量和生产效率都有大幅度的提高,因此芯片制造所用的各种设备也必须随着生产的发展不断更新换代,生产设备一般每隔 4 年左右就更新一次,以保证集成电路水平的不断提高。但是,生产线的经费投入相当昂贵,建一条 8 in 或 12 in 的生产线大约需要几十亿美元的资金。

1.3.5 封装

经过初测后的晶圆片即可进入封装工序。首先用金刚刀或激光将管芯之间的划片槽切开,使各个管芯分离开来,把初测不合格并标注了记号的管芯筛选出去,剩下的就是合格的管芯。但这时的管芯还需要穿上外衣,即把一个个管芯粘贴在管壳底座里;然后进行外引线的键合,把管芯上的每一个压焊点和对应的外引线用金属丝逐个连接起来,这个过程是由压焊设备自动操作的;最后套上外壳,与管壳底座焊接。

1.3.6 检测

检测就是对集成电路半成品和成品进行电参数的测试,把不合格的淘汰,并对符合规格的按参数分级。

(1) 中测。这是对半成品的测试,是在芯片制造完成后进行的。这时芯片制造的流片已经结束,需要对制作在硅晶圆片上的管芯逐个进行测试,对不符合测试条件的管芯标上记号,把合格的送去进行封装。

(2) 老化。封装完成的电路,需要先进行:①上电老化,就是把比工作条件更严格的电压和电流加到集成电路上,让它工作一个固定的时间;②温度老化,将集成电路存放在高于室温的环境一定时间;③自然存放固定的时间,如半月或一月。老化的目的是将早期失效的产品淘汰出局,让过硬的产品供给用户。

(3) 成品测试。经过老化后的集成电路,每一个都要进行交流电参数和直流电参数的测试,并且根据参数优劣分档。再进行打印、包装,然后才能出售给用户使用。

1.4 CMOS 集成电路

CMOS 是 Complementary Metal Oxide Semiconductor 的英文缩写,中文意思是互补金属氧化物半导体。CMOS 集成电路是把 PMOS 管和 NMOS 管制作在同一块芯片上,因而具有很多优异的特性,自从 1962 年问世以来,由于它的功耗低、输入阻抗高、单一电源工作、宽的输出电压摆幅、抗干扰能力强、设计灵活、具有高速和高密度的潜力、适合大规模集成等特点,现在已经以绝对优势成为集成电路发展的主流方向。

1.4.1 CMOS 数字电路

反相器和传输门是组成 CMOS 数字电路的两个基本单元,以反相器为基础,可以构成各种门电路;用反相器(包括门电路)和传输门则可以构成触发器,进而组成寄存器和计数器等电路。

1. CMOS 反相器

CMOS 反相器由一个 PMOS 管和一个 NMOS 管串联而成,两管都是增强型,其电路图如图 1-5 所示。两个 MOS 管的栅极(G)相连,作为反相器的输入端;它们的漏(D)相连,作为

反相器的输出端；PMOS管的源(S)和衬底都与电源电压 V_{DD} 连接；NMOS管的源(S)和衬底都接地(V_{SS})。当输入信号为“0”时，P管因栅源电压 V_{GS} 等于电源电压 V_{DD} 而导通，从输出端到 V_{DD} 为低阻通路；由于NMOS管的栅源电压为0，低于它的开启电压，使N管截止，从输出端到地(V_{SS})为高阻抗，因此输出电压近似等于 V_{DD} ，即输出为“1”电平。当输入电压为“1”时，情况正好相反，P管截止而N管导通，输出电压为0。在上述两种逻辑状态下，总有一个MOS管导通而一个MOS管截止，因此从电源到地的通路中，只有截止MOS管的泄漏电流流过，这使CMOS反相器的静态功耗总是很低，其值等于电源电压和泄漏电流的乘积，为毫微瓦量级。

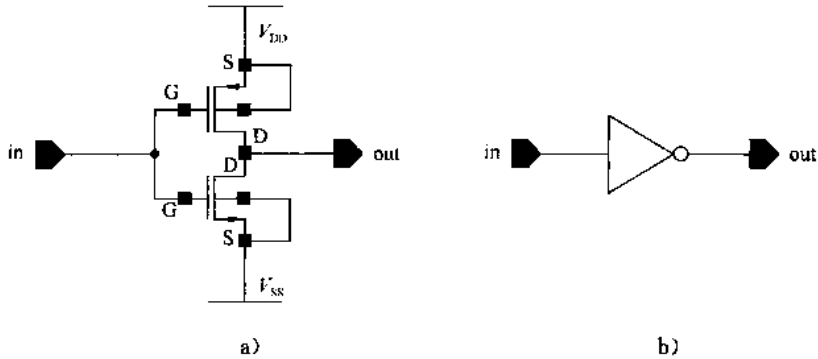


图 1-5 CMOS 反相器

a) 电路图；b) 逻辑符号

CMOS反相器的输出电压和输入电压的关系称为电压传输特性。如图1-6a所示，在输入信号从0向 V_{DD} 变化的过程中，当输入电压达到N管的开启电压 V_{TN} 时，N管从截止开始变为导通，P管的导通程度也因栅源电压的减小而有所下降，因此输出电压从 V_{DD} 略有下降，这时有从电源 V_{DD} 经过两个MOS管流向地的直流导通电流。当输入电压达到 $1/2V_{DD}$ 时，N管的导通程度已变得相当充分，而P管的导通程度也进一步下降。由于两个MOS管的 V_{GS} 都等于 $1/2V_{DD}$ ，如果它们的结构对称，其导通电阻应该相等。这时从 V_{DD} 到地的电阻最小，流过反相器的直流导通电流则最大。当输入电压超过 $1/2V_{DD}$ 时，尽管N管的导通程度进一步增加，但P管的导通电阻却更加增大，使直流导通电流不断减小，在输入电压达到 $V_{DD}-V_{TP}$ (V_{TP} 为P管的开启电压)时，P管变为截止，直流导通电流下降为0，输出电平也迅速下降为0。CMOS反相器的直流导通电流如图1-6b所示。

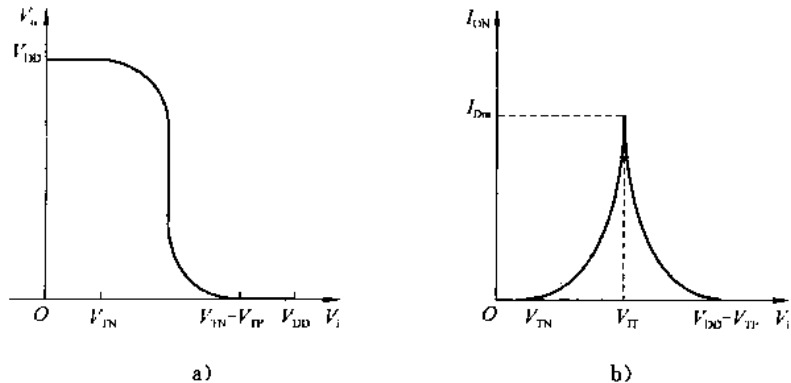


图 1-6 CMOS 反相器的特性

a) 电压传输特性；b) 直流导通电流

PMOS 管和 NMOS 管的结构对称,是指两种管子的宽长比具有一定的比例。由于 P 管为空间导电, N 管为电子导电,而电子的迁移率是空穴迁移率的 2.5 倍左右,这个差距要从 P 管的宽长比增大为 N 管宽长比的 2.5 倍来补偿,所以设计反相器时,总是把 P 管宽长比确定为 N 管宽长比的 2.5 倍左右。

2. CMOS 传输门

MOS 器件在电路中可以做开关,而且是双向开关,即电流不仅能从一个方向传输,也可以从相反的方向传输。起开关作用的 MOS 管也称为传输门;由单个 NMOS 管或 PMOS 管组成的传输门称为单沟道传输门。

单沟道 NMOS 管传输门如图 1-7 所示。栅极控制电压和输入电压都为 V_{DD} ,设负载电容 C_L 上的初始电压为 0,因此满足 $V_{DS} = V_{GS} = V_{DD}$ 的条件,使 NMOS 管导通,输入电压通过 N 管对 C_L 充电。随着充电电压的提高, N 管的源极电位也不断提高,而栅源电压不断下降,当输出电压充电至 $V_{DD} - V_{TN}$ 时,栅源电压 $V_{GS} = V_G - V_S = V_{DD} - (V_{DD} - V_{TN}) = V_{TN}$, N 管变为截止,这时输出电压与输入电压之差等于 NMOS 管的开启电压。

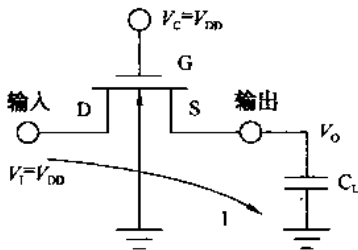


图 1-7 单沟道传输门

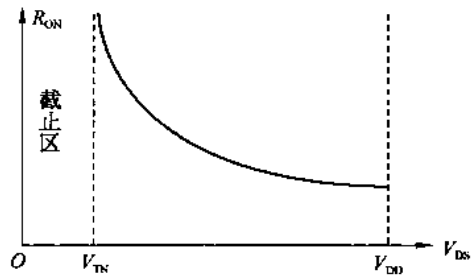


图 1-8 NMOS 管传输门的导通电阻随输入电压的变化

NMOS 管传输门的导通电阻随输入电压的变化如图 1-8 所示。当输入电压(即漏源电压)小于 V_{TN} 时, NMOS 管处于截止状态,导通电阻为无穷大。

CMOS 传输门是由一个 PMOS 管和一个 NMOS 管并联而成的,并联是指 P 管的源和 N 管的漏相连, P 管的漏和 N 管的源相连,这种源、漏定义是从流过它们的电流方向决定的,其电路图和逻辑符号如图 1-9 所示。如果用四端 MOS 管符号画传输门, P 管和 N 管的衬底要分别接到 V_{DD} 和 V_{SS} ; 只用三端器件符号时没有衬底,但默认衬底为这种连接。

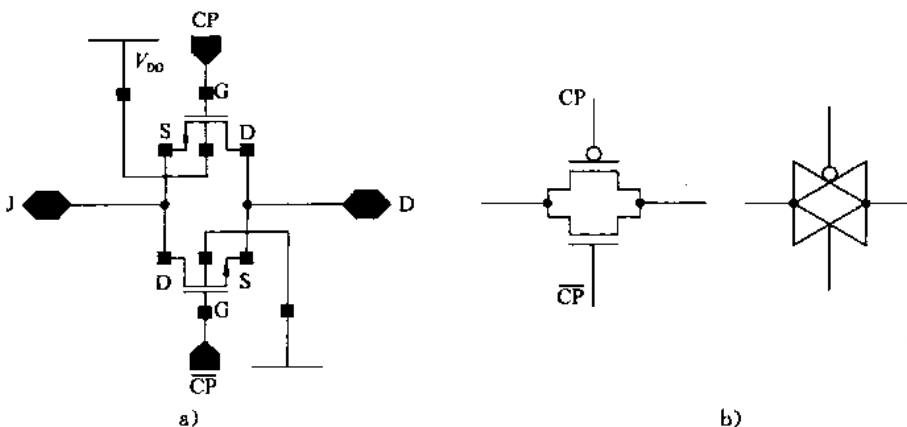


图 1-9 CMOS 传输门

a) 电路图; b) 逻辑符号