



全国高等职业教育规划教材

Verilog HDL与CPLD/FPGA 项目开发教程

聂章龙 张 静 主编



电子课件

www.cmpedu.com



机械工业出版社
CHINA MACHINE PRESS

全国高等职业教育规划教材

Verilog HDL 与 CPLD/FPGA 项目开发教程

主 编 聂章龙 张 静
参 编 吕 勇 陶 洪
罗大晖 邹卫进
主 审 王 群



机械工业出版社

本书以 Altera 公司的 MAX II 系列 EPM1270T144C5N 为蓝本阐述了基于 CPLD/FPGA 的数字系统设计方法,重点放在工程实践能力和 Verilog HDL 硬件描述语言的编程开发能力方面。本书按照基于工作过程的以“项目”为载体的教学模式的思路进行编写,“项目”的选取以直观、生动、有趣、实用为原则,并遵循由易到难、由简单到综合的学习规律。全书共 3 章,第 1 章主要介绍 CPLD/FPGA 项目开发入门,包括 CPLD/FPGA 开发系统概述、Quartus II 开发环境的使用、Verilog HDL 硬件描述语言编程基础;第 2 章以 13 个单元项目为载体来介绍组合逻辑电路设计、时序逻辑电路设计和数字系统设计(如键盘、数码管、液晶、点阵屏、音乐等外围接口的驱动);第 3 章以电子时钟、交通信号灯控制、串行通信、数字式竞赛抢答器 4 个综合项目为载体,介绍用 Verilog HDL 硬件描述语言进行综合项目开发的一般步骤,使读者在实践中锻炼编程、调试和创新能力,形成良好的编程风格。附录中给出了数字系统设计中的常见问题解析。

本书可作为高职高专电子工程、计算机、微电子、自动控制等相关专业电子设计自动化(Electronic Design Automation, EDA)课程的教材,也可作为 EDA 初学者或工程技术人员的参考资料。

本书配套授课电子课件和实验例题,需要的教师可登录 www.cmpedu.com 免费注册、审核通过后下载,或联系编辑索取(QQ: 81922385, 电话: 010-88379739)。

图书在版编目(CIP)数据

Verilog HDL 与 CPLD/FPGA 项目开发教程 / 聂章龙, 张静主编. —北京: 机械工业出版社, 2010.8

全国高等职业教育规划教材

ISBN 978-7-111-31365-6

I. ①V… II. ①聂… ②张… III. ①硬件描述语言, Verilog HDL—程序设计—高等学校: 技术学校—教材 ②可编程序逻辑器件—高等学校: 技术学校—教材 IV. ①TP312 ②TP332.1

中国版本图书馆 CIP 数据核字(2010)第 142026 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

责任编辑: 王 颖

责任印制: 乔 宇

三河市国英印务有限公司印刷

2010 年 9 月第 1 版·第 1 次印刷

184mm×260mm·14.25 印张·349 千字

0001—3000 册

标准书号: ISBN 978-7-111-31365-6

定价: 25.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

社服务中心: (010) 88361066

门户网: <http://www.cmpbook.com>

销售一部: (010) 68326294

教材网: <http://www.cmpedu.com>

销售二部: (010) 88379649

读者服务部: (010) 68993821

封面无防伪标均为盗版

全国高等职业教育规划教材电子类专业 编委会成员名单

主 任 曹建林

副 主 任 张中洲 张福强 祖 炬 董维佳
俞 宁 蒋蒙安 吕何新 伍湘彬
任德齐 华永平 吴元凯

委 员 （按姓氏笔画排序）

马 彪	邓 红	王树忠	王新新	尹立贤
白直灿	包中婷	冯满顺	华天京	吉雪峰
刘美玲	刘 涛	孙吉云	孙津平	朱晓红
李菊芳	邢树忠	陈子聪	杨元挺	张立群
张锡平	苟爱梅	姚建永	曹 毅	崔金辉
黄永定	章大钧	彭文敏	曾日波	谭克清

秘 书 长 胡毓坚

副秘书长 戴红霞

出版说明

根据《教育部关于以就业为导向深化高等职业教育改革的若干意见》中提出的高等职业院校必须把培养学生动手能力、实践能力和可持续发展能力放在突出的地位,促进学生技能的培养,以及教材内容要紧密结合生产实际,并注意及时跟踪先进技术的发展等指导精神,机械工业出版社组织全国近 60 所高等职业院校的骨干教师对在 2001 年出版的“面向 21 世纪高职高专系列教材”进行了全面的修订和增补,并更名为“全国高等职业教育规划教材”。

本系列教材是由高职高专计算机专业、电子技术专业和机电专业教材编委会分别会同各高职高专院校的一线骨干教师,针对相关专业的课程设置,融合教学中的实践经验,同时吸收高等职业教育改革的成果而编写完成的,具有“定位准确、注重能力、内容创新、结构合理和叙述通俗”的编写特色。在几年的教学实践中,本系列教材获得了较高的评价,并有多品种被评为普通高等教育“十一五”国家级规划教材。在修订和增补过程中,除了保持原有特色外,针对课程的不同性质采取了不同的优化措施。其中,核心基础课的教材在保持扎实的理论基础的同时,增加实训和习题;实践性较强的课程强调理论与实训紧密结合;涉及实用技术的课程则在教材中引入了最新的知识、技术、工艺和方法。同时,根据实际教学的需要对部分课程进行了整合。

归纳起来,本系列教材具有以下特点:

- 1) 围绕培养学生的职业技能这条主线来设计教材的结构、内容和形式。
- 2) 合理安排基础知识和实践知识的比例。基础知识以“必需、够用”为度,强调专业技术应用能力的训练,适当增加实训环节。
- 3) 符合高职学生的学习特点和认知规律。对基本理论和方法的论述要容易理解、清晰简洁,多用图表来表达信息;增加相关技术在生产中的应用实例,引导学生主动学习。
- 4) 教材内容紧随技术和经济的发展而更新,及时将新知识、新技术、新工艺和新案例等引入教材。同时注重吸收最新的教学理念,并积极支持新专业的教材建设。
- 5) 注重立体化教材建设。通过主教材、电子教案、配套素材光盘、实训指导和习题及解答等教学资源的有机结合,提高教学服务水平,为高素质技能型人才的培养创造良好的条件。

由于我国高等职业教育改革和发展的速度很快,加之我们的水平和经验有限,因此在教材的编写和出版过程中难免出现问题和错误。我们恳请使用这套教材的师生及时向我们反馈质量信息,以利于我们今后不断提高教材的出版质量,为广大师生提供更多、更适用的教材。

机械工业出版社

前 言

复杂可编程逻辑器件 (Complex Programmable Logical Device, CPLD) /现场可编程门阵列 (Field Programmable Gates Array, FPGA) 开发技术是以计算机为工作平台, 融合了应用电子技术、计算机技术、智能化技术等最新成果而开发的高新技术, 是现代电子系统设计和制造不可缺少的技术, 它涉及面甚广, 包含描述语言、软件、硬件等多方面知识。特别是它的理论性强, 学好它对高职高专生有较大的困难。因此, 本书在知识选取和结构设计上, 以“理论够用, 技能实用, 重在运用”为指导原则, 削减纯理论的知识, 增加有趣实用的实践, 激发他们的学习兴趣, 以学习技术为主, 培养实践动手能力较强的技术应用型人才。

因此笔者将《Verilog HDL 与 CPLD/FPGA 项目开发教程》这本教材的重点放在工程实践能力和 Verilog HDL 硬件描述语言的编程开发能力方面, 按照基于工作过程的以“项目”为载体的教学模式的思路进行编写, “项目”的选取以具有直观、生动、有趣、实用为原则, 并遵循由易到难、由简单到综合的学习规律。本书总共分 3 章, 第 1 章主要介绍 CPLD/FPGA 项目开发入门, 主要包括 CPLD/FPGA 开发系统概述、Quartus II 开发环境的使用、Verilog HDL 硬件描述语言编程基础; 第 2 章是以 13 个单元项目为载体来介绍组合逻辑电路设计、时序逻辑电路设计和数字系统设计 (如键盘、数码管、液晶、点阵屏、音乐等外围接口的驱动); 第 3 章以电子时钟、交通信号灯控制、串行通信、数字式竞赛抢答器 4 个综合项目为载体, 主要介绍用 Verilog HDL 硬件描述语言进行项目开发的一般步骤。通过综合项目的设计实践, 培养良好的编程习惯, 锻炼其编程能力、调试能力和创新能力。

本书融理论和实践于一体, 实现“学中练, 练中学”。在实际的教学中, 学生对本书所选的项目实例很感兴趣, 一直保持很高的学习积极性。

本书可作为高职高专电子和计算机类专业的专业课教材, 也可作为微电子、自动控制等相关专业 EDA 课程教材, 教学学时数建议为 96 学时。

本书由聂章龙负责编制提纲和统稿工作, 常州信息职业技术学院张静老师编写第 1 章, 常州信息职业技术学院吕勇老师编写第 2 章的项目 4 至项目 8, 其余的内容主要由聂章龙编写。陶洪、罗大晖和邹卫进老师也参与了本书的编写工作, 全书由苏州中扩信息开发有限公司王群主审。

苏州大学计算机学院王宜怀教授和常州信息职业技术学院计算机学院睦碧霞教授均为本书的撰写提出了宝贵的建议, 在此一并表示诚挚的谢意。

由于编者水平有限、CPLD/FPGA 技术发展迅速, 教材中难免存在错误或不妥之处, 恳请读者提出宝贵意见和建议, 以便再版时改进。

编 者

目 录

出版说明

前言

第 1 章 CPLD/FPGA 项目开发入门 ··· 1

1.1 CPLD/FPGA 开发系统概述 ··· 1

1.1.1 PLD 的发展历程及发展趋势 ··· 1

1.1.2 CPLD/FPGA 概述 ··· 3

1.1.3 CPLD/FPGA 的结构与原理 ··· 4

1.2 CPLD/FPGA 器件识别 ··· 10

1.2.1 CPLD/FPGA 产品概况 ··· 11

1.2.2 MAX 系列产品的基本功能及
编程方式 ··· 14

1.3 CCIT CPLD/FPGA 实验仪 使用 ··· 16

1.3.1 实验仪结构设计 ··· 17

1.3.2 熟悉实验仪的元器件 ··· 17

1.3.3 解析主控芯片
EPM1270T144C5 ··· 18

1.3.4 了解实验仪的外围接口及其
引脚对应关系 ··· 19

1.3.5 设计实验仪原理图 ··· 21

1.3.6 设计 ByteBlaster 下载口 ··· 21

1.4 Quartus II 开发环境应用 ··· 27

1.4.1 安装 Quartus II 7.2 开发环境 ··· 28

1.4.2 设计三人表决器 ··· 35

1.5 Verilog HDL 语言基础应用 ··· 47

1.5.1 认识 Verilog HDL 语言基本
结构 ··· 48

1.5.2 辨别 Verilog HDL 语言数据
类型 ··· 53

1.5.3 识别 Verilog HDL 语言运算符
及表达式 ··· 55

1.6 Verilog HDL 语言实例设计 ··· 57

1.6.1 闪烁灯设计 ··· 57

1.6.2 流水灯设计 ··· 61

1.7 习题 ··· 63

第 2 章 基于 CPLD/FPGA 的单元

项目开发 ··· 65

2.1 项目 1 设计基本逻辑门
电路 ··· 65

2.2 项目 2 设计译码器 ··· 68

2.2.1 任务 1 设计 3-8 译码器 ··· 69

2.2.2 任务 2 设计八段 LED 数码管
译码电路 ··· 73

2.3 项目 3 编码器和数据选择器
设计 ··· 75

2.3.1 任务 1 设计 8-3 优先
编码器 ··· 76

2.3.2 任务 2 设计 4-1 数据
选择器 ··· 78

2.4 项目 4 触发器设计 ··· 80

2.4.1 任务 1 触发器概述 ··· 81

2.4.2 任务 2 识别基本触发器 ··· 81

2.4.3 任务 3 识别触发器的逻辑
功能 ··· 82

2.4.4 任务 4 设计时钟触发器 ··· 83

2.4.5 任务 5 设计直接置位复位
触发器 ··· 83

2.4.6 任务 6 转换不同逻辑功能的
触发器 ··· 84

2.5 项目 5 全加器设计 ··· 85

2.5.1 任务 1 设计一位全加器 ··· 86

2.5.2 任务 2 设计串行进位加法器 ··· 86

2.5.3 任务 3 设计先行进位加法器 ··· 88

2.5.4 任务 4 设计加减法器 ··· 89

2.6 项目 6 计数器设计 ··· 90

2.6.1 任务 1 设计二进制计数器 ··· 91

2.6.2 任务2 设计七进制计数器	92	片段	130
2.6.3 任务3 采用异步置数和同步 清零的方法设计七进制计数器	93	2.13 项目13 LCD 液晶显示 系统设计	134
2.7 项目7 乘法器设计	94	2.13.1 任务1 了解液晶显示的 基础知识	134
2.7.1 任务1 利用被乘数左移法设计 无符号乘法器	95	2.13.2 任务2 液晶屏滚动显示 “www.ccit.js.cn” 字符	141
2.7.2 任务2 利用部分积右移法设计 无符号乘法器	98	2.14 习题	148
2.7.3 任务3 设计带符号乘法器	99	第3章 基于CPLD/FPGA 的 综合项目开发	150
2.8 项目8 除法器设计	100	3.1 项目1 基于 Verilog HDL 的 数字时钟设计与实现	150
2.8.1 任务1 利用比较法设计 除法器	100	3.1.1 任务1 任务提出及设计 分析	150
2.8.2 任务2 利用恢复余数法 设计除法器	101	3.1.2 任务2 分频模块设计	152
2.8.3 任务3 利用不恢复余数法 设计除法器	102	3.1.3 任务3 校时模块设计	153
2.9 项目9 键盘 LED 发光 二极管应用设计	103	3.1.4 任务4 计时处理模块设计	154
2.9.1 任务1 键盘 LED 发光 二极管应用之一	104	3.1.5 任务5 报时模块设计	155
2.9.2 任务2 键盘 LED 发光 二极管应用之二	108	3.1.6 任务6 显示模块设计	158
2.9.3 任务3 键盘去抖动设计	110	3.1.7 任务7 顶层模块设计	160
2.10 项目10 静、动态 LED 发光二极管显示	112	3.1.8 任务8 下载调试运行	161
2.10.1 任务1 静态数码管的 显示设计	112	3.2 项目2 基于 Verilog HDL 的 交通信号灯模拟控制设计	161
2.10.2 任务2 动态数码管显示 设计	116	3.2.1 任务1 任务提出及设计 分析	162
2.11 项目11 点阵 LED 显示屏 及其汉字显示	118	3.2.2 任务2 初始化模块设计	163
2.11.1 任务1 点阵 LED 显示屏 测试	119	3.2.3 任务3 分频模块设计	165
2.11.2 任务2 汉字显示	123	3.2.4 任务4 控制 A 方向 4 盏 灯亮灭模块设计	166
2.12 项目12 蜂鸣器应用设计	126	3.2.5 任务5 控制 B 方向 4 盏 灯亮灭模块设计	167
2.12.1 任务1 发出报警声	126	3.2.6 任务6 A、B 方向各种灯 剩余时间的显示模块设计	168
2.12.2 任务2 设计简易数字 电子琴	128	3.2.7 任务7 顶层文件设计	170
2.12.3 任务3 设计“梁祝”音乐		3.2.8 任务8 下载调试运行	170
		3.3 项目3 UART 异步串行 通信设计	171
		3.3.1 任务1 串行通信基础知识	172
		3.3.2 任务2 串行发送模块设计	175

3.3.3 任务3 串行接收模块设计	180
3.4 项目4 基于 Verilog HDL 的 四路数字式竞赛抢答器设计	183
3.4.1 任务1 任务提出及设计 分析	184
3.4.2 任务2 信号锁存电路设计	185
3.4.3 任务3 计分电路设计	186
3.4.4 任务4 数码管显示电路设计	189
3.4.5 任务5 顶层文件设计	190
3.4.6 任务6 下载调试运行	191
3.5 习题	192

附录	193
附录A Verilog HDL 关键字	193
附录B Quartus II 7.2 支持的 Verilog HDL 数据类型 和语句	193
附录C 基于 Verilog HDL 的 CPLD/FPGA 设计常见 问题解析	194
附录D 高级语言的串行通信 编程	203
参考文献	218

第1章 CPLD/FPGA 项目开发入门

1.1 CPLD/FPGA 开发系统概述



学习目标

- 1. 能力目标
 - 1) 了解可编程逻辑器件（PLD）的发展现状。
 - 2) 掌握 CPLD/FPGA 结构与特点。
 - 3) 利用数字和纸质资源查找并使用所需资料。
- 2. 知识目标
 - 1) 了解 PLD 的发展历程以及 CPLD/FPGA 的发展概况。
 - 2) 掌握 CPLD/FPGA 的结构与原理。
- 3. 素质目标
 - 1) 培养查阅纸质资料的能力。
 - 2) 培养主动学习的能力。



情境设计

本节主要围绕 CPLD/FPGA 开发系统的发展概况、基本结构与特点、应用领域等方面来介绍一些 PLD 系统的基本概念和基本原理。具体教学情境设计如表 1-1 所示。

表 1-1 教学情境设计

序 号	教 学 内 容	技 能 训 练	知 识 要 点	学 时 数
情境 1	PLD 的发展现状及应用领域	了解 PLD 的发展概况	1. PLD 的发展现状 2. CPLD/FPGA 的优越性	2
情境 2	CPLD/FPGA 结构与特点	了解 PLD 的工作原理	1. CPLD 的结构与特点 2. FPGA 的结构与特点	

1.1.1 PLD 的发展历程及发展趋势

随着微电子技术的发展，设计与制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师们更愿意自己设计专用集成电路（Application Specific Integrated Circuits，ASIC）芯片，而且希望 ASIC 的设计周期尽可能短，最好是在实验室里就能设计出合适的 ASIC 芯片，并且立即投入实际应用之中，因而出现了现场可编程逻辑器件（Field Programmable Logical Device，FPLD），其中应用最广泛的当属现场可编程门阵列（Field Programmable Gates Array，FPGA）和复杂可编程逻辑器件（Complex Programmable Logical

Device, CPLD)。

早期的可编程逻辑器件只有可编程只读存储器 (PROM)、紫外线可擦除只读存储器 (EPROM) 和电可擦除只读存储器 (EEPROM) 三种。由于结构的限制, 它们只能完成简单的数字逻辑功能。其后, 出现了一类结构上稍复杂的可编程芯片, 即可编程逻辑器件 (Programmable Logical Device, PLD), 它能够完成各种数字逻辑功能。典型的 PLD 由一个“与”门和一个“或”门阵列组成, 而任意一个组合逻辑都可以用“与-或”表达式来描述, 所以, PLD 能以乘积和的形式完成大量的组合逻辑功能。PLD 的部分内部结构如图 1-1 所示。

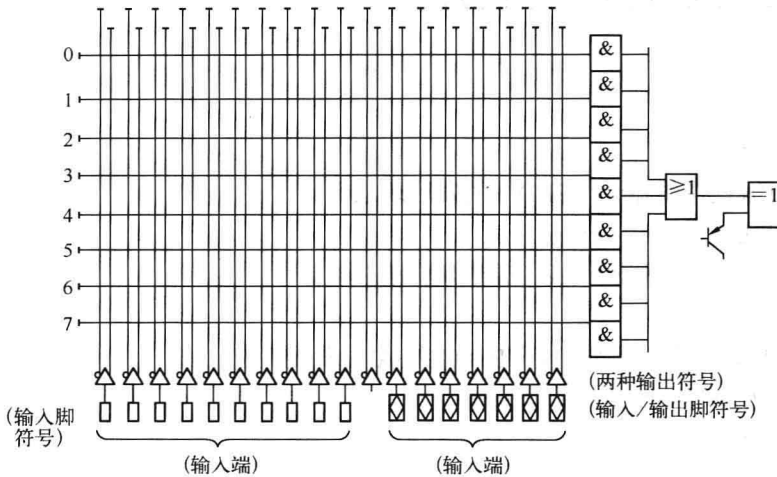


图 1-1 典型的 PLD 的部分结构

这一阶段的产品主要有可编程阵列逻辑 (Programmable Array Logic, PAL) 和通用阵列逻辑 (Generic Array Logic, GAL)。PAL 由一个可编程的“与”平面和一个固定的“或”平面构成, 或门的输出可以通过触发器有选择地被置为寄存状态。PAL 器件是现场可编程的, 它的实现工艺有反熔丝技术、EPROM 技术和 EEPROM 技术。还有一类结构更为灵活的逻辑器件是可编程逻辑阵列 (Programmable Logical Array, PLA), 它也由一个“与”平面和一个“或”平面构成, 但是这两个平面的连接关系是可编程的。PLA 器件既有现场可编程的, 也有掩膜可编程的。在 PAL 的基础上, 又发展了一种通用阵列逻辑 (Generic Array Logic, GAL), 如 GAL16V8, GAL22V10 等。它采用了 EEPROM 工艺, 实现了电可擦除、电可改写, 其输出结构是可编程的逻辑宏单元, 因而它的设计具有很强的灵活性, 至今仍有许多人使用。这些早期的 PLD 器件的一个共同特点是, 可以实现速度特性较好的逻辑功能, 但其过于简单的结构也使它们只能实现规模较小的电路。

为了弥补这一缺陷, 20 世纪 80 年代中期, Altera 公司和 Xilinx 公司分别推出了类似于 PAL 结构的扩展型 CPLD (Complex Programmable Logic Device) 和标准门阵列类似的 FPGA (Field Programmable Gate Array), 它们都具有体系结构和逻辑单元灵活、集成度高以及适用范围宽等特点。这两种器件兼容了 PLD 和通用门阵列的优点, 可实现较大规模的电路, 编程也很灵活。和门阵列等其他 ASIC (Application Specific IC) 相比, 又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时

在线检验等优点，因此被广泛应用于产品的原型设计和产品生产（一般在 10 000 件以下）。几乎所有应用门阵列、PLD 和中小规模通用数字集成电路的场合，均可应用 FPGA 和 CPLD 器件。

不同厂家对器件的叫法不尽相同，Xilinx 公司把基于查找表技术的 SRAM 工艺，要外挂配置用的 EEPROM 的 PLD 称为 FPGA；把基于乘积项技术的 Flash（类似 EEPROM 工艺）工艺的 PLD 称为 CPLD。Altera 把自己的 PLD 产品：MAX 系列（乘积项技术，EEPROM 工艺）和 FLEX 系列（查找表技术，SRAM 工艺）都称为 CPLD，即复杂 PLD（Complex PLD）。由于 FLEX 系列也是 SRAM 工艺，基于查找表技术，要外挂配置用的 EPROM，其用法和 Xilinx 公司的 FPGA 一样，所以很多人把 Altera 公司的 FLEX 系列产品也称做 FPGA。

1.1.2 CPLD/FPGA 概述

现场可编程门阵列（FPGA）与复杂可编程逻辑器件（CPLD）都是可编程逻辑器件，它们是在 PAL、GAL 等逻辑器件的基础之上发展起来的。同以往的 PAL、GAL 等相比较，CPLD/FPGA 的规模比较大，它可以替代几十甚至几千块通用 IC 芯片。这样的 CPLD/FPGA 实际上就是一个子系统部件。这种芯片受到世界范围内电子工程设计人员的广泛关注和普遍欢迎。经过了十几年的发展，许多公司都开发出了多种可编程逻辑器件。比较典型的的就是 Xilinx 公司的 FPGA 器件系列和 Altera 公司的 CPLD 器件系列，它们开发较早，占用了较大的 PLD 市场。通常来说，在欧洲用 Xilinx 公司产品的人多，在日本和亚太地区用 Altera 公司产品的人多，在美国则是平分秋色。全球 CPLD/FPGA 产品 60%以上是由 Altera 公司和 Xilinx 公司提供的。可以讲，Altera 公司和 Xilinx 公司共同决定了 PLD 技术的发展方向。当然，还有许多其他类型的器件，如：Lattice、Vantis、Actel、Quicklogic、Lucent 公司的产品等。

1998 年世界十大 PLD 公司的发展规模和市场占有份额如表 1-2 所示。

表 1-2 PLD 公司发展规模

排 名	公 司	销售额/亿美金	市场占有率 (%)
1	Altera	5.96	30.1
2	Xilinx	5.74	29.0
3	Vantis	2.20	11.1
4	Lattice	2.18	11.0
5	Actel	1.39	7.0
6	Lucent	0.85	4.3
7	Cypress	0.44	2.2
8	Atmel	0.42	2.1
9	Philips	0.28	1.4
10	Quicklogic	0.24	1.2

尽管 CPLD、FPGA 和其他类型 PLD 的结构各有其特点和长处，但概括起来，它们是由三大部分组成的，即一个二维的逻辑块阵列（构成 PLD 器件的逻辑组成核心）；输入/输出

块；连接逻辑块的互连资源。连线资源由各种长度的连线线段组成，其中也有一些可编程的连接开关，它们用于逻辑块之间、逻辑块与输入/输出块之间的连接。典型的 PLD 的框图如图 1-2 所示。对用户而言，CPLD 与 FPGA 的内部结构稍有不同，但用法一样，因此在多数情况下，可不加以区分。

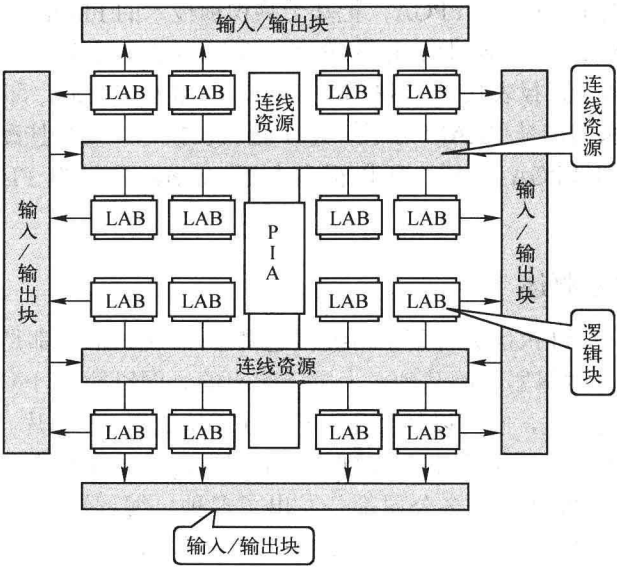


图 1-2 典型的 PLD 框图

CPLD/FPGA 芯片都是特殊的 ASIC 芯片，它们除了具有 ASIC 的特点之外，还具有以下几个优点：

1) 随着超大规模集成电路（VLSI, Very Large Scale IC）工艺的不断提高，单一芯片内部可以容纳上百万个晶体管，CPLD/FPGA 芯片的规模也越来越大，其单片逻辑门数已达到上百万门，它所能实现的功能也越来越强，同时也可以实现系统集成。

2) CPLD/FPGA 芯片在出厂之前都做过百分之百的测试，设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的最终功能设计。因此，CPLD/FPGA 的资金投入小，节省了许多潜在的成本。

3) 用户可以反复地编程、擦除、使用或者在外围电路不动的情况下用不同软件实现不同的功能。因此，用 CPLD/FPGA 试制样片，能以最快的速度占领市场。CPLD/FPGA 软件包中有各种输入工具和仿真工具及版图设计工具和编程器等产品，电路设计人员在很短的时间内就可完成电路的输入、编译、优化、仿真，直至最后芯片的制作。当电路有少量改动时，更能显示出 CPLD/FPGA 的优势。当电路设计人员使用 CPLD/FPGA 进行电路设计时，不需要具备专门的 IC 深层次的知识，CPLD/FPGA 软件易学易用，可以使设计人员更能集中精力进行电路设计，快速将产品推向市场。

1.1.3 CPLD/FPGA 的结构与原理

1. 基于乘积项（Product-Term）的 PLD 结构

采用这种结构的 PLD 芯片有：Altera 公司的 MAX7000、MAX3000 系列（EEPROM 工

艺), Xilinx 公司的 XC9500 系列 (Flash 工艺) 和 Lattice、Cypress 公司的大部分产品 (EEPROM 工艺)。

基于乘积项的 PLD 总体结构如图 1-3 所示 (以 MAX7000 为例, 其他型号的结构与此非常相似)。

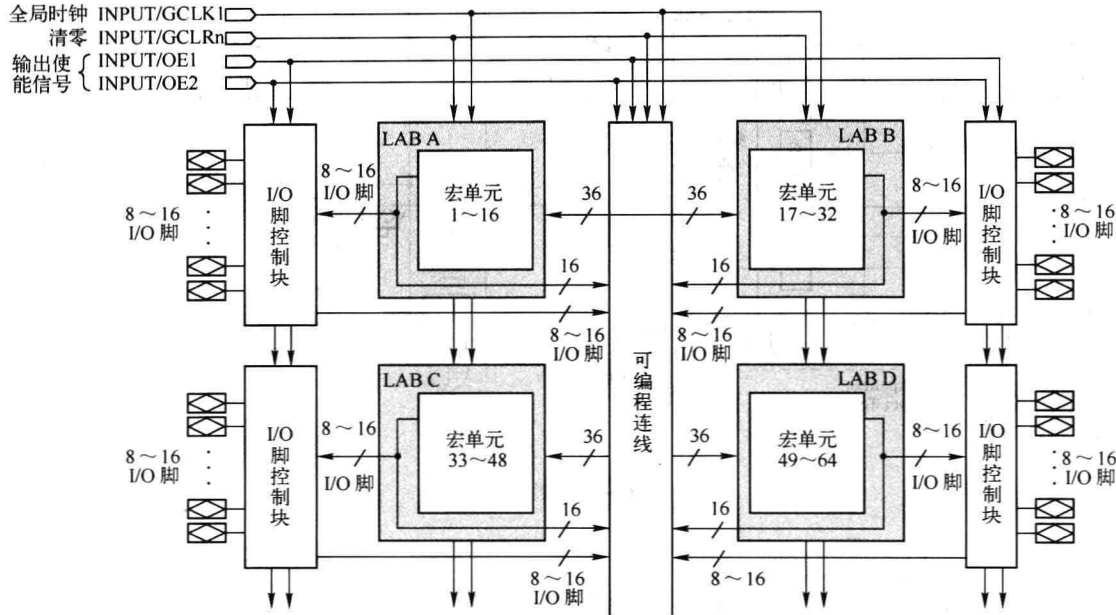


图 1-3 基于乘积项的 PLD 内部结构

这种 PLD 可分为三块结构, 即宏单元 (Macrocell)、可编程连线 (PIA) 和 I/O 控制块。宏单元是 PLD 的基本结构, 由它来实现基本的逻辑功能。图中只给出了四个宏单元的集合 (因为宏单元较多, 故没有一一画出)。可编程连线负责信号传递, 连接所有的宏单元。I/O 控制块负责输入输出的电气特性控制, 比如可以设定集电极开路输出、摆率控制、三态输出等。图中左上的 INPUT/GCLK1, INPUT/GCLRn, INPUT/OE1, INPUT/OE2 是全局时钟、清零和输出使能信号, 这几个信号有专用连线与 PLD 中每个宏单元相连, 信号到每个宏单元的延时相同并且延时最短。宏单元的具体结构见图 1-4 所示。

左侧是乘积项阵列, 实际就是一个与或阵列, 每一个交叉点都是一个可编程熔丝, 如果导通, 就实现“与”逻辑。后面的乘积项选择矩阵是一个“或”阵列。两者一起完成组合逻辑。图右侧是一个可编程 D 触发器, 它的时钟, 清零输入都可以编程选择, 可以使用专用的全局清零和全局时钟, 也可以使用内部逻辑 (乘积项阵列) 产生的时钟和清零。如果不需要触发器, 也可以将此触发器旁路, 信号就直接输出给 PIA 或到 I/O 脚。

下面我们以一个简单的电路为例, 具体说明 PLD 是如何利用以上结构实现逻辑的, 电路如图 1-5 所示。

假设组合逻辑的输出 (AND3 的输出) 为 f , 则 $f=(A+B)*C*(!D)=A*C*!D+B*C*!D$
PLD 将以下图 1-6 的方式来实现组合逻辑 f 。

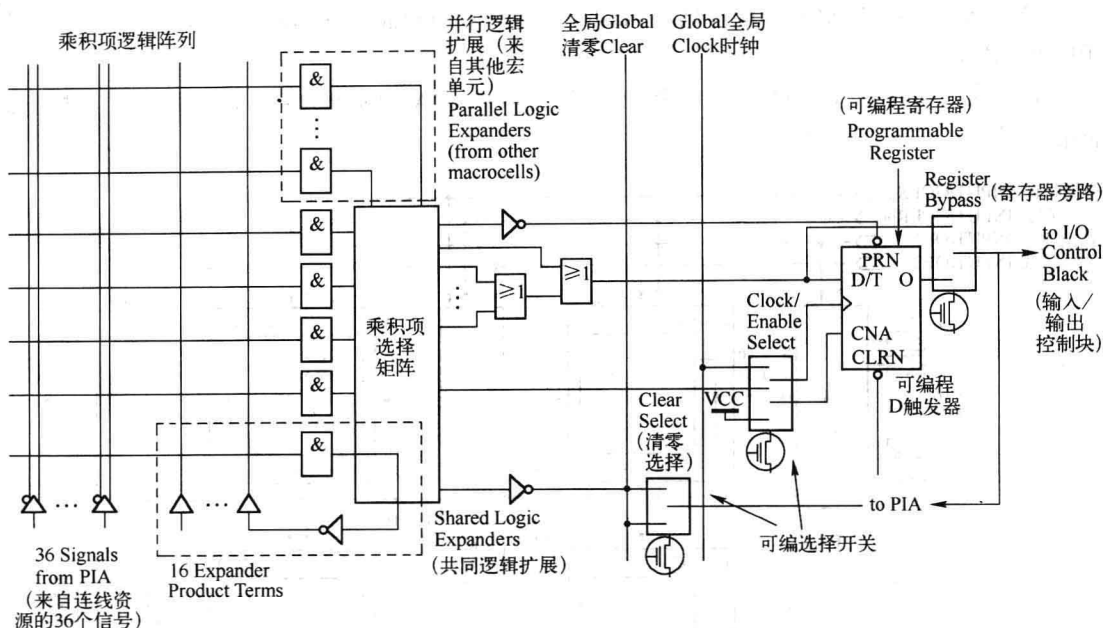


图 1-4 宏单元结构

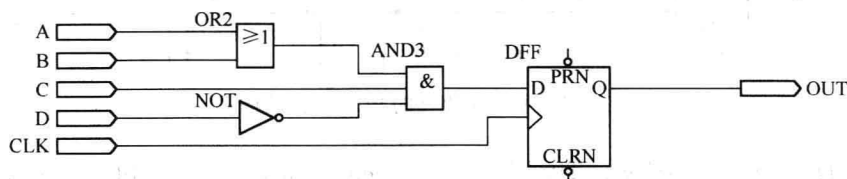


图 1-5 组合逻辑

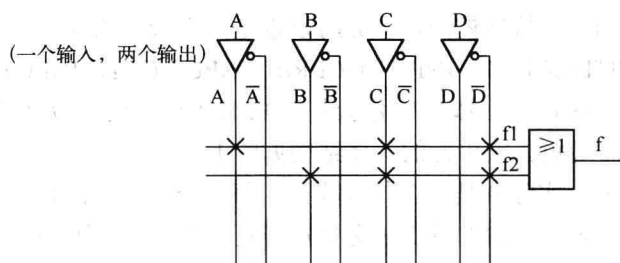


图 1-6 组合逻辑 f 的内部实现

A, B, C, D 由 PLD 芯片的管脚输入后进入可编程连线阵列 (PIA), 在内部会产生 $A, \bar{A}, B, \bar{B}, C, \bar{C}, D, \bar{D}$ 8 个输出。图中每一个叉表示相连 (可编程熔丝导通), 所以得到: $f = f1 + f2 = (A * C * \bar{D}) + (B * C * \bar{D})$ 。这样组合逻辑就实现了。在 AND3 的输出电路中, D 触发器的实现比较简单, 直接利用宏单元中的可编程 D 触发器即可。时钟信号 CLK 由 I/O 脚输入后进入芯片内部的全局时钟专用通道, 直接连接到可编程触发器的时钟端。可编程触发器的输出与 I/O 脚相连, 把结果输出到芯片管脚。这样, PLD 就完成了以上电路的

功能（这些步骤都是由软件自动完成的，不需要人为干预）。

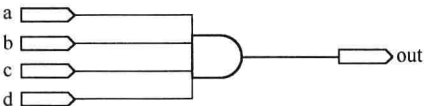
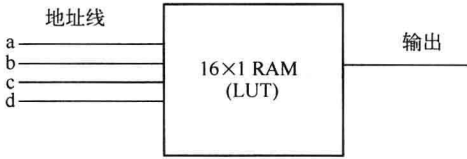
上图的电路是一个很简单的例子，只需要一个宏单元就可以完成。但对于一个复杂的电路，一个宏单元是不能实现的，这时就需要通过并联扩展项和共享扩展项将多个宏单元相连，宏单元的输出也可以连接到可编程连线阵列，再作为另一个宏单元的输入。这样，PLD 就可以实现更复杂的逻辑功能。这种基于乘积项的 PLD 基本都是由 EEPROM 和 Flash 工艺制造的，一上电就可以工作，无需其他芯片配合。

2. 查找表（Look-Up-Table, LUT）的原理与结构

我们也可以将采用基于乘积项结构的 PLD 芯片称之为 FPGA，如 Altera 公司的 ACEX、APEX 系列，Xilinx 公司的 Spartan、Virtex 系列等。

查找表（Look-Up-Table, LUT），本质上就是一个 RAM。目前 FPGA 中多使用 4 输入的 LUT，因此可得每一个 LUT 看成一个有 4 位地址线的 16×1 的 RAM。在用户通过原理图或 HDL 语言描述了一个逻辑电路后，PLD/FPGA 开发软件会自动计算逻辑电路的所有可能的结果，并把结果事先写入 RAM，这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，然后输出即可。表 1-3 为一个 4 输入与门的例子。

表 1-3 一个 4 输入与门的例子

实际逻辑电路		LUT 的实现方式	
			
a,b,c,d 输入	逻辑输出	地址	RAM 中存储的内容
0000	0	0000	0
0001	0	0001	0
....	0	...	0
1111	1	1111	1

(1) 基于查找表（LUT）的 FPGA 结构

Xilinx Spartan-II 的内部结构，如图 1-7 所示。

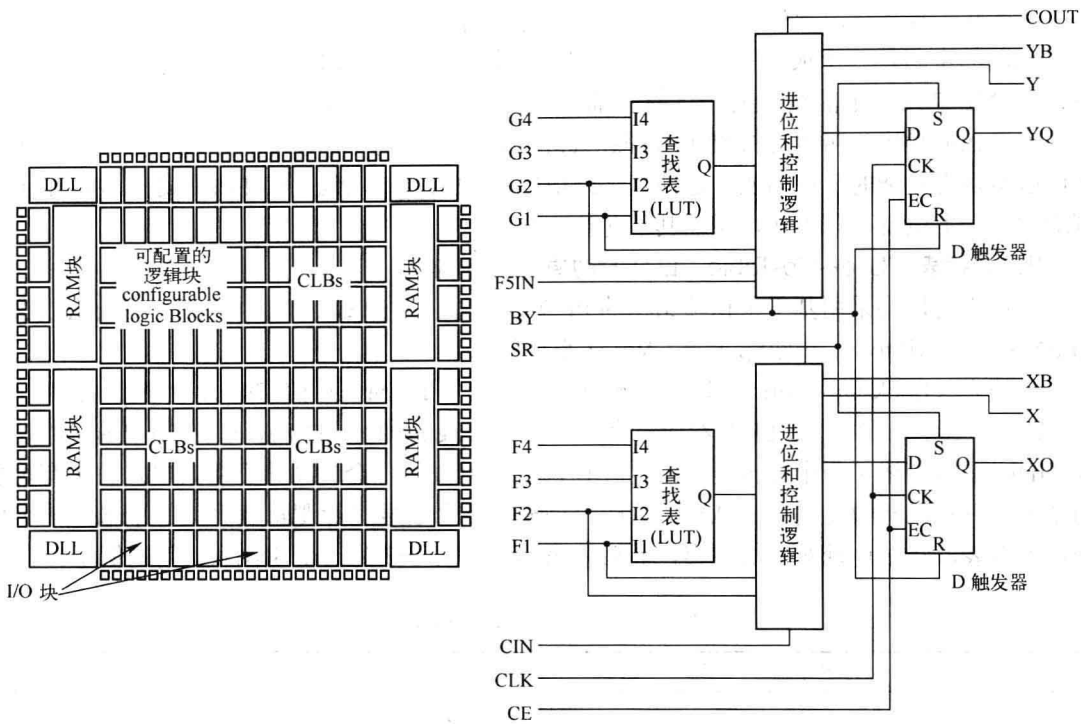
Spartan-II 主要包括 CLBs、I/O 块、RAM 块和可编程连线（未表示出）。在 Spartan-II 中，一个 CLB 包括两个 Slices，每个 Slices 包括两个 LUT、两个触发器和相关逻辑。Slices 可以看成是 Spartan-II 实现逻辑的最基本结构。

Altera 公司的 FLEX/ACEX 等芯片的结构如图 1-8 所示。Altera FLEX/ACEX 芯片的内部结构如图 1-9 所示。

FLEX/ACEX 主要包括 LAB、I/O 块、RAM 块（未表示出）和可编程行/列连线。在 FLEX/ACEX 中，一个 LAB 包括 8 个逻辑单元（LE），每个 LE 包括一个 LUT、一个触发器和相关逻辑关系。LE 是 FLEX/ACEX 芯片实现逻辑的最基本结构。

(2) 查找表结构的 FPGA 逻辑实现原理

我们还是以图 1-5 这个电路为例来解释查找表结构的 FPGA 逻辑实现原理。



Xilinx Spartan-II 芯片内部结构

Slices 结构

图 1-7 Spartan-II 的内部结构

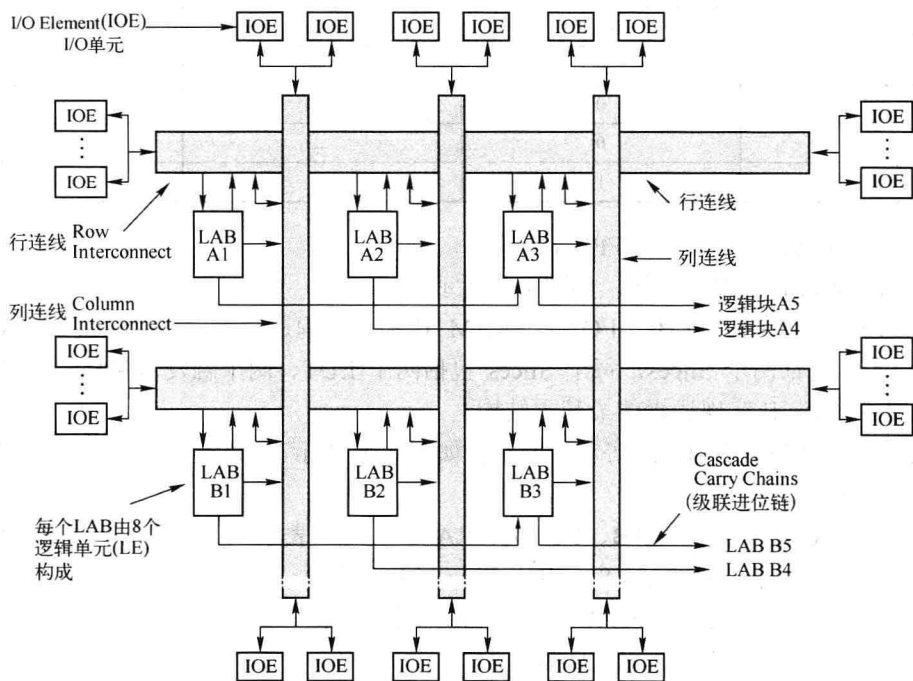


图 1-8 FLEX/ACEX 等芯片的结构