



西安交通大学  
XI'AN JIAOTONG UNIVERSITY

研究生创新教育系列教材

# SOC 测试

编著 雷绍充 梁 峰  
张 鸿 张国和  
主审 邵志标



西安交通大学出版社  
XI'AN JIAOTONG UNIVERSITY PRESS



西安交通大学  
XIAN JIAOTONG UNIVERSITY

研究生创新教育系列教材

# SOC 测试

编著 雷绍充 梁峰  
张鸿 张国和  
主审 邵志标

西安交通大学出版社  
· 西 安 ·

## 内容简介

本书系统化介绍 SOC 测试方法与结构, 主要内容包括 SOC 测试的原理和标准, 扫描测试与内建自测试, 软件自测试, 测试压缩, 低功耗测试, 延迟测试, 模拟与混合电路测试, RF 电路测试, SOC 与 NOC 测试。

本书既可作为高等院校电子与信息、计算机科学与技术 and 电气工程类高年级学生和研究生专业课教材, 也可作为从事集成电路设计、制造、测试、应用、EDA 和 ATE 专业人员的参考用书。

---

### 图书在版编目(CIP)数据

SOC 测试/雷绍充等编著. —西安:西安交通大学出版社, 2012. 1  
ISBN 978-7-5605-3975-1

I. ①S… II. ①雷… III. ①集成电路-芯片-测试  
IV. ①TN407

中国版本图书馆 CIP 数据核字(2011)第 191181 号

---

书 名	SOC 测试
编 著	雷绍充 梁 峰 张 鸿 张国和
责任编辑	李 文

---

出版发行	西安交通大学出版社 (西安市兴庆南路 10 号 邮政编码 710049)
------	---

网 址	<a href="http://www.xjtupress.com">http://www.xjtupress.com</a>
电 话	(029)82668357...82667874(发行中心) (029)82668315 82669096(总编办)

传 真	(029)82668280
印 刷	陕西元盛印务有限公司

---

开 本	727mm×960mm 1/16	印张	17	字数	306 千字
版次	2012 年 1 月第 1 版	印次	2012 年 1 月第 1 次印刷		
书 号	ISBN 978-7-5605-3975-1/TN·131				
定 价	31.00 元				

---

读者购书、书店添货、如发现印装质量问题, 请与本社发行中心联系、调换。

订购热线: (029)82665248 (029)82665249

投稿热线: (029)82664954

读者信箱: jdlgy@yahoo\_cn

版权所有 侵权必究

# 总 序

创新是一个民族的灵魂,也是高层次人才水平的集中体现。因此,创新能力的培养应贯穿于研究生培养的各个环节,包括课程学习、文献阅读、课题研究等。文献阅读与课题研究无疑是培养研究生创新能力的重要手段,同样,课程学习也是培养研究生创新能力的重要环节。通过课程学习,使研究生在教师指导下,获取知识并理解知识创新过程与创新方法,对培养研究生创新能力具有极其重要的意义。

西安交通大学研究生院围绕研究生创新意识与创新能力改革研究生课程体系的同时,开设了一批研究型课程,支持编写了一批研究型课程的教材,目的是为了推动在课程教学环节加强研究生创新意识与创新能力的培养,进一步提高研究生培养质量。

研究型课程是指以激发研究生批判性思维、创新意识为主要目标,由具有高学术水平的教授作为任课教师参与指导,以本学科领域最新研究和前沿知识为内容,以探索式的教学方式为主导,适合于师生互动,使学生有更大的思维空间的课程。研究型教材应使学生在学习过程中可以掌握最新的科学知识,了解最新的前沿动态,激发研究生科学研究的兴趣,掌握基本的科学方法,把教师为中心的教学模式转变为以学生为中心教师为主导的教学模式,把学生被动接受知识转变为在探索研究与自主学习中掌握知识和培养能力。

出版研究型课程系列教材,是一项探索性的工作,也是一项艰苦的工作。虽然已出版的教材凝聚了作者的大量心血,但毕竟是一项在实践中不断完善的工作。我们深信,通过研究型系列教材的出版与完善,必定能够促进研究生创新能力的培养。

西安交通大学研究生院

# 前 言

系统级芯片(system-on-chip, SOC)集成了多种类型的核和模块,典型的如微处理器核、存储器核、锁相环电路、接口电路、逻辑核、模拟与混合电路核、RF 核、专用功能电路核和其他模块,不同类型的核涉及不同的测试方法。数字测试需要对运行速度在吉赫兹级的成千万个逻辑门测试,导致测试数据量、测试时间和测试功耗剧增,加之 SOC 内部电路需要多种工作电压和工作频率,这些因素使得传统的测试方法难以应付。关于存储器测试的多种内建自测试(built-in self-test, BIST)方法较多, SOC 发展趋势是 80%的设计方案是嵌入式存储器,因此自诊断(built-in self-diagnosis, BISD)和自修复(built-in self-repair, BISR)这类新型的测试方法需加研究和应用。SOC 设计中模拟与混合电路(analog/mixed-signal, AMS)大约占 10%,但对其产品测试量却占到总的产品测试量的 90%,对测试成本影响很大,需要研究先进的测试方法和测试结构。

对 SOC 核的测试不单纯是对不同类型器件的 ASIC 测试方法的组合。在 SOC 设计中,核可能以 RTL 代码提供,也可能以网表或者版图形式提供,这些都是一种设计描述,还未经制造和测试,核用户负责整个系统芯片的设计、制造和测试。测试不仅仅是对核与核连接的测试,还有核本身的测试,测试存取、测试控制和测试隔离十分复杂。

为了强调 SOC 测试的共同问题——核测试复用规范化,IEEE P1500 小组一直进行嵌入核的标准化工作,关于 SOC 测试壳、测试壳与测试存取通道之间接口和测试接口语言方面已有相应的标准或推荐标准。

本书介绍 SOC 测试方法,包括数字、存储器以及模拟与混合电路的测试方法。由于可测性设计(design-for-testable, DFT)可有效地减少测试成本和提高测试质量,各种电路的 DFT 方法也是本书要介绍的重要内容。

数字逻辑测试中广泛采用扫描测试,但制造技术采用纳米技术以后,电路集成度和复杂程度更高,扫描设计包含成千万乃至上亿个晶体管,测试数据量、测试施加时间和测试功耗的剧增,传统扫描测试方法不足以保证产品质量,第 2 章对逻辑测试结构、实速延迟测试和测试压缩作以介绍。

SOC 设计包含众多的核,每一个核都需要测试,测试存取、测试控制和测试隔

离十分复杂,第3章介绍模块化SOC测试的DFT结构,包括测试壳和测试存取机构的优化方法,以有效地完成测试调度,减少测试数据量。片上网络(network on chip, NOC)提供了基于包的核之间数据传输机构,第3章还介绍NOC测试,包括互联、路由器和网络的接口。

时钟频率的不断提高和时间宽限的不断减少,使得延迟测试成为关键,传统的延迟故障模型和延迟测试方法不能应付产品质量要求。第4章介绍更先进的延迟故障模型和延迟测试方法,包括转换故障测试,路径延迟测试和受约束的延迟测试。

过高的测试功耗会影响测试能力与产品优良率,因此低功耗测试得以发展,目前仍然是研究和开发的焦点之一。第5章分析影响测试功耗的原因及其效果,介绍算法型和结构型低功耗测试方法,并分析这些方法对电路性能和设计流程等方面的影响。

VLSI电路的规模越来越大,复杂程度也越来越高,测试数据量随之巨量增长。庞大的测试数据量导致过长的测试时间,也可能超出ATE存储器数据宽度,测试数据压缩方法可解决这些问题。第6章介绍常用的压缩算法以及解压结构。

模拟IC与混合IC的测试与数字电路测试不同,测试方法更为复杂。第7章首先介绍了模拟与混合电路与数字电路测试的差异,然后介绍基于规格与基于缺陷的测试方法,还介绍了功能BIST与结构BIST。

无线通信在过去近20年中飞速发展,射频测试越来越受到工业界的重视。与数字、模拟以及混合信号电路测试相比,RF测试需要考虑的因素更多,测试难度也更大。RF器件的测试通常需要一些特殊的经验和技巧,并要求测试者熟知各种RF测试设备的性能。第8章介绍RF测试,并给出测试实施需考虑的关键问题和因素,内容包括基于平台的测试和生产线上的测试。此外,还介绍一些特性测试和产品测试所用的通用仪器。

SOC测试内容庞杂,方法和结构仍在不断发展中,作者水平有限,内容的取舍未必恰当,表达也难免有差错,还请读者不吝指正。

编著者

2010年10月

# 目 录

<b>第 1 章 简介</b> .....	(1)
1.1 SOC 测试的重要性 .....	(1)
1.2 SOC 测试一些标准 .....	(3)
1.2.1 边界扫描(IEEE1149.1) .....	(3)
1.2.2 IEEE 1149.6 .....	(7)
1.2.3 模拟与混合信号电路边界扫描标准 IEEE P1149.4 .....	(11)
1.2.4 IEEE P1500 .....	(13)
1.2.5 IEEE P1687 .....	(17)
参考文献 .....	(18)
<b>第 2 章 扫描测试与内建自测试</b> .....	(20)
2.1 基本的扫描设计结构.....	(21)
2.1.1 基于多路选择器-D 触发器的扫描设计 .....	(21)
2.1.2 带时钟的扫描设计.....	(22)
2.1.3 电平敏感扫描设计.....	(23)
2.1.4 增强的扫描设计.....	(24)
2.2 低功耗扫描设计结构.....	(25)
2.2.1 多相或多序低功耗扫描设计.....	(26)
2.2.2 通带宽度匹配的低功耗扫描设计.....	(26)
2.3 实速扫描设计.....	(27)
2.4 逻辑内建自测试.....	(31)
2.4.1 测试图形生成电路.....	(32)
2.4.2 测试响应压缩.....	(34)
2.4.3 逻辑内建自测试结构.....	(35)
2.4.4 低功耗 BIST 结构 .....	(37)
2.5 实速逻辑 BIST .....	(38)
2.5.1 单捕获.....	(39)

2.5.2	LOS	.....	(40)
2.5.3	LOC	.....	(42)
	小结	.....	(44)
	习题	.....	(44)
	参考文献	.....	(45)
<b>第 3 章</b>	<b>SOC 测试与 NOC 测试</b>	.....	(49)
3.1	SOC 测试基本问题	.....	(49)
3.2	测试结构设计与优化	.....	(51)
3.2.1	测试壳设计与优化	.....	(51)
3.2.2	TAM 设计与优化	.....	(55)
3.2.3	测试调度	.....	(57)
3.3	模块化测试	.....	(60)
3.3.1	模块化测试	.....	(60)
3.3.2	混合信号 SOC 的模块化测试	.....	(62)
3.3.3	层次核的模块化测试	.....	(63)
3.4	NOC 测试	.....	(67)
3.4.1	NOC 结构	.....	(67)
3.4.2	NOC 网络复用	.....	(67)
3.4.3	采用路由路径的测试调度	.....	(69)
3.5	设计与测试举例	.....	(72)
	小结	.....	(75)
	习题	.....	(76)
	参考文献	.....	(76)
<b>第 4 章</b>	<b>测试压缩</b>	.....	(80)
4.1	基于编码的压缩	.....	(81)
4.1.1	字典编码	.....	(81)
4.1.2	Huffman 编码	.....	(82)
4.1.3	行程编码	.....	(84)
4.1.4	变长-变长编码	.....	(84)
4.2	测试激励解压电路	.....	(86)
4.2.1	线性解压原理	.....	(86)
4.2.2	组合线性解压器	.....	(88)



4.2.3	时序线性解压电路	(89)
4.2.4	广播扫描	(90)
4.2.5	多输入广播扫描	(92)
4.2.6	虚拟扫描	(93)
4.2.7	解压方法编码灵活性比较	(94)
4.3	测试响应压缩	(95)
4.3.1	空间压缩	(96)
4.3.2	时间压缩	(100)
4.3.3	时间与空间混合压缩	(101)
小结		(101)
习题		(102)
参考文献		(103)
<b>第5章</b>	<b>延迟测试</b>	<b>(108)</b>
5.1	延迟测试基础	(108)
5.1.1	延迟故障模型	(108)
5.1.2	延迟测试方法	(111)
5.2	延迟测试施加方法	(112)
5.2.1	增强扫描	(113)
5.2.2	发射-捕获测试	(114)
5.2.3	发射-移位测试	(114)
5.3	延迟测试敏化与鲁棒特性	(115)
5.3.1	延迟测试敏化	(115)
5.3.2	测试鲁棒特性	(116)
5.3.3	七值逻辑	(118)
5.4	延迟测试生成	(119)
5.4.1	转换故障 ATPG	(119)
5.4.2	门延迟测试 ATPG	(121)
5.4.3	路径延迟测试	(122)
5.5	伪功能测试	(124)
5.5.1	约束表达与计算	(124)
5.5.2	对对约束	(125)
5.5.3	多边约束	(125)
5.5.4	有约束的 ATPG	(126)

小结	(127)
习题	(127)
参考文献	(129)
<b>第 6 章 低功耗测试</b>	<b>(132)</b>
6.1 能量与功耗模型	(133)
6.1.1 反向器能量与功耗模型	(133)
6.1.2 CMOS 电路能量与功耗模型	(133)
6.1.3 热效应和噪声	(134)
6.2 低功耗扫描测试	(135)
6.2.1 ATPG 及 X 填充	(135)
6.2.2 静态压缩	(135)
6.2.3 低功耗扫描单元	(136)
6.2.4 扫描单元排序	(136)
6.2.5 扫描链分割	(137)
6.2.6 扫描结构修改技术	(138)
6.2.7 令牌环扫描结构	(138)
6.2.8 扫描时钟分割	(139)
6.3 低功耗内建自测试	(140)
6.3.1 双速线性反馈移位寄存器	(140)
6.3.2 低转换密度随机测试图形发生器	(140)
6.3.3 其他与 LFSR 相关的方法	(141)
6.3.4 向量滤波内建自测试	(141)
6.3.5 电路分块	(141)
6.3.6 基于功率的测试调度	(142)
6.4 低功耗测试数据压缩	(143)
6.4.1 低功耗线性解压器	(143)
6.4.2 广播-扫描结构	(144)
6.4.3 低功耗 RAM 测试	(145)
小结	(146)
习题	(147)
参考文献	(148)

<b>第 7 章 模拟与混合信号测试</b> .....	(151)
7.1 介绍 .....	(152)
7.1.1 功能测试和结构测试 .....	(152)
7.1.2 测试施加和测试分析机构 .....	(153)
7.2 功能测试 .....	(156)
7.2.1 增益 .....	(156)
7.2.2 频率响应 .....	(157)
7.2.3 线性度 .....	(157)
7.2.4 信噪比 .....	(159)
7.2.5 量化噪声 .....	(160)
7.2.6 相位噪声 .....	(162)
7.2.7 锁相环的噪声分析 .....	(164)
7.2.8 DAC 非线性度测试 .....	(167)
7.3 模拟与混合信号电路振荡式内建自测试结构 .....	(168)
7.4 基于缺陷的混合信号 BIST 方法 .....	(170)
7.5 基于 FFT 的混合信号 BIST .....	(173)
7.5.1 基于 FFT 的 BIST 结构 .....	(173)
7.5.2 基于 FFT 的输出响应分析 .....	(174)
7.5.3 基于 FFT 的测试图形生成 .....	(174)
小结 .....	(176)
习题 .....	(176)
参考文献 .....	(177)
<b>第 8 章 射频电路测试</b> .....	(180)
8.1 介绍 .....	(180)
8.1.1 RF 基础知识 .....	(180)
8.1.2 RF 应用 .....	(182)
8.2 RF 系统、器件及其关键指标 .....	(183)
8.2.1 RF 系统的典型结构 .....	(183)
8.2.2 RF 系统和模块的关键指标 .....	(185)
8.3 测试仪器和测试流程 .....	(187)
8.3.1 测试仪器 .....	(187)
8.3.2 行业测试流程 .....	(190)
8.3.3 特性测试与产品测试 .....	(191)

8.4	电路和系统级指标及其测试方法	(193)
8.4.1	电路级指标	(193)
8.4.2	系统级指标	(201)
8.5	测试硬件:测试机与器件接口板	(204)
8.6	大量生产过程中的 RF 测试	(206)
8.6.1	量产测试流程	(206)
8.6.2	可重复性和准确性	(207)
8.6.3	测试成本分析	(209)
8.6.4	RF 测试的发展趋势	(210)
	小结	(212)
	习题	(212)
	参考文献	(213)
<b>第 9 章</b>	<b>基于软件的自测试</b>	<b>(216)</b>
9.1	介绍	(216)
9.2	基于软件自测试的规范	(218)
9.2.1	测试流程	(218)
9.2.2	结构型 BIST 与 SBST 相比较	(219)
9.3	处理器功能故障自测试	(220)
9.3.1	处理器模型	(220)
9.3.2	功能级故障模型	(221)
9.3.3	测试生成过程	(222)
9.4	处理器结构性故障的自测试	(225)
9.4.1	测试流程	(225)
9.4.2	Stuck-At 故障测试	(226)
9.4.3	利用虚拟约束电路(VCCs)完成测试程序综合	(231)
9.4.4	延迟故障测试	(233)
9.4.5	功能性随机指令测试	(236)
9.5	处理器自诊断	(237)
9.5.1	基于 SBST 的处理器诊断所面临的挑战	(238)
9.5.2	诊断测试程序的生成	(238)
9.6	全局互连测试	(239)
9.6.1	MA 故障模型	(240)
9.6.2	基于处理器的地址总线 and 数据总线测试	(240)

9.6.3 基于处理器的功能性 MA 测试 .....	(242)
9.7 不可编程核的测试 .....	(242)
9.7.1 预处理阶段 .....	(243)
9.7.2 核测试阶段 .....	(243)
9.8 指令级可测性设计 .....	(243)
9.8.1 指令级可测性设计的概念 .....	(244)
9.8.2 可测性指令 .....	(244)
9.8.3 测试优化指令 .....	(246)
小结 .....	(247)
习题 .....	(247)
参考文献 .....	(248)
附录 .....	(252)

# 第 1 章 简介

SOC 中包含不同功能的模块或核,且单元数目庞大,随着系统运行速度的不断提高和 CMOS 电路特征尺寸不断缩小,芯片中缺陷剧增,测试复杂程度和难度不断提高,极大地影响了 SOC 设计与测试。本章先分析 SOC 测试的重要性,然后介绍 SOC 测试的一些标准。

## 1.1 SOC 测试的重要性

集成电路制造工艺进入深亚微米和纳米技术发展阶段以后,电路复杂程度和运行速度不断提高,功能更加强大,目前的一块 SOC 芯片可容纳几千万甚至几亿个以 GHz 速度运行的晶体管,这种系统级芯片设计也带来了一系列复杂的测试问题<sup>[1]</sup>。

①测试更为复杂。SOC 中包含不同类型和不同功能的模块或核,例如微处理器、存储器、数字信号处理器、数字功能模块、模拟与混合电路模块、可编程器件、RF 器件以及各种外围配置等等,不同类型的电路涉及到不同的测试方法,而且 SOC 中单元数目庞大,测试复杂程度和难度非常高。

②CMOS 电路尺寸的不断下降,使得制造中缺陷和软错误剧增,极大地阻碍 SOC 系统的运行。

③电路与系统的集成度和复杂程度的日益提高,导致测试难度和数据量随之剧增,测试时间越来越长,也导致测试设备投资成本的提高,测试成本随之提高。虽然 ATE 公司为了适应测试技术发展的需求不断推出性能更高的测试设备<sup>[5]</sup>,以适应 SOC 测试的需要。但芯片的 I/O 数目有限,自动测试设备的通道量、吞吐能力和速度也有限,使得测试难度和复杂程度大大加剧<sup>[6,7]</sup>。测试时间成为 SOC 设计要考虑的重要因素。

④电路与系统的 I/O、速度和测试时间的增加,测试功耗、ATE 带宽等也成为重要影响因素,对器件的可靠性和测试质量提出更高的要求。集成电路测试功耗主要由两部分组成,一部分是内部功耗,一部分是 I/O 功耗。据研究电路测试时内部功耗是其正常工作时功耗的 2~4 倍,峰值功耗为几十倍,分析和降低这部分

测试功耗成为测试的一个研究热点<sup>[9,10]</sup>。即使对于低功耗设计的 IC,其典型的 I/O 功耗也占到其总功耗的 50% 左右,因此降低测试功耗也成为要解决的问题<sup>[11~14]</sup>。

⑤随着技术的快速发展和市场竞争的加剧,产品市场寿命相对于开发周期变得愈来愈短,测试对产品的上市时间、开发周期的影响将会越来越大,测试开发时间已成为测试经济学研究的重要内容<sup>[15]</sup>。

⑥测试已成为制约 SOC 设计和应用的一个关键因素<sup>[3]</sup>。SOC 的核心问题是核复用带来的核测试复用问题<sup>[16]</sup>。SOC 可以采用 IP 模块设计,目前对于多方提供的嵌入式核的可测性设计来讲缺乏统一标准,核集成时就难以自动检测每一个核的可测性,所以必须对复用核进行测试设计,而核复用的测试设计费用大约要占总设计成本的三分之一以上<sup>[15]</sup>。因此 SOC 的测试必须结合单个核的测试方法、核测试存取、核隔离和核测试控制和整个核的测试等方法<sup>[4]</sup>,还需考虑测试图形质量和数量的问题。

按照 ITRS(International Technology Roadmap for Semiconductors) 的研究<sup>[2]</sup>,到 2014 年晶体管的测试成本要大于其制造成本。测试成本增加的因素主要归于两个:测试设备投资的提高和器件平均测试时间的增大。半导体业界对测试技术提出更高的要求;高速器件测试接口中要求 DFT 和生产(high volume manufacturing, HVM)测试的创新,也需要开发高速串行和差分 I/O,以降低测试成本<sup>[2]</sup>;在非数字 CMOS 工艺的集成领域,功能分散的测试设备日趋增多,测试维护成本提高,也需要广泛应用 DFT 技术,以优化生产测试投资、测试运行成本和保证产品质量;数逻芯片复杂程度和集成度的不断增加,导致测试数据的增加,随之而来的是测试投资和测试运行成本的增加,测试向量压缩技术正在开发和应用,一类是基于测试数据本身的压缩(如扫描测试),一类是基于 DFT 的硬件压缩。

为适应日益复杂的 SOC 测试需要,测试设备公司与 EDA 公司间正在进一步加深合作,提出集成度更高的解决方案。EDA 行业一直提供具有扫描 DFT 功能的工具,近期提供的工具还包含扫描压缩甚至 DFT 综合功能,例如嵌入式存储器制造商就提供高效率的 EDA 软件,以生成实际的测试程序。对于设计阶段所采用的模拟系统和建模方法,需拓展到芯片封装和测试接口硬件,甚至拓展到测试仪器本身的电路,使得提高晶圆验证水平的 DFT 结构集成到生产测试仪器中,称之为无缝化集成。传统的测试方法需对 DFT 与测试接口方式和硬件的差异反复设计,工作量颇大,无缝化集成的模拟与建模平台可大大减少工作量,缩短产品测试和生产过程测试的周期,提高产品精度,也有益于测试实施。测试集成中需解决测试收敛和系统可靠性问题,例如对于存储器测试还应集成冗余和修复功能,也需集成更可行、效率更高、硬件开销更低的集成方案。

## 1.2 SOC 测试一些标准

SOC 设计是基于核的设计,对其测试除了涉及到对每一个核的测试、核之间互连测试和 SOC 整体的测试外,还有测试策略的开发问题。基于核的 SOC 的测试需建立类似于 ASIC 测试那样的测试激励和测试响应采集,也需建立测试机构和测试策略来完成对单个核的测试,还须建立系统级测试隔离、测试存取、测试控制和测试观察机构。为了强调 SOC 测试的共同问题——核测试复用规范化,有必要对一些普遍的测试问题和测试结构进行规范化,IEEE 为此制定一些标准,包括 IEEE 1149.1,1149.4,1149.6 和 1500 等,本节对这些标准作以简介。

### 1.2.1 边界扫描(IEEE 1149.1)<sup>[17]</sup>

为把扫描路径法扩展到整个板级或系统级,从 1980 年起欧洲一些开发商着手边界扫描(boundary scan design, BSD)法的开发研究,并于 1985 年成立了 Joint European Test Action Group(JETAG),开始制定这方面的标准,1986~1988 年,JETAG 小组开发和颁布了一系列关于边界扫描标准化的方案,最后的版本是 JETAG 2.0。1988 年 IEEE Testability Bus Standards Committee(P1149)接受了 JETAG 2.0 方案并进行标准化,1991 年 IEEE 批准了 IEEE 1149.1 标准,1993 年 6 月 IEEE 批准了修订后的标准 IEEE 1149.1a-1993,1994 年 IEEE 批准了元件描述语言标准 IEEE 1149.1b-1994。

边界扫描的整体结构如图 1-1 所示,主要由以下硬件组成:

(1)具有 4 个或 5 个引脚的测试存取通道(Test Access Port, TAP),包括 3 个输入信号(TCK, TMS 和 TDI)和一个输出信号(TDO),复位信号 TRST 为可选信号。测试时钟(TCK)是提供测试逻辑的专用时钟信号,是测试过程中各个步骤的基准,许多测试逻辑是在 TCK 的上升沿或下降沿完成。测试方式选择(TMS)传送的是测试控制信息,由 TAP 控制器译码并控制相应的测试操作,必须用一个输入序列来确定测试方式。串行测试数据输入(TDI)以串行方式移入数据,传输的数据有两种:供指令寄存器译码的指令数据;传输到测试数据寄存器的测试数据。串行测试数据输出(TDO)以串行方式移出数据,传输的数据也是两种:指令数据和测试数据。除了上述 4 条强制规定的信号外,为了保证测试逻辑的确定性,IEEE 1149.1 标准还提供一个可供选择的输入信号 TRST。当 TRST 上施加的信号从 0 变为 1 时,TMS 在逻辑 1 上要保持几个 TCK 时钟周期。

(2)一组指令寄存器(instruction register, IR)和数据寄存器(data register, DR)。测试逻辑结构中至少包含两种测试数据寄存器:旁路寄存器(bypass regis-



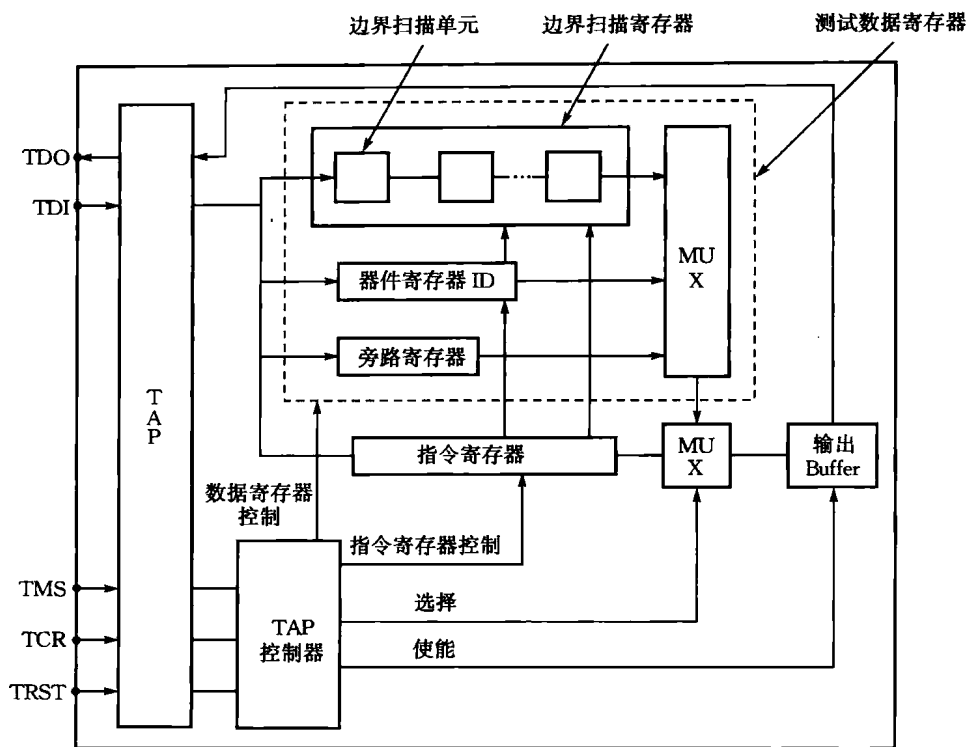


图 1-1 边界扫描设计的基本结构

ter, BR) 和边界扫描寄存器 (boundary-scan register, BSR), 第三种寄存器——器件标志寄存器 (device identification register, DIR) 是可选择的。边界扫描寄存器是边界扫描设计中最重要也最复杂的寄存器, 它既允许器件内测试数据的输入/输出等操作, 也允许对器件外电路的测试。

(3) TAP 控制器。TAP 控制器是一个 16 位的同步状态机, 把接收到的 TMS 和 TCK 信号译码, 产生所需要的操作控制序列, 控制电路进入相应的测试方式。

基本的边界扫描单元 BSC (boundary scan cells) 组成如图 1-2 所示, 根据施加到多路选择器的控制信号, 数据既可以通过信号输入端口加载给扫描寄存器, BSC 单元内的信号也可以通过输出端口送出去, 如果在 BSC 信号发送过程中出现了捕获数据寄存器时钟, 则把新的数据移入到 BSC 单元的情况, 刷新数据寄存器时钟控制的触发器可以保持原先的数据。

在指令寄存器扫描周期, 指令寄存器允许指令串行移入测试逻辑。当 TAP 控制器处于“移位数据寄存器”状态时, 对于每一个指令确定一个串行的测试数据